

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名：

学 院： 计算机科学与技术学院

专 业： 计算机科学与技术

学 号：

指导教师： 马德

2021 年 12 月 29 日

浙江大学实验报告

课程名称：数字逻辑设计

实验项目名称：同步时序电路设计

学生姓名：

专业：计算机科学与技术

学号：

指导老师：马德

实验日期：2021年12月20日

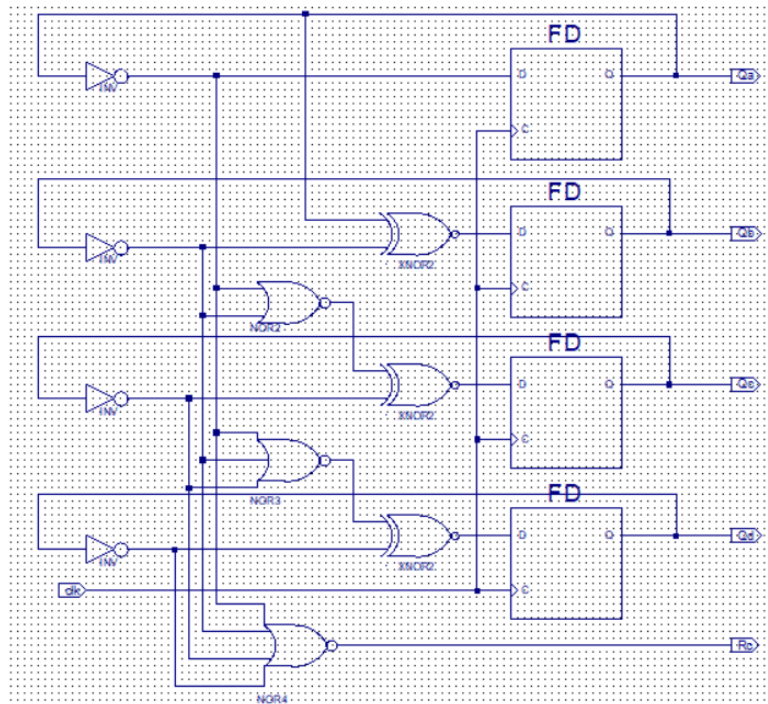
一、实验目的

1. 掌握典型同步时序电路的工作原理和设计方法
2. 掌握时序电路的激励函数、状态图、状态方程的运用
3. 掌握用 Verilog 进行有限状态机的设计、调试、仿真
4. 掌握用 FPGA 实现时序电路功能

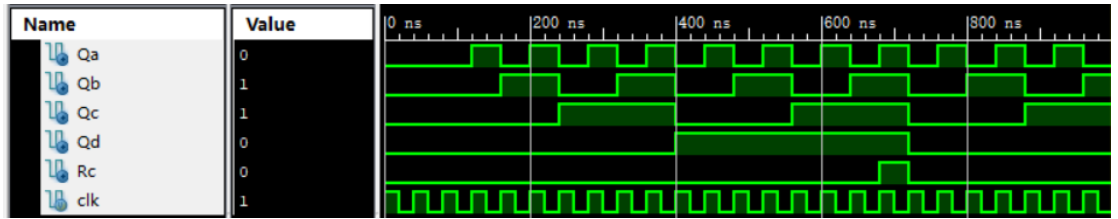
二、操作方法与实验步骤

1. 设计 4 位同步二进制计数器

① 建立 MyCounter 工程，通过原理图方式绘制 4 位同步二进制计数器 Counter4b。



② 通过仿真激励进行功能验证。



③ 建立时钟模块 clk_1s，使用行为描述的 Verilog 代码完成设计。

```
module clk_1s(
    input wire clk,
    output reg clk_1s
);
    reg [31:0] cnt;
    always@(posedge clk) begin
        if (cnt < 50_000_000) begin
            cnt <= cnt + 1;
        end
        else begin
            cnt <= 0;
            clk_1s <= ~clk_1s;
        end
    end
endmodule
```

④ 调用 DispNum 模块，通过结构化描述设计顶层 Top 模块。完成引脚约束文件 K7.ucf。生成 bit 文件，并在实验板上验证功能。

```
module Top(
    input wire clk,
    output wire [3:0]AN,
    output wire [7:0]SEG,
    output wire px
);
    wire cl;
    wire [15:0]Hex;

    clk_1s
    cx(.clk(clk),.clk_1s(cl));

    Counter4b
    C4b(.clk(cl),.Qa(Hex[3]),.Qb(Hex[2]),.Qc(Hex[1]),.Qd(Hex[0]),.Rc(px));

    DispNum
    dl(Hex[15:0],4'h1,4'h0,clk,1'b0,AN[3:0],SEG[7:0]);
endmodule

NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;
NET "clk" TNM_NET = TM_CLK;
TIMESPEC TS_CLK_100M = PERIOD "TM_CLK" 10 ns HIGH 50%;

NET "SEG[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;#a
NET "SEG[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;#b
NET "SEG[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;#c
NET "SEG[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;#d
NET "SEG[4]" LOC = W20 | IOSTANDARD = LVCMOS33;#e
NET "SEG[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;#f
NET "SEG[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;#g
NET "SEG[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;#point

NET "AN[0]" LOC = AD21 | IOSTANDARD = LVCMOS33;
NET "AN[1]" LOC = AC21 | IOSTANDARD = LVCMOS33;
NET "AN[2]" LOC = AB21 | IOSTANDARD = LVCMOS33;
NET "AN[3]" LOC = AC22 | IOSTANDARD = LVCMOS33;

NET "px" LOC = W23 | IOSTANDARD = LVCMOS33;
```

2. 设计 16 位可逆同步二进制计数器

① 建立 MyRevCounter 工程，通过行为描述方式设计 16 位可逆同步二进制计数器 RevCounter。

```

reg [15:0]xt;
reg Rct;
initial begin
    xt[15:0]=4'h0000;
    Rct=0;
end
always@(posedge clk) begin
    if(s) begin
        if(xt==16'hFFFE) begin
            xt<=16'hFFFF;
            Rct<=1;
        end
        else begin
            xt<=xt+1;
            Rct<=0;
        end
    end
    else begin
        if(xt==16'h0001) begin
            xt<=16'h0000;
            Rct<=1;
        end
        else begin
            xt<=xt-1;
            Rct<=0;
        end
    end
end
assign cnt=xt;
assign Rc=Rct;
endmodule

```

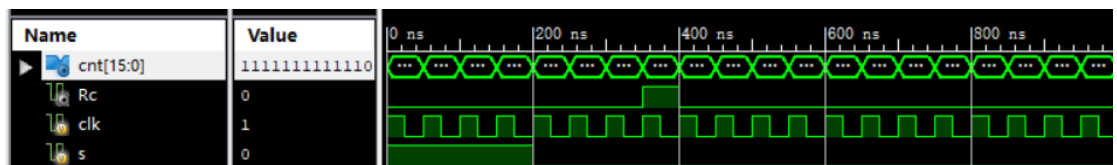
- ② 通过仿真激励进行功能验证。在 s=1 时，cnt 按时钟增大。在 s=0 后，cnt 逐步减小，在 Rc=1 后跳回 16'hFFFF。

```

initial begin
    s=1;#200;
    s=0;#200;
end

always begin
    clk=1;#25;
    clk=0;#25;
end

```



- ③ 通过行为描述方式建立 clk_100ms 时钟元件。

```

module clk_100ms(
    input wire clk,
    output reg clk_100ms
);
    reg [31:0] cnt;
    always@(posedge clk) begin
        if (cnt < 5_000_000) begin
            cnt <= cnt + 1;
        end
        else begin
            cnt <= 0;
            clk_100ms <= ~clk_100ms;
        end
    end
end
endmodule

```

- ④ 调用 DispNum 器件构造顶层 Top 模块，建立引脚约束，上板验证。

```

module Top(
    input wire clk,
    input wire sw,
    output wire [3:0]AN,
    output wire [7:0]SEG,
    output wire px
);

    wire cl;
    wire [15:0]Hex;

    clk_100ms
        cx(.clk(clk),.clk_100ms(cl));

    RevCounter
        C4b(.clk(cl),.s(sw),.cnt(Hex),.Rc(px));

    DispNum
        dl(Hex[15:0],4'h0,4'h0,clk,1'b0,AN[3:0],SEG[7:0]);
endmodule

NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;
NET "clk" TNM_NET = TM_CLK;
TIMESPEC TS_CLK_100M = PERIOD "TM_CLK" 10 ns HIGH 50%;

NET "sw" LOC = AA10 | IOSTANDARD = LVCMOS15;

NET "SEG[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;#a
NET "SEG[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;#b
NET "SEG[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;#c
NET "SEG[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;#d
NET "SEG[4]" LOC = W20 | IOSTANDARD = LVCMOS33;#e
NET "SEG[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;#f
NET "SEG[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;#g
NET "SEG[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;#point

NET "AN[0]" LOC = AD21 | IOSTANDARD = LVCMOS33;
NET "AN[1]" LOC = AC21 | IOSTANDARD = LVCMOS33;
NET "AN[2]" LOC = AB21 | IOSTANDARD = LVCMOS33;
NET "AN[3]" LOC = AC22 | IOSTANDARD = LVCMOS33;

NET "px" LOC = W23 | IOSTANDARD = LVCMOS33;

```

三、实验数据记录和处理

经简单测试，设计的 4 位同步二进制计数器和 16 位可逆同步二进制计数器都可以正常完成功能。进位情况也能在 LED 灯上正常显示。

仿真数据详见上文步骤。

四、实验结果与分析

1. 实验结果正常，经过验收。