

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名：

学 院： 计算机科学与技术学院

专 业： 计算机科学与技术

学 号：

指导教师： 马德

2021 年 12 月 29 日

浙江大学实验报告

课程名称: 数字逻辑设计

实验项目名称: 寄存器和寄存器传输设计

学生姓名:

专业: 计算机科学与技术

学号:

指导老师: 马德

实验日期: 2021 年 12 月 20 日

一、实验目的

1. 掌握寄存器传输电路的工作原理
2. 掌握寄存器传输电路的设计方法
3. 掌握 ALU 和寄存器传输电路的综合应用

二、操作方法与实验步骤

1. 基于 ALU 的数据传输应用设计

- ① 建立工程, 通过行为描述方式设计 4 位寄存器 MyRegister4b。

```
module MyRegister4b(  
    input wire clk,  
    input wire Load,  
    input wire [3:0] IN,  
    output wire [3:0] OUT  
);  
  
    reg [3:0] dat;  
    always@(posedge clk) begin  
        if(Load) dat<=IN;  
    end  
    assign OUT[3:0]=dat[3:0];  
endmodule
```

- ② 通过行为描述方式设计 Load 控制模块 Load_Gen。

```
module Load_Gen(  
    input wire clk,  
    input wire clk_lms,  
    input wire btn_in,  
    output reg Load_out  
);  
    initial Load_out = 0;  
    wire btn_out;  
    reg old_btn;  
  
    pbdebounce p0(clk_lms, btn_in, btn_out);  
  
    always@(posedge clk) begin  
        if ((old_btn == 1'b0) && (btn_out == 1'b1)) Load_out <= 1'b1;  
        else Load_out <= 1'b0;  
    end  
  
    always@(posedge clk) begin  
        old_btn <= btn_out;  
    end  
endmodule
```

- ③ 使用以上设计的模块以及新设计模块, 按照示例原理图, 通过结构化

描述方式，构造顶层 Top 模块。其中多路选择器通过?:语句实现。

```
wire Load_A;
wire [3:0] A, A_IN, Al;

wire Load_B;
wire [3:0] B, B_IN, Bl;

wire Load_C;
wire [3:0] C, C_IN, Cl;

wire [3:0] Mux;

wire [31:0] clk_div;
clkdiv m3(clk, 1'b0, clk_div);

MyRegister4b RegA(.clk(clk), .IN(A_IN), .Load(Load_A), .OUT(A));
Load_Gen m0(.clk(clk), .clk_lms(clk_div[17]), .btn_in(SW[2]), .Load_out(Load_A));
AddSub4b m4(.A(A), .B(4'b0001), .Ctrl(SW[0]), .S(Al), .Cout());
assign A_IN = (SW[15] == 1'b0)? Al: Mux;

MyRegister4b RegB(.clk(clk), .IN(B_IN), .Load(Load_B), .OUT(B));
Load_Gen m1(.clk(clk), .clk_lms(clk_div[17]), .btn_in(SW[3]), .Load_out(Load_B));
AddSub4b m5(.A(B), .B(4'b0001), .Ctrl(SW[1]), .S(Bl), .Cout());
assign B_IN = (SW[15] == 1'b0)? Bl: Mux;

MyRegister4b RegC(.clk(clk), .IN(C_IN), .Load(Load_C), .OUT(C));
Load_Gen m2(.clk(clk), .clk_lms(clk_div[17]), .btn_in(SW[4]), .Load_out(Load_C));
assign C_IN = (SW[15] == 1'b0)? Mux: Cl;

myALU ALU(.A(A), .B(B), .S(SW[6:5]), .C(Cl), .Cout());
DispNum m8(.clk(clk), .HEXS(A, B, C, 4'b0000)), .LES(4'b0), .points(4'b0), .RST(1'b0), .AN(AN), .Segment(SEGMENT));

assign Mux=(SW[8]==1)? C : ((SW[7]==0)? A : B);
```

④ 完成引脚约束文件 K7.ucf。生成 bit 文件，并在实验板上验证功能。

```
NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;
NET "clk" TNM_NET = TM_CLK;
TIMESPEC TS_CLK_100M = PERIOD "TM_CLK" 10 ns HIGH 50%;

NET "SEGMENT[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;#a
NET "SEGMENT[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;#b
NET "SEGMENT[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;#c
NET "SEGMENT[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;#d
NET "SEGMENT[4]" LOC = W20 | IOSTANDARD = LVCMOS33;#e
NET "SEGMENT[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;#f
NET "SEGMENT[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;#g
NET "SEGMENT[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;#point

NET "AN[0]" LOC = AD21 | IOSTANDARD = LVCMOS33;
NET "AN[1]" LOC = AC21 | IOSTANDARD = LVCMOS33;
NET "AN[2]" LOC = AB21 | IOSTANDARD = LVCMOS33;
NET "AN[3]" LOC = AC22 | IOSTANDARD = LVCMOS33;

NET "SW[15]" LOC = AA10 | IOSTANDARD = LVCMOS15;
NET "SW[14]" LOC = AB10 | IOSTANDARD = LVCMOS15;
NET "SW[13]" LOC = AA13 | IOSTANDARD = LVCMOS15;
NET "SW[12]" LOC = AA12 | IOSTANDARD = LVCMOS15;
NET "SW[11]" LOC = Y13 | IOSTANDARD = LVCMOS15;
NET "SW[10]" LOC = Y12 | IOSTANDARD = LVCMOS15;
NET "SW[9]" LOC = AD11 | IOSTANDARD = LVCMOS15;
NET "SW[8]" LOC = AD10 | IOSTANDARD = LVCMOS15;
NET "SW[7]" LOC = AE10 | IOSTANDARD = LVCMOS15;
NET "SW[6]" LOC = AE12 | IOSTANDARD = LVCMOS15;
NET "SW[5]" LOC = AF12 | IOSTANDARD = LVCMOS15;
NET "SW[4]" LOC = AE8 | IOSTANDARD = LVCMOS15;
NET "SW[3]" LOC = AF8 | IOSTANDARD = LVCMOS15;
NET "SW[2]" LOC = AE13 | IOSTANDARD = LVCMOS15;
NET "SW[1]" LOC = AF13 | IOSTANDARD = LVCMOS15;
NET "SW[0]" LOC = AF10 | IOSTANDARD = LVCMOS15;
```

三、实验数据记录和处理

本实验开关控制多且复杂，各开关功能如下：

SW[1:0]: 控制 A、B 的自增及自减

SW[4:2]: 控制 A、B、C 的数据更新

SW[6:5]: 控制 ALU 运算功能

SW[8:7]: 控制多路选择器的数据选择

SW[15]: 控制 A、B、C 的数据更新来自原 A、B、C 或多路选择器

在实验板上显示时，第一位为 A，第二位为 B，第三位为 C，第四位恒置 0。

经验证，所有开关均能正确实现功能。

四、实验结果与分析

1. 实验结果正常，已经过验收。

五、心得

本实验开关及功能对应十分复杂，需要大量调试。在搭建时，先按照小模块边搭建边测试波形是一个不错的办法。