

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名：

学 院： 计算机科学与技术学院

专 业： 计算机科学与技术

学 号：

指导教师： 马德

2022 年 1 月 9 日

浙江大学实验报告

课程名称: 数字逻辑设计

实验项目名称: 计数器、定时器设计与应用

学生姓名:

专业: 计算机科学与技术

学号:

指导老师: 马德

实验日期: 2021 年 1 月 8 日

一、实验目的

1. 掌握同步四位二进制计数器 74LS161 的工作原理和设计方法
2. 掌握时钟/定时器的工作原理与设计方法

二、操作方法与实验步骤

1. 采用行为描述设计同步二进制计数器 74LS161

- ① 建立工程, 按照 74LS161 的功能描述, 使用 VHDL 语言, 通过行为描述方式设计 My74LS161 元件。

```
reg [3:0]Qr;

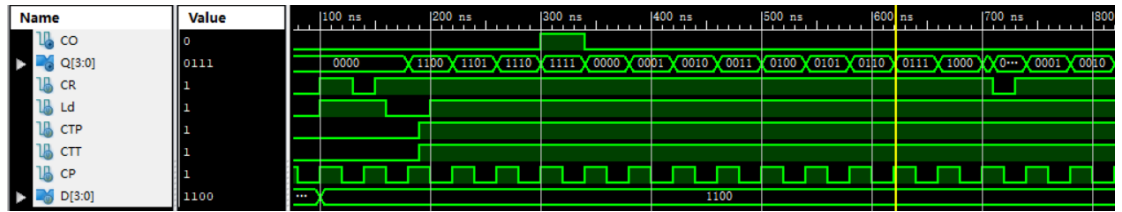
always@(posedge CP or negedge CR) begin
    if(CR==0) Qr<=0;
    else if(Ld==0) Qr<=D;
    else if(CTP&&CTT) Qr<=Qr+1;
end
assign Q=Qr;
assign CO=Q[3]&&Q[2]&&Q[1]&&Q[0]&&CTT;
```

- ② 通过仿真波形进行功能验证。

```
initial begin
    CR = 0;
    D = 0;
    CTP = 0;
    CTT = 0;
    Ld = 0;

    #100;
    CR = 1;
    Ld = 1;
    D = 4'b1100;
    CTT = 0;
    CTP = 0;
    #30 CR = 0;
    #20 CR = 1;
    #10 Ld = 0;
    #30 CTT = 1;
    CTP = 1;
    #10 Ld = 1;

    #510;
    CR = 0;
    #20 CR = 1;
    #500;
end
always begin
    CP=0;#20;
    CP=1;#20;
end
```



2. 基于 74LS161 设计时钟应用

① 建立 MyClock 工程，使用门级结构描述设计十进制计数器 CTR10。

```

wire CRX;
wire AG;
wire Qbar[4:0];

My74LS161
    MLS0(.CR(CRX), .Ld(1'b1), .CTP(1'b1), .CTT(1'b1), .CP(clk), .D(4'h0), .CO(), .Q(Q[3:0]));

AND4
    A0(.I0(Qbar[0]), .I1(Q[1]), .I2(Qbar[2]), .I3(Q[3]), .O(AG));

INV
    INV0(.I(Q[0]), .O(Qbar[0])),
    INV1(.I(Q[1]), .O(Qbar[1])),
    INV2(.I(Q[2]), .O(Qbar[2])),
    INV3(.I(Q[3]), .O(Qbar[3])),
    INVA0(.I(AG), .O(CRX));

assign Co=AG;

```

② 使用门级结构描述设计六十进制计数器 CTR60 和二十四进制计数器 CTR24。（示例为 CTR60）

```

CTR10
    MLS0(.CR(CR), .clk(clk), .Co(CO0), .Q(Q[3:0])),
    MLS1(.CR(CR), .clk(CO0), .Co(), .Q(Q[7:4]));

AND4
    A0(.I0(Qbar[0]), .I1(Qbar[1]), .I2(Qbar[2]), .I3(Qbar[3]), .O(Aout[0])),
    A1(.I0(Qbar[4]), .I1(Q[5]), .I2(Q[6]), .I3(Qbar[7]), .O(Aout[1]));

AND2
    ANDG(.I0(Aout[0]), .I1(Aout[1]), .O(AG));

INV
    INV0(.I(Q[0]), .O(Qbar[0])),
    INV1(.I(Q[1]), .O(Qbar[1])),
    INV2(.I(Q[2]), .O(Qbar[2])),
    INV3(.I(Q[3]), .O(Qbar[3])),
    INV4(.I(Q[4]), .O(Qbar[4])),
    INV5(.I(Q[5]), .O(Qbar[5])),
    INV6(.I(Q[6]), .O(Qbar[6])),
    INV7(.I(Q[7]), .O(Qbar[7])),
    INVA0(.I(AG), .O(CR));

assign Co=AG;

```

③ 使用设计的 CTR60 和 CTR24 模块构造 top 模块。

```

wire [31:0]cdiv;
wire [1:0]CO;
wire [31:0]CTRout;

clkdiv
    cdiv1(clk, 1'b0, cdiv[31:0]);

CTR60
    SEC(cdiv[18], CTRout[7:0], CO[0]),
    MIN(CO[0], CTRout[19:12], CO[1]);

CTR24
    HOUR(.clk(CO[1]), .Q(CTRout[31:24]), .Co());

SEGP2S
    SP(clk, cdiv[18], CTRout, SEGCLK, SEGCLR, SEGDT, SEGEN);

```

④ 建立引脚约束 K7.ucf, 生成 bit 文件, 上板验证。

```
NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;  
NET "clk" TNM_NET = TM_CLK;  
TIMESPEC TS_CLK_100M = PERIOD "TM_CLK" 10 ns HIGH 50%;  
  
NET "SEGCLK" LOC = M24 | IOSTANDARD = LVCMOS33;  
NET "SEGCLR" LOC = M20 | IOSTANDARD = LVCMOS33;  
NET "SEGDT" LOC = L24 | IOSTANDARD = LVCMOS33;  
NET "SEGEN" LOC = R18 | IOSTANDARD = LVCMOS33;
```

三、实验数据记录和处理

使用 0.1s 时钟作为时钟输入, 能看到秒钟、分钟显示和进位正确。总体实验结果无误。

四、实验结果与分析

1. 实验结果正常, 已经过验收。

五、心得

对每个写好的模块适当进行波形仿真有助于发现问题, 尤其是在有多级但输入输出不复杂的设计中。