

浙江大学

本科实验报告

课程名称： 数字逻辑设计

姓 名：

学 院： 计算机科学与技术学院

专 业： 计算机科学与技术

学 号：

指导教师： 马德

2021 年 11 月 6 日

浙江大学实验报告

课程名称：数字逻辑设计

实验项目名称：7 段数码管显示译码设计与应用

学生姓名：

专业：计算机科学与技术

学号：

指导老师：马德

实验日期：2021 年 10 月 25 日

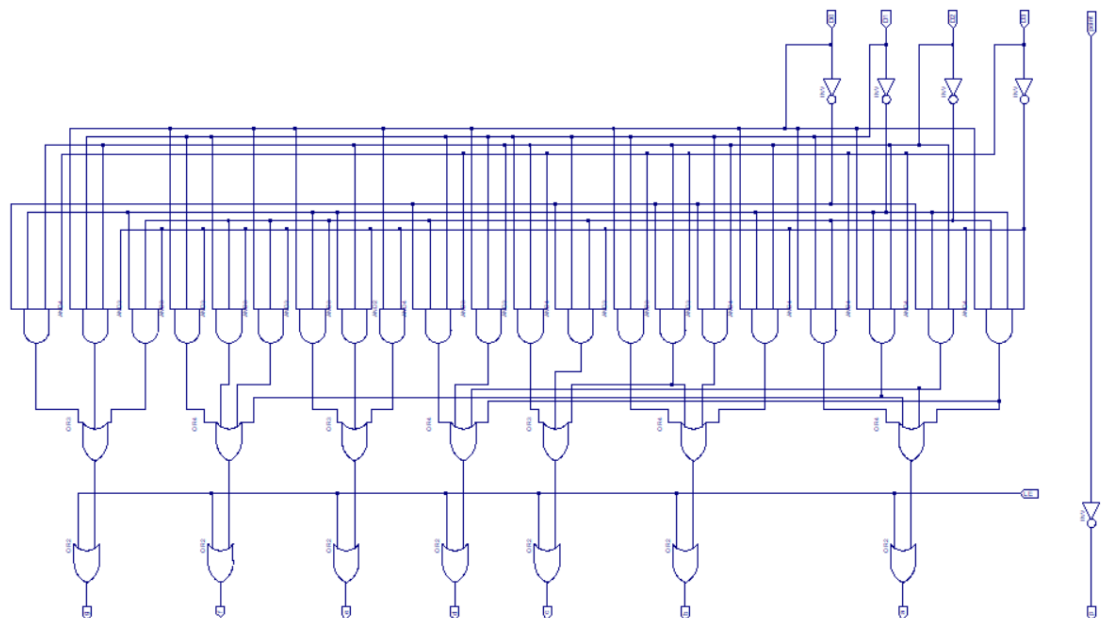
一、实验目的

1. 掌握七数码管显示原理
2. 掌握七段码显示译码设计
3. 进一步熟悉 Xilinx ISE 环境及 SWORD 实验平台

二、操作方法与实验步骤

1. 设计实现 MY_MC14495

- ① 建立 MyMC14495 工程，按如下原理图绘制 MyMC14495 器件电路结构。



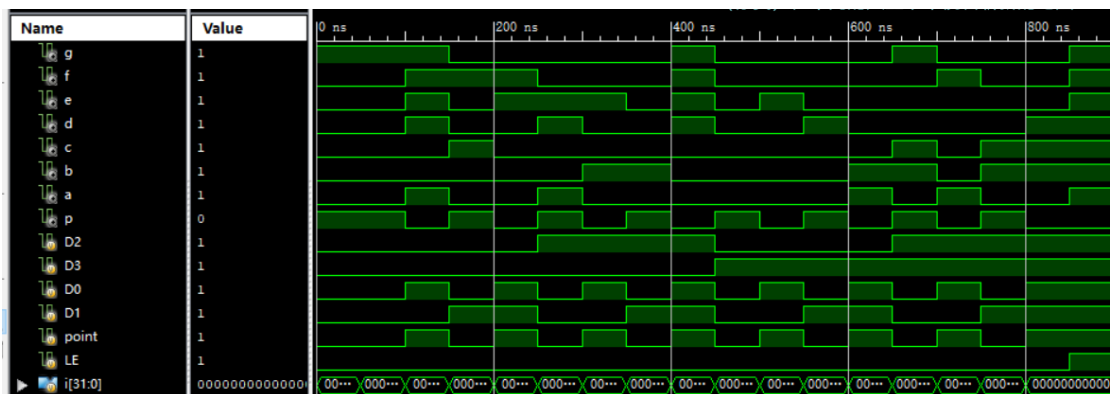
- ② 按照参考激励代码进行仿真激励，得到波形图如下。

```

integer i;
initial begin
    D3 = 0;
    D2 = 0;
    D1 = 0;
    D0 = 0;
    LE = 0;
    point = 0;
    for (i=0; i<=15;i=i+1) begin
        #50;
        {D3,D2,D1,D0}=i;
        point = i;
    end

    #50;
    LE = 1;
end

```

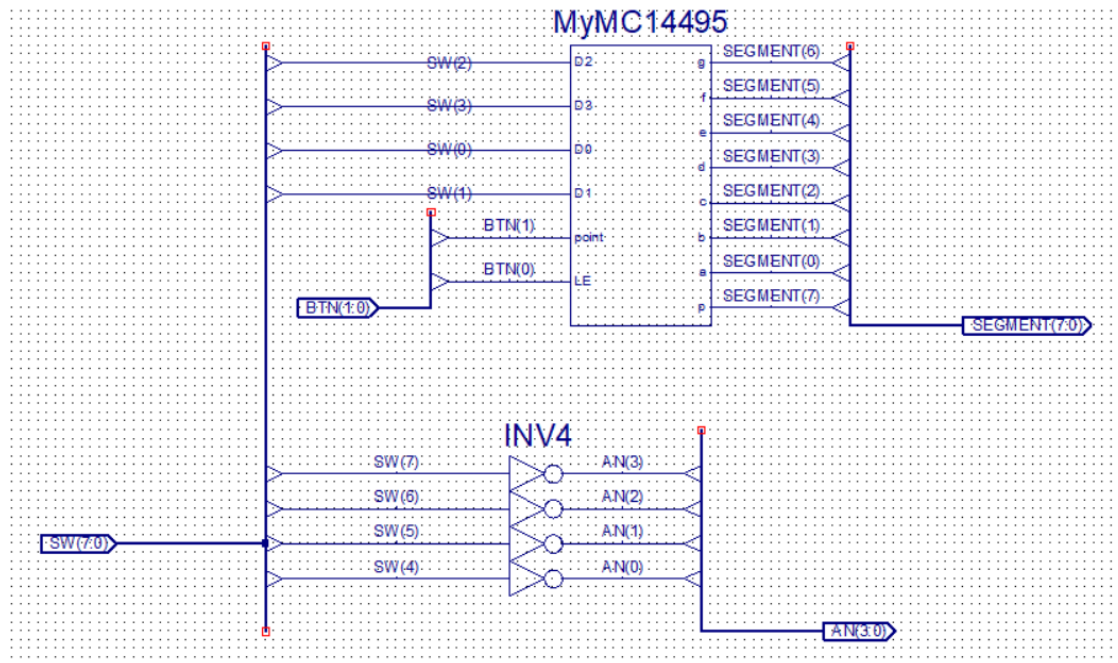


- ③ 检查无误后，通过 Create Schematic Symbol 生成 MyMC14495 器件的逻辑文件。

MyMC14495.sch	2021/10/25 17:08	SCH 文件	40 KB
MyMC14495.schlog	2021/11/10 23:17	SCHLOG 文件	0 KB
MyMC14495.sym	2021/10/25 17:11	SYM 文件	4 KB

2. 实现数码管显示

- ① 建立 DispNumber_sch 工程，将 MyMC14495 器件的相关文件复制到工程根目录。
- ② 通过原理图方式绘制测试电路结构，如下。



③ 进行引脚分配如下，将程序下载到实验板上进行验证。

```

1  NET "SW[0]" LOC = AD10 | IOSTANDARD = LVCMOS15;
2  NET "SW[1]" LOC = AD11 | IOSTANDARD = LVCMOS15;
3  NET "SW[2]" LOC = Y12 | IOSTANDARD = LVCMOS15;
4  NET "SW[3]" LOC = Y13 | IOSTANDARD = LVCMOS15;
5  NET "SW[4]" LOC = AA12 | IOSTANDARD = LVCMOS15;
6  NET "SW[5]" LOC = AA13 | IOSTANDARD = LVCMOS15;
7  NET "SW[6]" LOC = AB10 | IOSTANDARD = LVCMOS15;
8  NET "SW[7]" LOC = AA10 | IOSTANDARD = LVCMOS15;
9
10 NET "BTN[0]" LOC = AF13 | IOSTANDARD = LVCMOS15;#SW[14]
11 NET "BTN[1]" LOC = AF10 | IOSTANDARD = LVCMOS15;#SW[14]
12
13 NET "SEGMENT[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;#a
14 NET "SEGMENT[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;#b
15 NET "SEGMENT[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;#c
16 NET "SEGMENT[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;#d
17 NET "SEGMENT[4]" LOC = W20 | IOSTANDARD = LVCMOS33;#e
18 NET "SEGMENT[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;#f
19 NET "SEGMENT[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;#g
20 NET "SEGMENT[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;#point
21
22 NET "AN[0]" LOC = AD21 | IOSTANDARD = LVCMOS33;
23 NET "AN[1]" LOC = AC21 | IOSTANDARD = LVCMOS33;
24 NET "AN[2]" LOC = AB21 | IOSTANDARD = LVCMOS33;
25 NET "AN[3]" LOC = AC22 | IOSTANDARD = LVCMOS33;

```

三、实验数据记录和处理

1. 实现数码管显示

经测试，SW[4-7]开关完成了控制数码管每个数位显示与否的功能。

SW[0-3]开关输入 0000~1111 的 4 位 2 进制数码，此时在有显示的数码管

数位上能够显示输入对应的 0~F 的字符形状。

BTN[0-1]开关分别控制小数点的有无及整体显示情况。

四、实验结果与分析

实验结果正常，经过验收。

五、心得

学习到在绘制复杂原理图时，通过电路分层，先绘制输入总线再把各门的输入连到总线上会是好的办法。

同时学会了基本的模块电路设计。