

# Tytuł: Oscyloskop

Autorzy: **Paweł Mozgowiec (JK),  
Jakub Zając (JN)**

Ostatnia modyfikacja: 31.08.23

<i>Pytanie</i>	<i>Oczekiwana odpowiedź</i>	<i>Twoja odpowiedź</i>
Czy projekt został spakowany w formacie ZIP? ( TAK / NIE )	TAK	TAK
Czy raport został załączony w formacie PDF? ( TAK / NIE )	TAK	TAK
Czy w pliku ZIP został umieszczony bitstream? ( TAK / NIE )	TAK	TAK
Czy rozmieszczenie plików w katalogach projektu jest zgodne ze specyfikacją? ( TAK / NIE )	TAK	TAK
Czy sprawdzona została poprawność pliku ZIP spakowanego projektu poprzez rozpakowanie w nowym katalogu, uruchomienie symulacji i wygenerowanie bitstream'u? ( TAK / NIE )	TAK	NIE
Numer użytej wersji Vivado		v2021.2
Liczba błędów (error) zgłoszonych przez Vivado	0 (!)	0
Liczba ostrzeżeń krytycznych ( <i>critical warning</i> ) zgłoszona przez Vivado	0 (!)	1 (konfiguracja ADC)
Liczba ostrzeżeń zwykłych ( <i>warning</i> ) zgłoszona przez Vivado		10
Interfejs dostarczania danych przez użytkownika ( klawiatura / mysz / ... )		Mysz
Użycie ekranu jako wyjścia ( TAK / NIE )	TAK	TAK
Rozdzielczość ekranu ( X px / Y px )		1024x768
Czy układ używa resetu synchronicznego? ( TAK / NIE )	TAK	TAK
Identyfikator przycisku na płytce Basys3 użytego jako reset (BTND / BTNC / ... )		BTNC
Czy moduły używają wyłącznie sygnałów zegarowych generowanych przez bloki generatorów zegara (IP Vivado) ? ( TAK / NIE )		Tak, moduł ADC jest wpięty pośrednio do CLK_65Mhz aby móc ustawić pracę ADC(znacząco niższą od 65Mhz)

UWAGA: Projekt jest uznany za wykonany poprawnie, jeżeli twoje odpowiedzi są zgodne z odpowiedziami oczekiwanymi.

UWAGA: W przypadku wystąpienia nieuzasadnionych błędów, lub ostrzeżeń krytycznych (oznaczonych (!) ), oceną z projektu będzie 2.0 (ndst).