

Tytuł: Oscyloskop

Autorzy: Jakub Zając (JZ),

Paweł Mozgowiec (PM)

Ostatnia modyfikacja: 31.08.2023

Spis treści

1. Repozytorium git	1
2. Wstęp	1
3. Specyfikacja	1
3.1. Opis ogólny algorytmu	1
3.2. Tabela zdarzeń	2
4. Architektura	2
4.1. Moduł: top	2
4.1.1. Schemat blokowy	2
4.1.2. Porty	3
a) mou – mouse_ctl, input	3
b) vga – vga_ctl, output	3
4.1.3. Interfejsy	3
a) m2c – mouse_ctl to core	3
4.2. Rozprowadzenie sygnału zegara	3
5. Implementacja	4
5.1. Lista zignorowanych ostrzeżeń Vivado.	4
5.2. Wykorzystanie zasobów	4
5.3. Marginesy czasowe	4
6. Film.	4

1. Repozytorium git

Adres repozytorium GITa (jeżeli używane):

<https://github.com/Zajcu14/oscilloscope.git>

W przypadku repozytorium prywatnego należy zaprosić użytkownika zewnętrznego o adresie mailowym: kaczmarczyk@agh.edu.pl

2. Wstęp

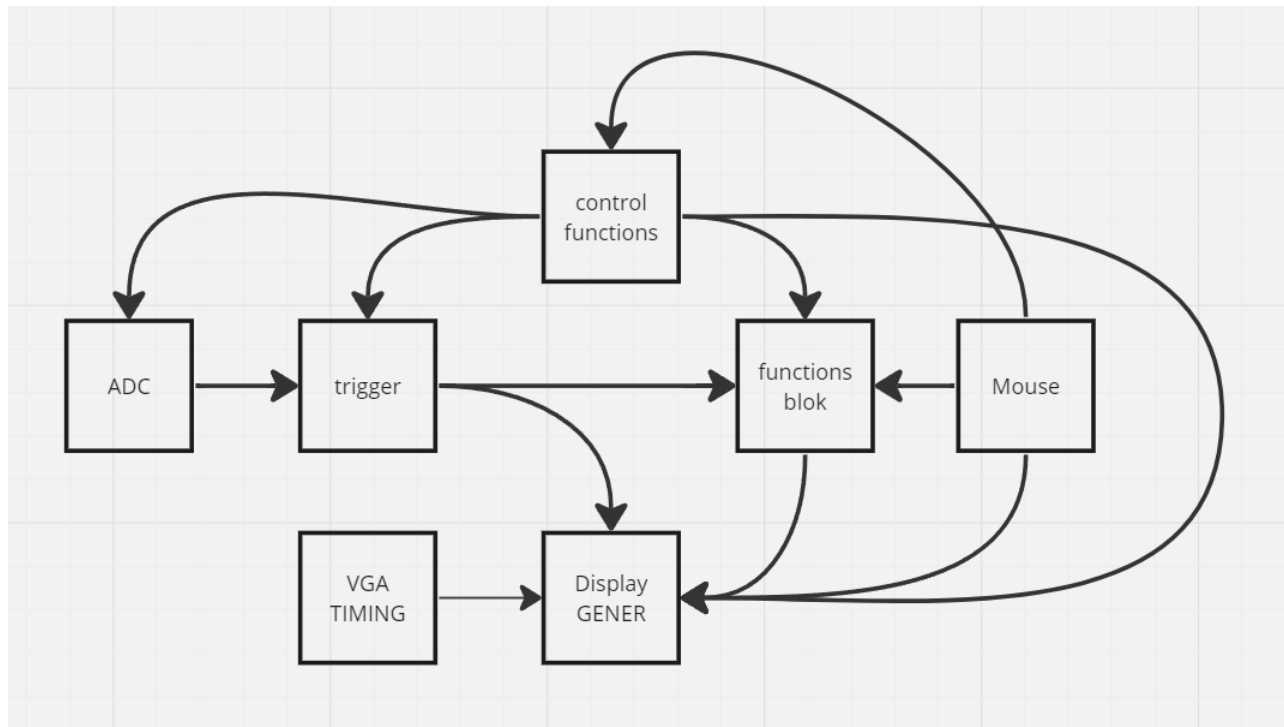
Pomysł wziął się z naszego zainteresowania dziedziną elektroniki cyfrowej i przetwarzania sygnałów. Chcieliśmy również nabrać doświadczenia przy pracy z zewnętrznymi urządzeniami akwizycji sygnału jak i późniejszej ich obróbki. Celem projektu było stworzenie cyfrowego oscyloskopu z opcjami filtrowania i analizy widmowej.

3. Specyfikacja

3.1. Opis ogólny algorytmu

Uproszczony schemat blokowy działania implementowanego algorytmu. Co się dzieje po starcie, jak wygląda przebieg działania, kiedy i pod jakimi warunkami się kończy.

Ewentualnie przykładowe screen-shoty tego, co w przybliżeniu chcielibyśmy uzyskać.



3.2. Tabela zdarzeń

Opis zdarzeń występujących podczas działania programu/urządzenia, zarówno zewnętrznych (interakcje z użytkownikiem), jak i wewnętrznych (specyficzne stany w algorytmie). Zdarzenia podzielone są na kategorie dotyczące różnych stanów działania programu. Kategorie powinny odpowiadać stanom ze schematu z pkt. 2.1.

Zdarzenie	Kategoria	Reakcja systemu
podłączenie sygnały wejściowego	ADC	przetworzenie sygnału na cyfrowy - próbka
sygnał sinusoidalny	trigger	uruchomienie wyzwolenia - zapis próbek do pamięci buffora
zbocze narastające clk_65Mhz	trigger -> functions blok	wpisane próbek i późniejsza interpretacja przez moduły wewnętrzne
zbocze narastające clk_65Mhz	trigger -> Display_gener	wpisane próbek i późniejsze narysowanie wykresu
zbocze narastające clk_65Mhz	functions blok-> Display_gener	wpisane próbek i późniejsze narysowanie wykresu oraz wartości liczbowych (parametrów)
zbocze narastające clk_65Mhz	control fun.=> function_blok	konfiguracja bloku i jego parametrów
ruch myszką	mouse	zmiana koordynatów myszki
zbocze narastające clk_65Mhz	mouse => function_blok	zmiana wartości wewnętrznych uwzględniających położenie oraz wciśnięte klawisze myszki

zbocze narastające clk_65Mhz	control fun.=>trigger	zmiana szybkości próbkowania oraz wartości trigger_level
zbocze narastające clk_65Mhz	control fun.=>ADC	zmiana szybkości próbkowania
zbocze narastające clk_65Mhz	mouse fun.=>Display_gen	rysowanie myszki na ekranie
zbocze narastające clk_65Mhz	control fun.=>Display_gen	rysowanie myszki na ekranie
zbocze narastające clk_65Mhz	Vga_timing =>Display_gen	wygenerowanie sygnałów kalibrujących
kliknięcie myszki w pierwszej ćwircie ekranu	Display_gen	kontrola próbkowania trigger, przycisk lewy odjęcie wartości, prawy dodanie wartości
kliknięcie myszki w drugiej ćwircie ekranu	Display_gen	kontrola trigger+lvl, przytrzymanie środkowego przycisku oraz przycisk lewy odjęcie wartości, prawy dodanie wartości
kliknięcie myszki w pierwszej ćwircie ekranu	Display_gen	kontrola próbkowania ADC, przytrzymanie środkowego przycisku oraz przycisk lewy odjęcie wartości, prawy dodanie wartości
ruch myszką po wykresie i przytrzymanie lewego przycisku	mouse =>Display_gen	poruszanie wykresem
przyciśnięcie RST na płytkę	płytkę	reset całego programu przywrócenie ustawień nominalnych

4. Architektura

Uwaga: dobrze zrobiony projekt zawiera tylko moduły strukturalne (zbudowane z innych modułów) i funkcjonalne (zawierające bloki proceduralne always @). Staramy się nie generować bloków mieszających te dwa typy, o ile to możliwe.

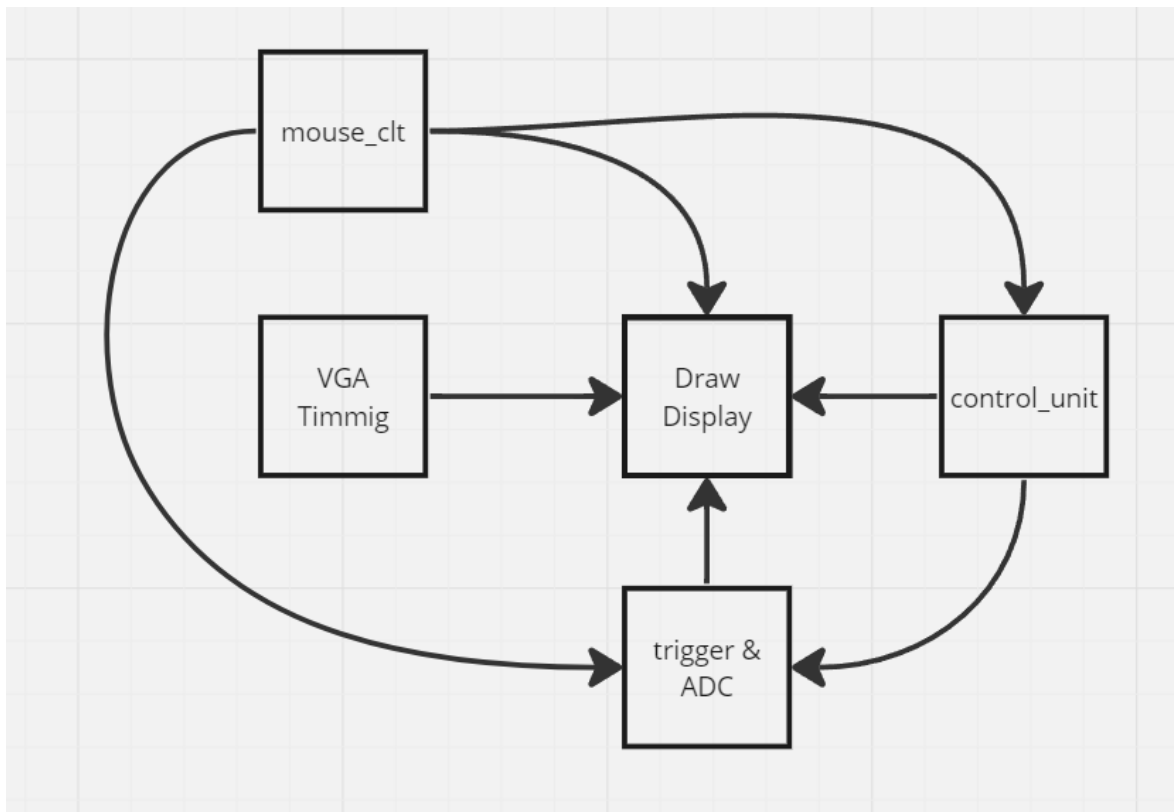
Uwaga: opisujemy architekturę **tylko głównego modułu oraz rozprowadzenie sygnału zegara**.

4.1. Moduł: top

Osoba odpowiedzialna: JZ oraz PM

4.1.1. Schemat blokowy

Przykładowy schemat blokowy modułu głównego



Uwaga:

- *interfejsy dwukierunkowe rozbijamy na 2 interfejsy jednokierunkowe*
- *nazwa interfejsu stanowi prefiks nazwy sygnałów składowych*
- *w interfejsach nie uwzględniamy sygnałów globalnych (np. clk i rst).*

4.1.2. Porty

a) *ps2– MouseCtl, input*

nazwa portu	opis
ps2_data	szeregowe wejście danych
ps2_clk	taktowanie komunikacji z myszką

b) *vga – vga_ctl, output*

nazwa portu	opis
vs	sygnał synchronizacji pionowej VGA
hs	sygnał synchronizacji poziomej VGA

4.1.3. Interfejsy

a) *vga_if – vga_ctl to core*

nazwa sygnału	opis
[10:0] vcount	wertykalna pozycja wyświetlanego piksela na ekranie
[10:0] hcount	horyzontalna pozycja wyświetlanego piksela na ekranie
[11:0] rgb	wartość koloru w kodzie rgb
vsync	sygnał synchronizacji wertykalny

hsync	sygnał synchronizacji horyzontalny
vblnk	sygnał wygaszania wertykalny
hblnk	sygnał wygaszania horyzontalny

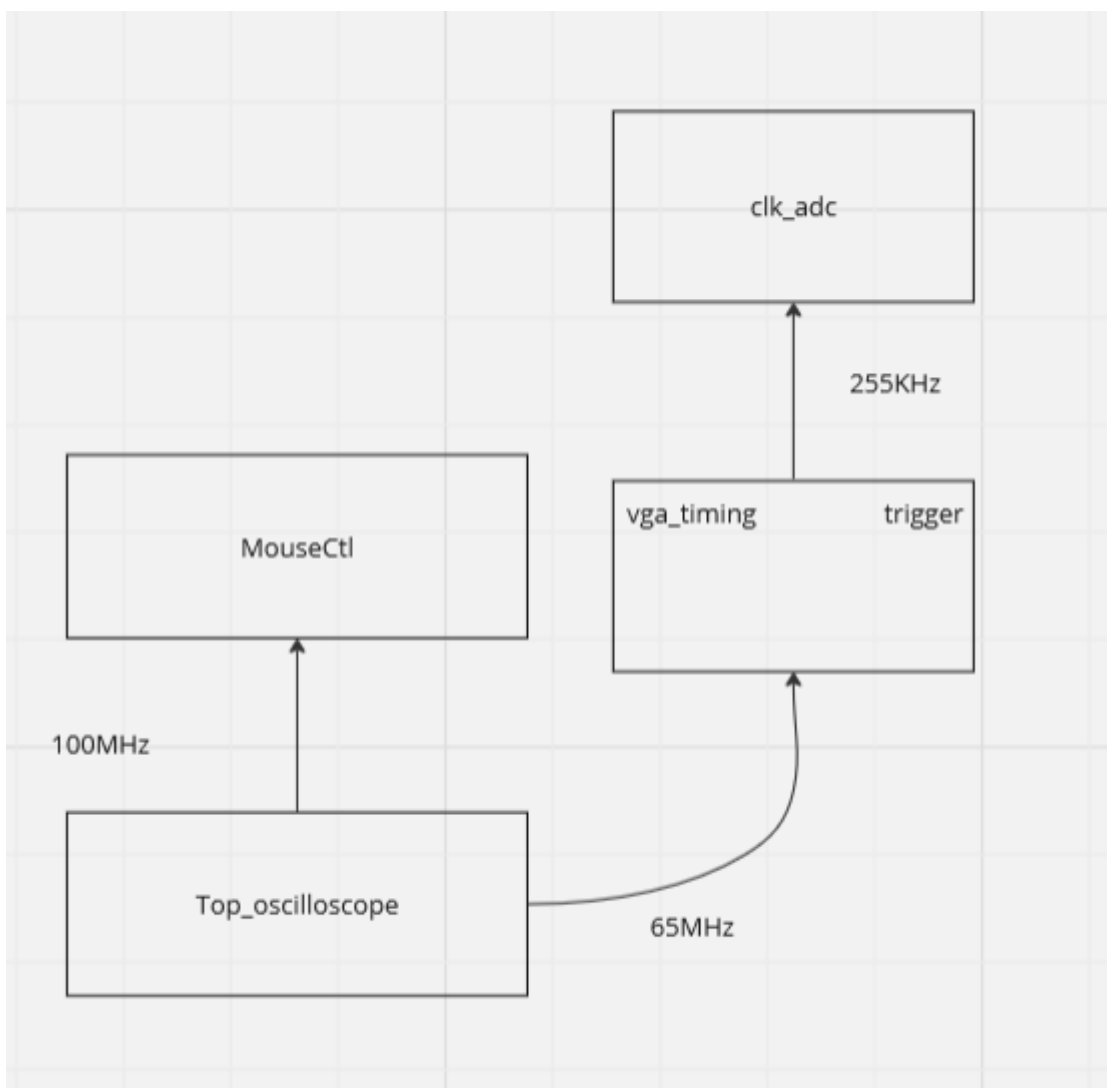
4.2. Rozprowadzenie sygnału zegara

Osoba odpowiedzialna:

PMInformacja na temat źródła sygnału zegarowego, używanych częstotliwości zegara w całym układzie.

Moduł generatora zegara umieszczamy w module głównym projektu. W pozostałych modułach używamy tylko i wyłącznie sygnały zegara wygenerowane przez ten moduł.

Uwaga: jeżeli używamy różnych częstotliwości zegara w układzie, to należy je tak dobrać, aby były wielokrotnościami siebie (umożliwia to wygenerowanie tych sygnałów z jednego IP core generatora zegara i zapobiega problemom z synchronizacją).



5. Implementacja

5.1. Lista zignorowanych ostrzeżeń Vivado.

Identyfikator or ostrzeżenie	Liczba wystąpie ń	Uzasadnienie
[Netlist 29-345]	4	to ostrzeżenie niekoniecznie oznacza problem, ale warto być świadomym, że wartość SIM_DEVICE może wpływać na symulację funkcyjną.
[Synth 8-7129]	3	w tym konkretnym przypadku port został niewykorzystany jednakże jest to pozostawione dla przyszłej skalowalności kodu
[Route 35-328]	1	oszacowany czas trasy nie spełniony oznacza, że układ może nie działać zgodnie z oczekiwaniami pod względem czasu, jednakże nie wpływa to negatywnie na wynik końcowy, wszystkie przypadki zostały przeanalizowane pod względem kluczowości ostrzeżenia
[DRC DPIP-x]	4	dotyczy wartości trigger_case, ostrzeżenie nie jest groźne, wszystko działa prawidłowo
[Synth 8-6014]	4	Dotyczy nieużywanych rejestrów w kontrolerze myszki. Ostrzeżenie pozostawione ze względu na dostarczenie pliku z zewnątrz.

5.2. Wykorzystanie zasobów

Tabela z wykorzystaniem zasobów z Vivado

Name	Constraints	Status	WNS	TNS	WHS	THS	WPWS	TPWS	Total Power	Failed Routes	Methodology	RQA Score	QoR Suggestions	LUT	FF	BRAM	URAM	DSP	Start	Elapsed
✓ synth_1	constrs_1	synth_design Complete!												10275	6667	0.5	0	1	8/31/23, 11:50 PM	00:02:45
✓ impl_1	constrs_1	write_bitstream Complete!	-91.078	-9531.618	0.052	0.000		0.000	0.273	0	98 CW, 1010 Warn			10277	6674	0.5	0	1	8/31/23, 11:53 PM	00:02:43

5.3. Marginesy czasowe

Marginesy czasowe (WNS) dla setup i hold.

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): -90,691 ns	Worst Hold Slack (WHS): 0,051 ns	Worst Pulse Width Slack (WPWS): 3,000 ns
Total Negative Slack (TNS): -8733,597 ns	Total Hold Slack (THS): 0,000 ns	Total Pulse Width Negative Slack (TPWS): 0,000 ns
Number of Failing Endpoints: 4081	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 9570	Total Number of Endpoints: 9570	Total Number of Endpoints: 6615

Timing constraints are not met.

Check Timing (399)

Intra-Clock Paths

clk

clk_65Mhz_clk_wiz_0

Setup -90.691 ns (10)

Hold 0.084 ns (10)

Pulse Width 6.712 ns (31)

clk_100Mhz_clk_wiz_0

Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock	Destination Clock
Path 1	-90.691	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[7]D	105.893	45.323	60.570	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 2	-90.655	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[2]D	105.856	45.345	60.511	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 3	-90.628	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[1]D	105.832	45.345	60.487	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 4	-90.626	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[9]D	105.828	45.345	60.483	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 5	-90.598	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[6]D	105.803	45.345	60.458	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 6	-90.596	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[0]D	105.799	45.345	60.454	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0
Path 7	-90.587	160	42	u_top_osillosco...ut_reg[78][1]C	u_top_osilloscopef...tions/max_reg[4]D	105.790	45.323	60.467	15.4	clk_65Mhz_clk_wiz_0	clk_65Mhz_clk_wiz_0

Inter-Clock Paths - clk_100Mhz_clk_wiz_0 to clk_65Mhz_clk_wiz_0

From Clock: clk_100Mhz_clk_wiz_0

To Clock: clk_65Mhz_clk_wiz_0

Statistics

Type	Worst Slack	Total Violation	Failing Endpoints	Total Endpoints
Setup	-1,549 ns	-36,744 ns	26	26
Hold	0,053 ns	0,000 ns	0	26

6. Film.

Link do ściągnięcia filmu:

https://