

09/02/2021 Fondamenti di Elettronica – esame sulla terza parte del programma: 3 esercizi da risolvere in un'ora e 30 minuti.

Esercizio 1

Nel circuito in figura, i transistor MOS hanno i seguenti parametri: $k_n = 2.5 \text{ mA/V}^2$, $V_T = 0.7 \text{ V}$, $\lambda = 0 \text{ V}^{-1}$. La resistenza R_{SS} è attraversata da una corrente pari a 1 mA.

Si osservi che questo amplificatore ha una tensione di alimentazione singola di +5V e che, di conseguenza, la tensione di modo comune V_{CM} a riposo NON PUO' essere nulla : è necessario polarizzare i gate dei transistor in modo che questi siano in conduzione.

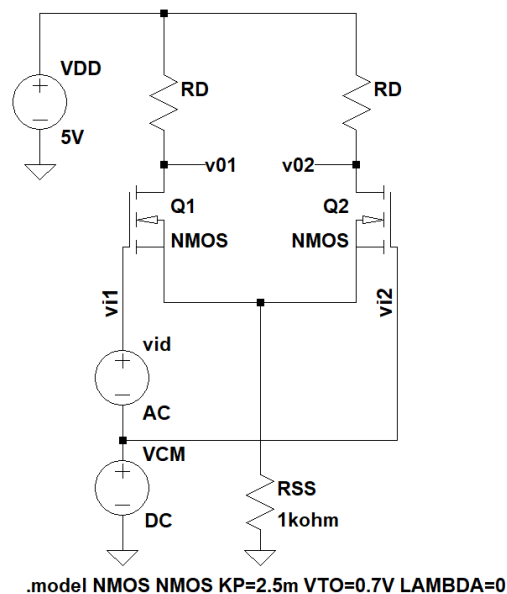
1.1 Con $v_{id} = 0$, trovare il valore di $V_{CM} = V_G$

1.2 Trovare il valore di R_D necessario per avere un guadagno differenziale di modo differenziale pari a 8 V/V

1.3 Trovare il valore a riposo (DC, con $v_{id} = 0 \text{ V}$) della tensione V_D sui due drain

1.4 Si determini il guadagno di modo comune single-ended dato dal rapporto variazione della tensione di drain diviso variazione della tensione di modo comune = v_{D1}/v_{cm}

1.5 Si utilizzi il guadagno di modo comune trovato nel punto precedente per determinare il valore dell'incremento di V_{CM} che porta Q_1 e Q_2 nella regione lineare



1.1 Se la resistenza è attraversata da una corrente pari a 1mA, Q_1 e Q_2 sono attraversati da 0.5 mA. Quindi

$$V_{OV} = (2I_D/k_n)^{1/2} = (2 \cdot 0.5/2.5)^{1/2} = (1/2.5)^{1/2} = 0.632455 \text{ V}$$

$$V_{GS} = V_{OV} + V_T = 0.632 \text{ V} + 0.7 \text{ V} = 1.332455 \text{ V}$$

$$V_S = 1\text{mA} \cdot 1\text{k}\Omega = 1\text{V};$$

$$V_G = V_S + 1.332 \text{ V} = 2.332455 \text{ V}$$

1.2 Il guadagno differenziale è il doppio del guadagno single-ended ed è pari a $g_m R_D$. Impongo $g_m R_D = 8$;

$$g_m = k_n V_{OV} = 2.5 \cdot 0.632 = 1.58 \text{ mA/V}$$

$$R_D = 8/1.58 \text{ [V/mA]} = 5063 \Omega$$

Calcolo V_{DS} ; $V_D = V_{DD} - I_D R_D = 5 - 0.5 * 5.063 = 5 - 2.5315 = 2.4685 \text{ V} > 0.632 \text{ V} = V_{OV}$ saturazione OK

1.3 Acm single ended

$$A_{cm} = -g_m R_D / (1 + 2g_m R_S) = -8 / (1 + 2 * 1.58 * 1) = -8 / 4.16 = -1.92 \text{ V/V}$$

La tensione di drain a riposo per Q1, Q2 è $V_{DQ} = 5 \text{ V} - I_D R_D = 5 - 0.5 \text{ mA} * 5.063 = 2.4685 \text{ V}$

Perché V_D raggiunga il limite della saturazione deve essere

$$V_{DQ} + \Delta V_D = V_{GQ} + \Delta V_{cm} - V_T$$

$$\Delta V_D = A_{cm} \Delta V_{cm}$$

$$2.4685 - 1.92 \Delta V_{cm} = 2.3324 + \Delta V_{cm} - 0.7 \text{ V}$$

$$2.4685 - 2.3324 + 0.7 = 2.92 \Delta V_{cm}$$

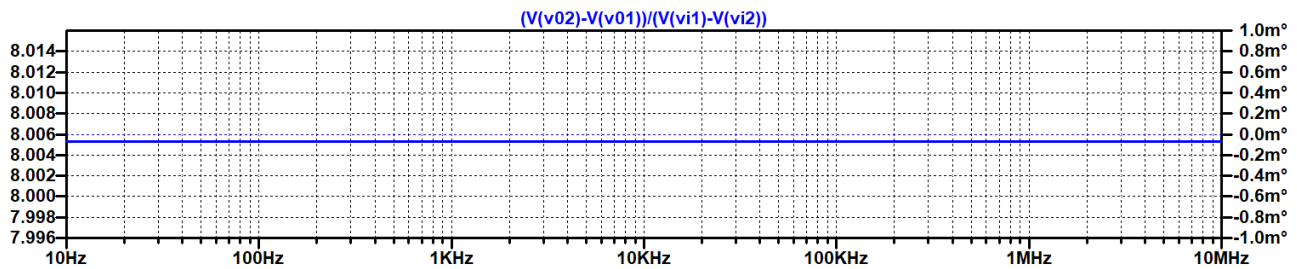
$$\Delta V_{cm} = 0.286 \text{ V}$$

--- Operating Point ---

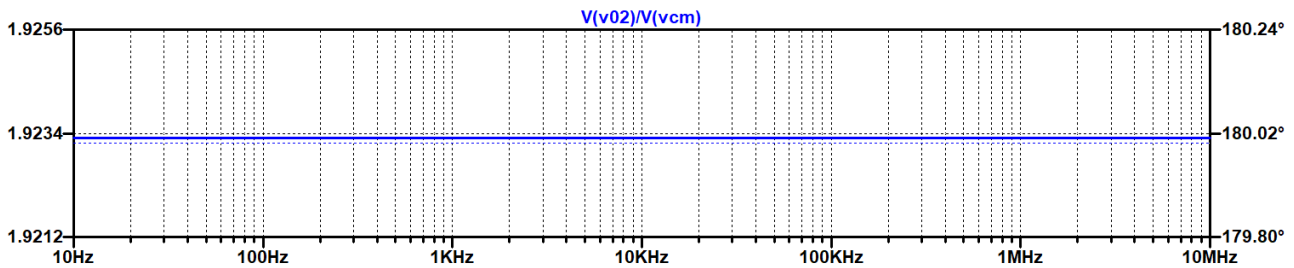
V(v01):	2.4685	voltage
V(vi1):	2.33245	voltage
V(n002):	0.999999	voltage
V(v02):	2.4685	voltage
V(vi2):	2.33245	voltage
V(n001):	5	voltage
Id(M2):	0.0005	device_current
Ig(M2):	0	device_current
Ib(M2):	-1.4785e-012	device_current
Is(M2):	-0.0005	device_current
Id(M1):	0.0005	device_current
Ig(M1):	0	device_current
Ib(M1):	-1.4785e-012	device_current
Is(M1):	-0.0005	device_current
I(R1):	0.000999999	device_current
I(Rd2):	0.0005	device_current
I(Rd1):	0.0005	device_current
I(Vcm):	0	device_current
I(Vdd):	-0.000999999	device_current
I(Vid):	0	device_current

Name:	m2	m1
Model:	nmos	nmos
Id:	5.00e-04	5.00e-04
Vgs:	1.33e+00	1.33e+00
Vds:	1.47e+00	1.47e+00
Vbs:	0.00e+00	0.00e+00
Vth:	7.00e-01	7.00e-01
Vdsat:	6.32e-01	6.32e-01
Gm:	1.58e-03	1.58e-03

Punto operativo per l'amplificatore differenziale con singola alimentazione e carico resistivo



Guadagno differenziale di modo differenziale



Valore assoluto del guadagno di modo comune single-ended

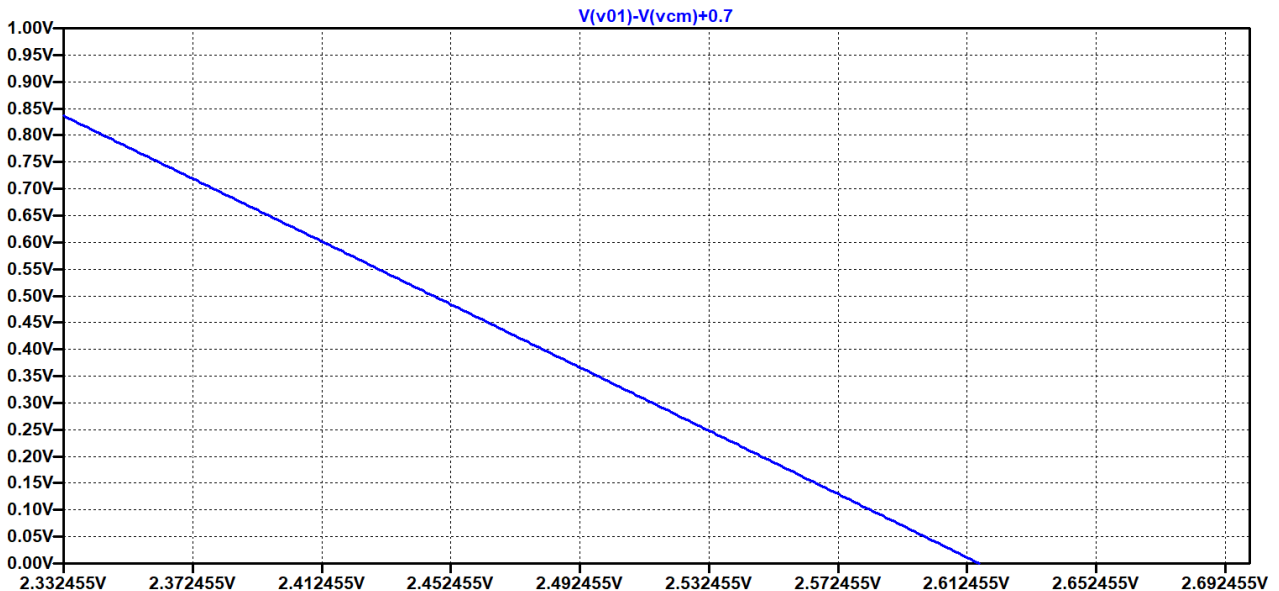
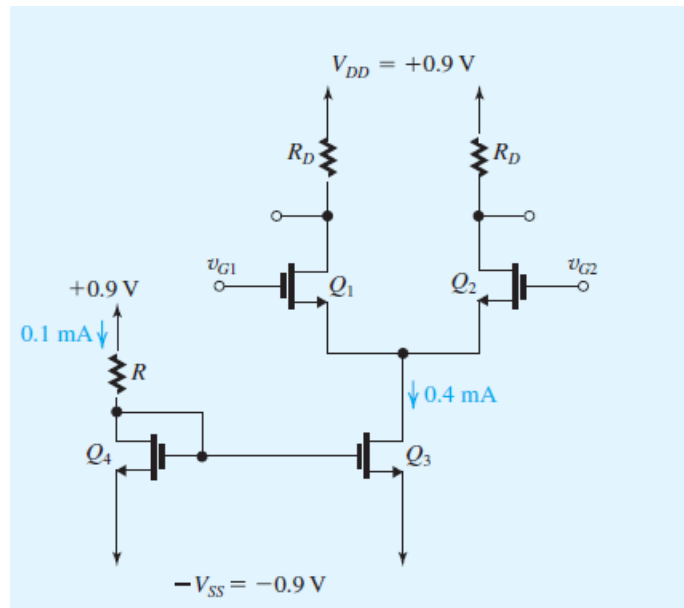


Grafico di $V_D - (V_G - V_T)$ in funzione della tensione $V_{CM} = V_{CMQ} + \Delta V_{CM}$. per $V_D - (V_G - V_T) = 0$ V, i transistor escono dalla saturazione. Questo avviene per $V_{CM} = 2.62$ V circa, ovvero $\Delta V_{CM} = 2.62 - V_{CMQ} = 2.62V - 2.33V = 0.29$ V, in buon accordo con i calcoli analitici (benchè nei calcoli sia stato considerato un valore di g_m costante, mentre questo vari come $k_n(V_{GS} - V_T)$).

Esercizio 2

Dato il circuito in figura, nel quale la tensione di soglia dei transistor è $V_{tn} = 0.4$ V e $k_n' = 0.4$ mA/V², $(W/L)_1 = (W/L)_2 = 44.4$, $(W/L)_3 = 88.8$, $(W/L)_4 = 22.2$. Le resistenze di drain R_D valgono 4 k Ω .



2.1 Determinare il punto di lavoro di Q4 e la corrente di drain di Q1 e Q2.

$$I_D = 0.1 \text{ mA}$$

$$V_{OV} = (2I_D/k_n)^{1/2} = (2I_D/(k'_n \cdot (W/L)))^{1/2} = (2 \cdot 0.1 / (0.4 \cdot 22.2))^{1/2} = (0.2 / 8.88)^{1/2} = (0.0225)^{1/2} = 0.150 \text{ V}$$

$$V_{GS} = V_{DS} = V_{OV} + V_T = 0.150 + 0.4 = 0.55 \text{ V}$$

quindi R è data da $1.8 \text{ V} - I_D R = V_{DS} = 0.55 \text{ V}$; $(1.8 - 0.55) / 0.1 = R$; $R = 12500 \, \Omega$

2.2 Verificare che i transistor si trovino in saturazione.

2.2 Q1 e Q2 sono attraversati da una corrente di drain pari a 0.2 mA. La corrente di drain di Q1 e Q2 è quindi metà della corrente di Q3; così come $(W/L)_3 = 2(W/L)_{1,2}$. Di conseguenza, essendo $\lambda=0$, la tensione di gate di Q1 e Q2 è la stessa di Q3, e quindi la stessa di Q4.

Perciò $V_{GS1} = V_{GS2} = 0.55 \text{ V}$, ovvero $V_S = -0.55 \text{ V}$

$$V_{DS1,2} = V_{DD} - I_D R_D - V_S \rightarrow V_{DS1,2} = 0.9 - 0.2 \cdot 4 - (-0.55) = 0.9 - 0.8 + 0.55 = 0.65 \text{ V} > 0.15 \text{ V} = V_{OV} \text{ saturazione OK}$$

2.3 Calcolare la transconduttanza g_m di Q1 e Q2

$$g_m = k_n V_{OV} = k'_n (W/L) V_{OV} = 0.4 \cdot 44.4 \cdot 0.15 = 2.664 \text{ mA/V}$$

2.4 Calcolare il guadagno differenziale single-ended dell'amplificatore,

$$A_v = g_m R_D / 2 = 2.664 \cdot 4 / 2 = 5.328 \text{ V/V}$$

2.5 Calcolare il guadagno di modo comune single-ended e il CMRR

$A_{cm} = 0$ (la resistenza $R_{SS} = r_o$ equivalente di Q3 con $\lambda=0$ è infinita.

CMRR = infinito

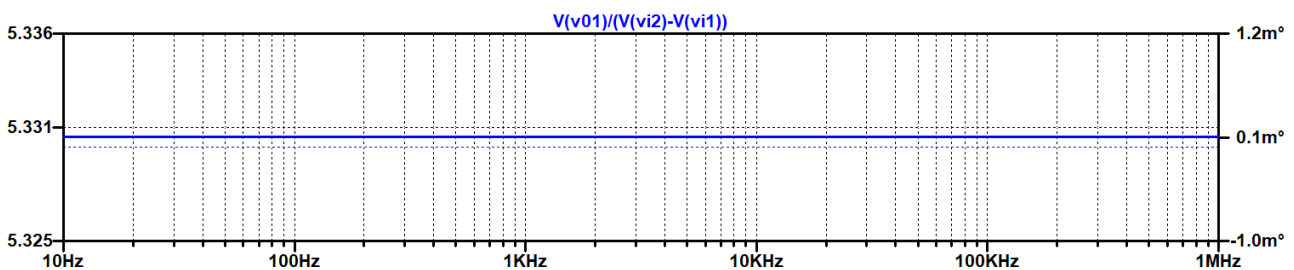
2.6 Calcolare il guadagno di modo comune single-ended e il CMRR nell'ipotesi che λ per il transistor Q3 valga 0.1 V^{-1} (trascurando la variazione di I_{DQ}).

In questo caso $r_o = 1/\lambda I_D = 1/(0.1 \cdot 0.4) = 25 \text{ k}\Omega$

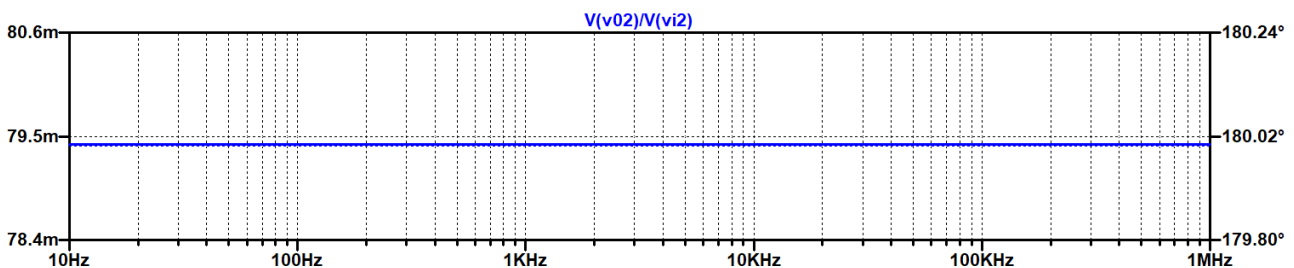
$$A_{cm} = -g_m R_D / (1 + 2g_m r_o) = -1.664 \cdot 4 / (1 + 2 \cdot 1.664 \cdot 25) = -6.656 / 84.2 = -0.079 \text{ V/V}$$

Name:	mSq3	mSq4	mSq2	mSq1
Model:	nmos3	nmos4	nmos12	nmos12
Id:	4.00e-04	1.00e-04	2.00e-04	2.00e-04
Vgs:	5.50e-01	5.50e-01	5.50e-01	5.50e-01
Vds:	3.50e-01	5.50e-01	6.50e-01	6.50e-01
Vbs:	0.00e+00	0.00e+00	0.00e+00	0.00e+00
Vth:	4.00e-01	4.00e-01	4.00e-01	4.00e-01
Vdsat:	1.50e-01	1.50e-01	1.50e-01	1.50e-01
Gm:	5.33e-03	1.33e-03	2.67e-03	2.67e-03

Punto a riposo dei transistor dell'amplificatore differenziale con current mirror



Guadagno differenziale con uscita single-ended dell'amplificatore, con $\lambda = 0 \text{ V}^{-1}$ per tutti i transistor.



Modulo del guadagno di modo comune con uscita single-ended e relativa fase, con $\lambda = 0.1 \text{ V}^{-1}$ per il transistor Q3 e $\lambda = 0 \text{ V}^{-1}$ per tutti gli altri transistor

Esercizio 3

3.1 Si disegni una porta logica in grado di realizzare la funzione $\bar{Y} = (A + B)(C + D) + CE$;

3.2 Per la porta logica disegnata calcolare i rapporti dimensionali (W/L) dei MOSFET di tipo n e di tipo p affinché la porta presenti nei casi peggiori un comportamento al nodo di uscita corrispondente a quello di un inverter con rapporti di dimensioni $n = W_n / L_n$ e $p = W_p / L_p$; nel calcolo si cerchi di minimizzare l'area della porta stessa.

Trovo l'espressione booleana per la rete di pull-up

$$Y = ((A+B)(C+B))' \cdot (CE)'$$

$$Y = ((A+B)' + (C+B)') \cdot (C' + E')$$

$$Y = ((A'B') + (C'D')) \cdot (C' + E')$$

Le espressioni per le reti di pull-down e di pull-up, rispettivamente

$$Y' = (A+B)(C+D) + CE$$

$$Y = ((A'B') + (C'D'))(C' + E')$$

corrispondono al circuito mostrato qui sotto. Per ottenere il bilanciamento, i transistor PMOS devono avere tutti dimensioni pari a $3p$ (dove $p = W_p/L_p$ del transistor pMOS dell'inverter di riferimento). I transistor NMOS devono avere invece dimensioni pari a $2n$ (dove $n = W_n/L_n$ del transistor nMOS dell'inverter di riferimento).

