

Il transistor MOSFET
Metal-Oxide-Semiconductor
Field Effect Transistor

Obiettivi

- Comprensione del funzionamento dei MOSFET.
- Definizione delle caratteristiche dei FET nelle regioni di interdizione, triodo e saturazione.
- Sviluppo dei modelli matematici delle caratteristiche i - v dei MOSFET.
- Descrizione delle rappresentazioni grafiche delle caratteristiche di uscita e di trasferimento.
- Illustrazione e confronto tra le caratteristiche dei FET a svuotamento e arricchimento.
- Descrizione dei simboli circuitali utilizzati per i diversi tipi di FET.
- Analisi dei circuiti utilizzati per polarizzare i transistori nelle differenti regioni di funzionamento.
- Analisi della struttura di base e del layout dei transistori e dei circuiti MOS.
- Analisi della miniaturizzazione dei dispositivi MOS
- Differenze di comportamento dei dispositivi a 3 e 4 terminali.
- Descrizione delle sorgenti di capacità nei MOSFET.
- Analisi dei modelli SPICE per i FET.

Abbiamo considerato finora considerato solo dispositivi «passivi» (resistori o condensatori) o diodi a semiconduttore.

Ora vogliamo capire come viene realizzato un amplificatore operazionale o un circuito digitale. Un amplificatore richiede dispositivi «attivi» = elementi in grado di amplificare linearmente, senza distorsione, un segnale di corrente o tensione, aumentandone l'ampiezza.

La potenza del segnale in uscita è in generale maggiore di quella del segnale di ingresso. L'elemento amplificatore preleva questa potenza dalla alimentazione (DC) e la converte in potenza AC in uscita.

Per essere utilizzato in un circuito digitale l'elemento attivo deve invece comportarsi come un interruttore ideale = un interruttore comandato da una tensione o da una corrente, che corrisponde ad un corto circuito (con resistenza «on», R_{on} , nulla) quando è acceso, e ad un circuito aperto (R_{on} infinita) quando è spento.

In questo corso considereremo solo un tipo di elemento attivo, il MOSFET = Metal Oxide Semiconductor Field Effect Transistor, ovvero il transistor a effetto di campo Metallo Ossido Semiconduttore. Non si tratta del primo dispositivo attivo a semiconduttore apparso sulla scena: la microelettronica nasce infatti con l'invenzione di un altro dispositivo, il transistor «bipolare» o BJT, avvenuta nel 1948.

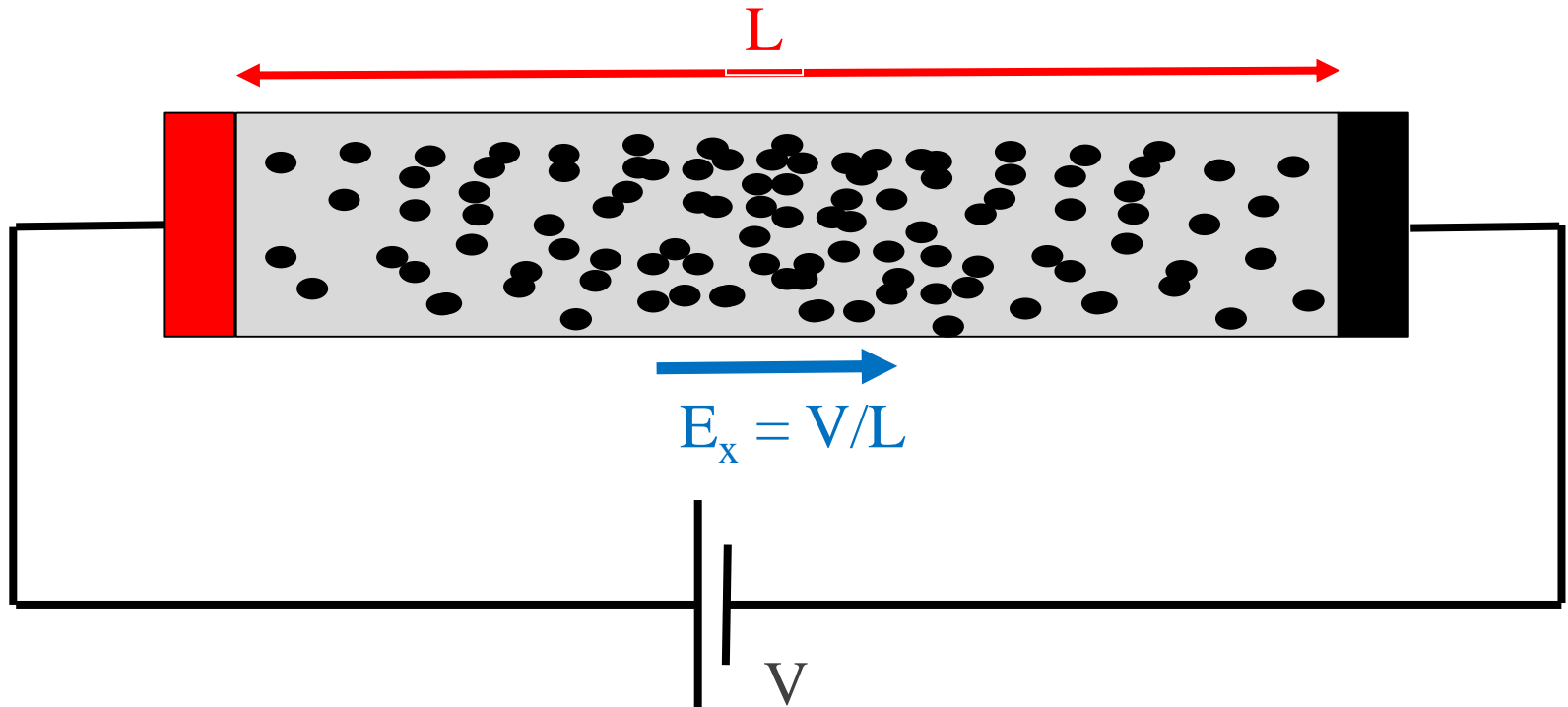
Tuttavia, la rivoluzione microelettronica è avvenuta grazie all'invenzione e alla realizzazione tecnologica del MOSFET, senza il quale l'attuale information technology semplicemente non sarebbe possibile.

Il concetto di transistor a effetto di campo è stato sviluppato teoricamente in diverse versioni da Lilienfeld nel 1928, da Heil nel 1935 e da Shockley nel 1952.

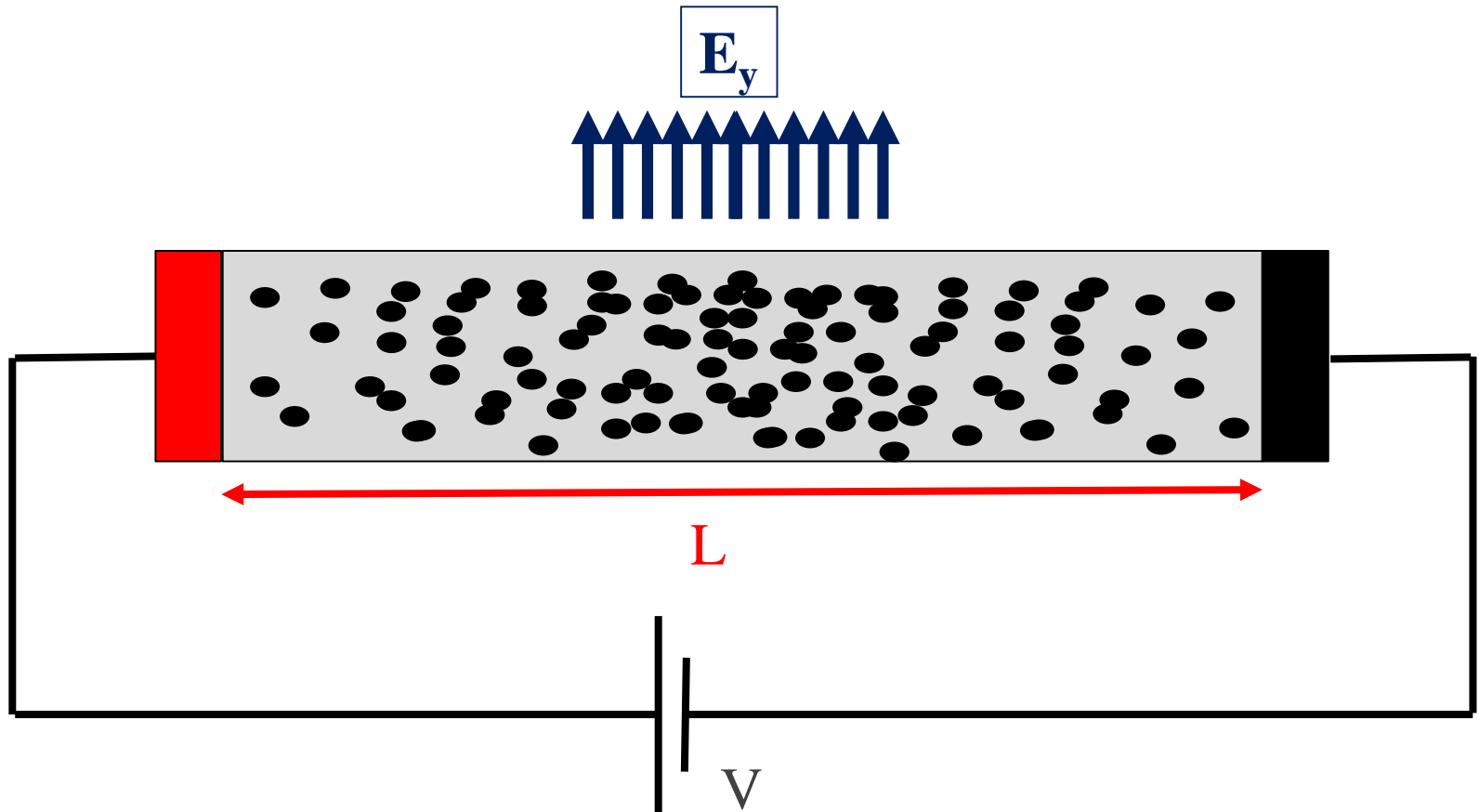
Il primo MOSFET è stato realizzato da Khang e Atalla ai laboratori Bell nel 1960. Lo sviluppo di un processo di fabbricazione industriale affidabile ha richiesto decenni, in uno sforzo collettivo che ha coinvolto migliaia di tecnici e ricercatori.

L'idea è relativamente semplice: modulare la corrente che passa in un semiconduttore attraverso l'applicazione di un campo elettrico *esterno* trasversale.

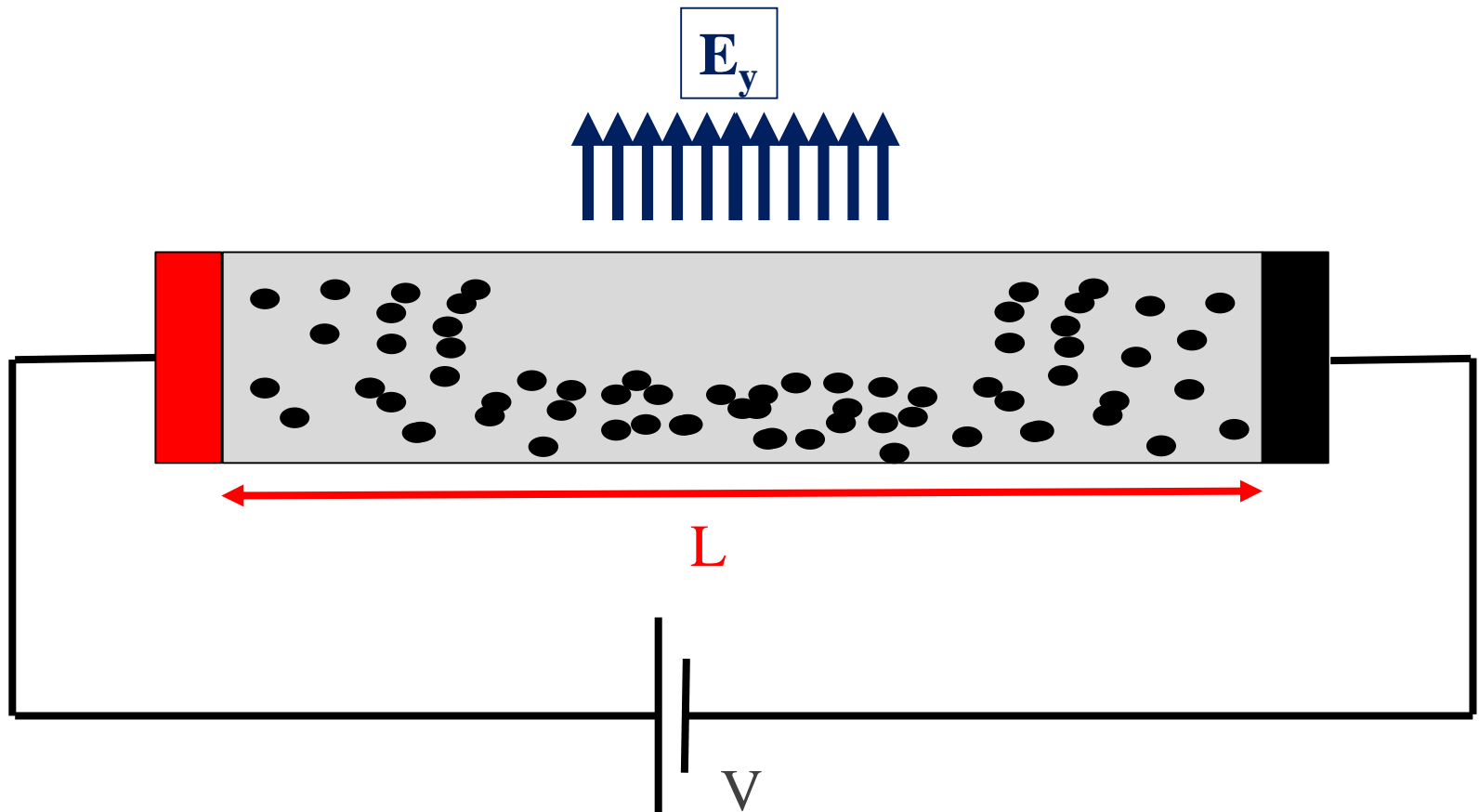
1. Ad un semiconduttore viene applicata una differenza di potenziale; i portatori (supponiamo elettroni) si muovono per *deriva* : $v_d = -\mu E$; la densità di corrente è data da $J = qn\mu E = qn\mu(V/L)$, dove n è la concentrazione di elettroni



2. Se ora applico un campo elettrico esterno, perpendicolare al flusso di corrente

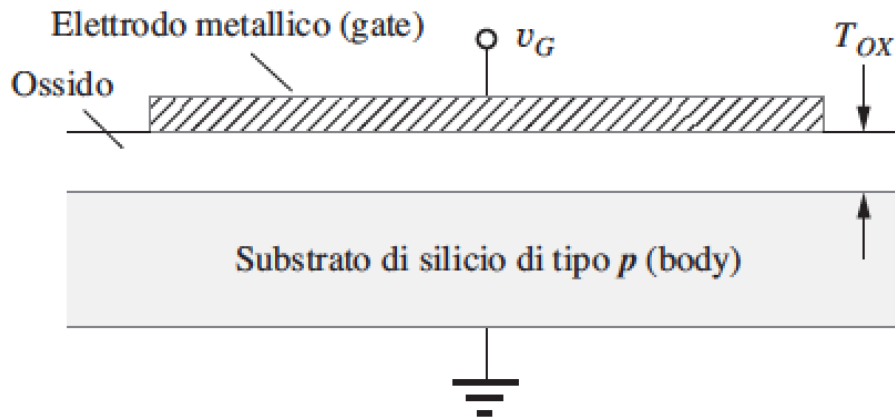


2. Se ora applico un campo elettrico esterno, perpendicolare al flusso di corrente, posso modulare la densità di carica n disponibile per il trasporto di carica, attraendola verso la superficie o respingendola (nell'immagine il campo elettrico respinge gli elettroni). Di conseguenza modulo la corrente $J = qn\mu E$



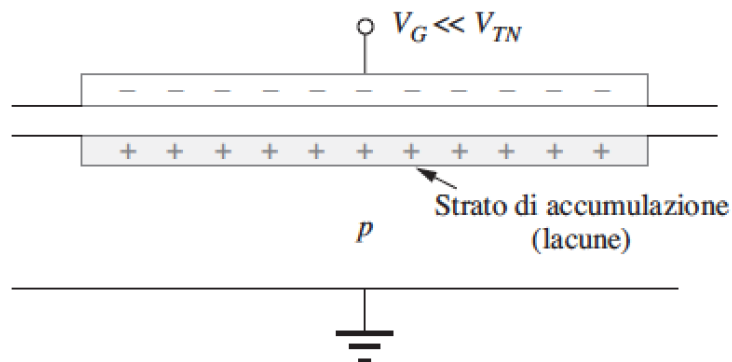
Nel transistor MOSFET, utilizzo un condensatore a facce piane e parallele per applicare il campo elettrico esterno.

Struttura del condensatore MOS

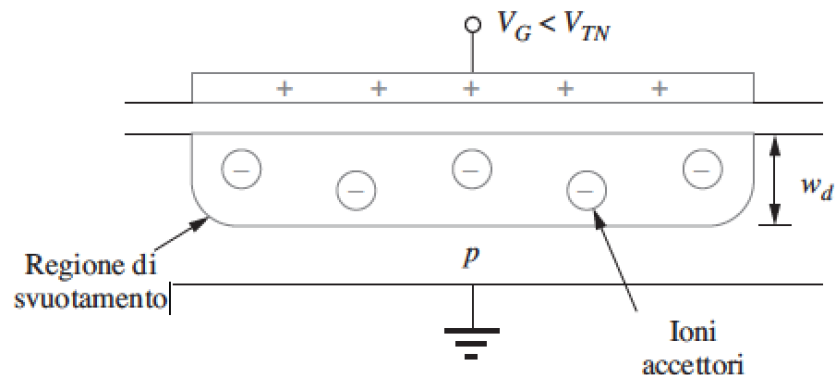


- Primo elettrodo - Gate: realizzato con materiali a bassa resistività come metallo o silicio policristallino
- Secondo elettrodo - Substrato o Body: semiconduttore di tipo n o p
- Dielettrico – es. biossido di silicio: isolante di buona qualità tra gate e substrato.

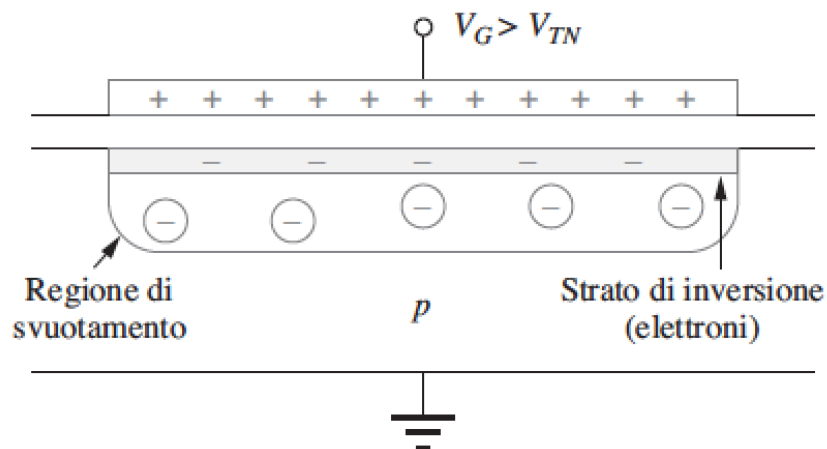
Condizioni del substrato per differenti polarizzazioni



Accumulazione



Svuotamento

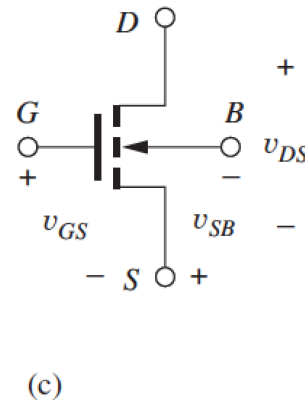
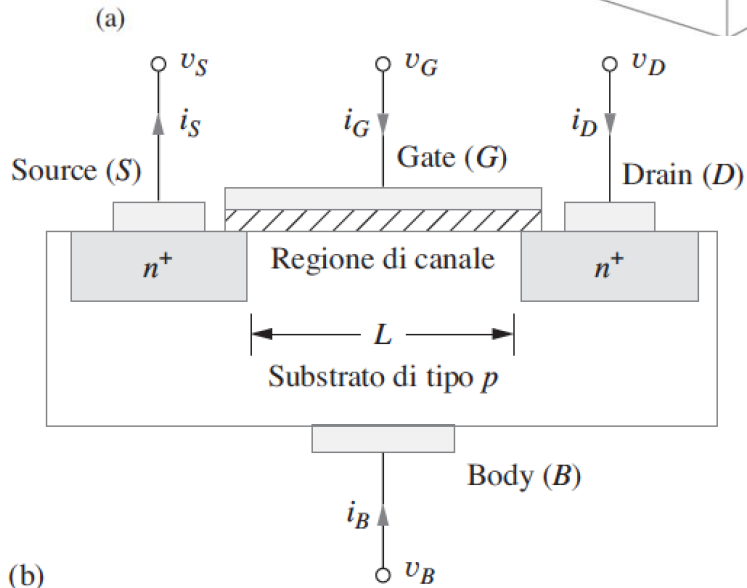
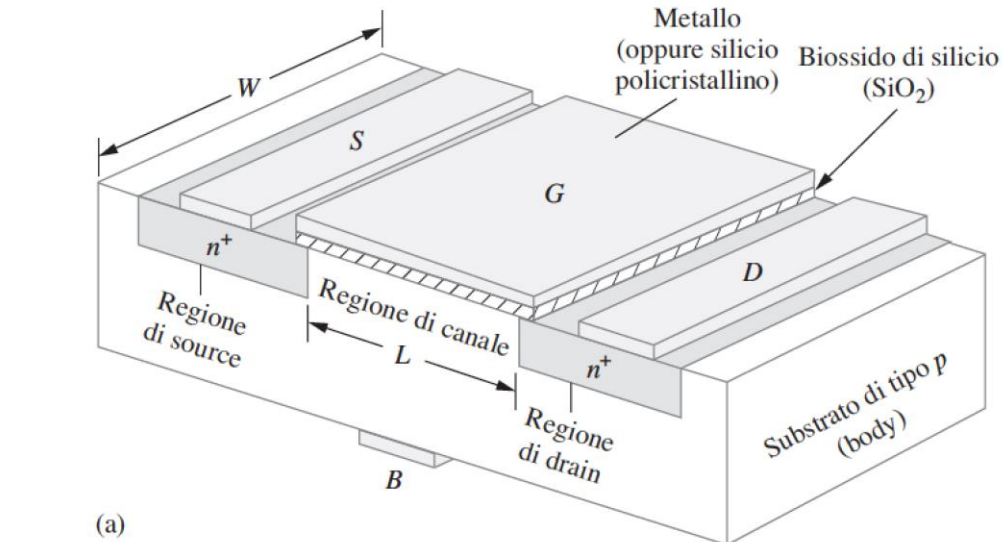


Inversione

- **Accumulazione**
 - $V_G \ll V_{TN}$
- **Svuotamento**
 - $V_G < V_{TN}$
- **Inversione**
 - $V_G > V_{TN}$

V_{TN} = tensione di soglia

Transistore NMOS: Struttura

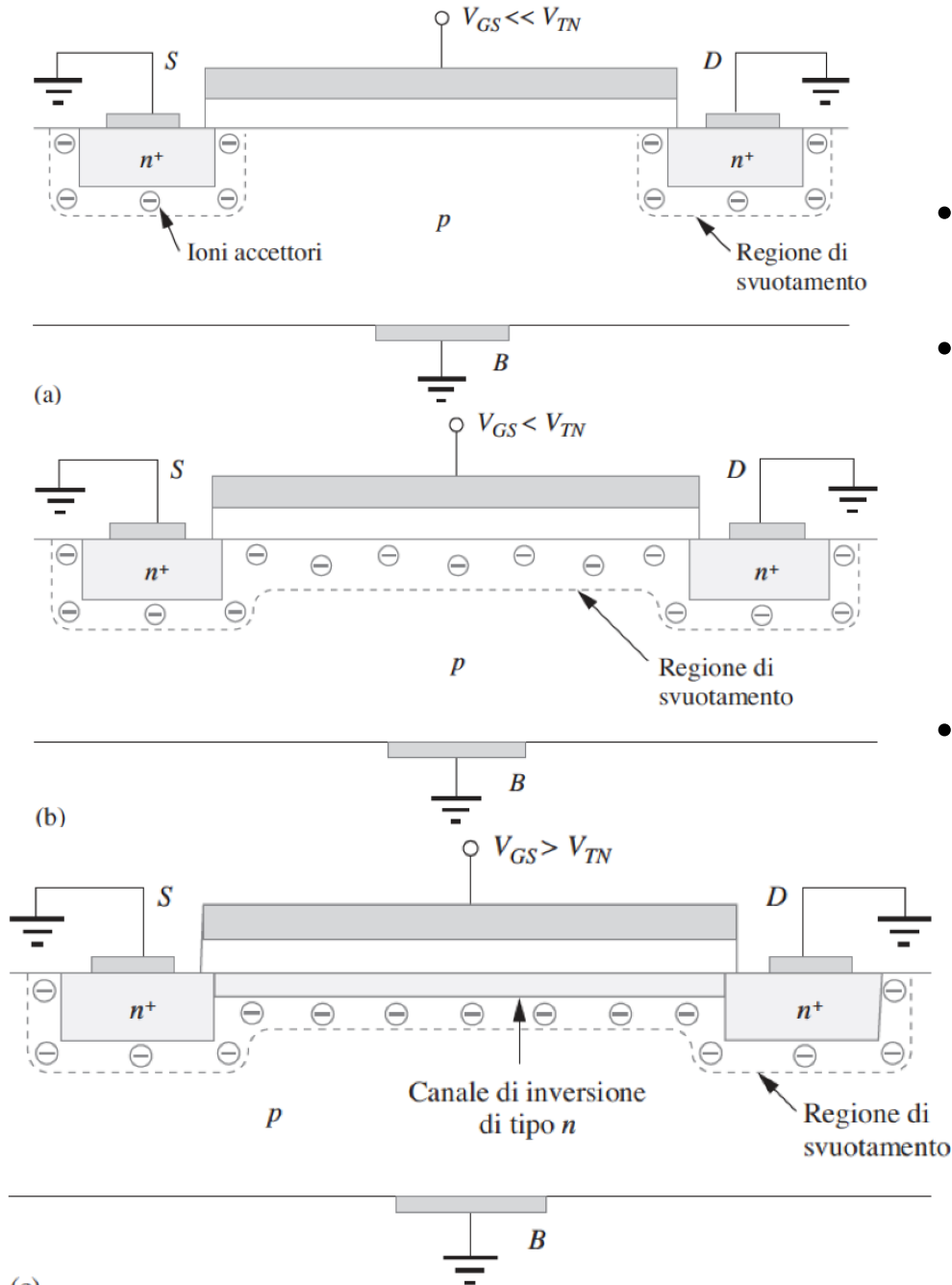


- Dispositivo a 4 terminali: Gate(G), Drain(D), Source(S) e Body(B).
- Le regioni di source e drain formano giunzioni *pn* con il substrato.

v_{SB} , v_{DS} e v_{GS} sono sempre positive nelle normali condizioni di funzionamento

v_{SB} sempre $< v_{DS}$ e v_{GS} per polarizzare inversamente le giunzioni *pn*

Transistore NMOS: Analisi qualitativa del comportamento I-V



- $V_{GS} \ll V_{TN}$: Passa solo una debole corrente di saturazione inversa.
- $V_{GS} < V_{TN}$: Si forma una regione di svuotamento sotto il gate che si unisce alle regioni di svuotamento di source e drain. Non c'è passaggio di corrente tra source e drain.
- $V_{GS} > V_{TN}$: Si forma un canale tra source e drain. Se $v_{DS} > 0$, una corrente i_D fluisce tra drain e source
 $i_B = 0$ e $i_G = 0$.

$$i_S = i_D \quad (4.1)$$

The electron charge per unit length (a line charge — C/cm) at any point in the channel is given by

$$Q' = -WC''_{ox}(v_{ox} - V_{TN}) \quad C/cm \text{ for } v_{ox} \geq V_{TN} \quad (4.2)$$

where $C''_{ox} = \epsilon_{ox}/T_{ox}$, the oxide capacitance per unit area (F/cm^2)

ϵ_{ox} = oxide permittivity (F/cm) T_{ox} = oxide thickness (cm)

For silicon dioxide, $\epsilon_{ox} = 3.9\epsilon_o$, where $\epsilon_o = 8.854 \times 10^{-14} F/cm$.

The voltage v_{ox} represents the voltage across the oxide and will be a function of position in the channel:

$$v_{ox} = v_{GS} - v(x) \quad (4.3)$$

where $v(x)$ is the voltage at any point x in the channel referred to the source. Note that v_{ox} must exceed V_{TN} for an inversion layer to exist, so Q' will be zero until $v_{ox} > V_{TN}$. At the source end of the channel, $v_{ox} = v_{GS}$, and it decreases to $v_{ox} = v_{GS} - v_{DS}$ at the drain end of the channel.

The electron drift current at any point in the channel is given by the product of the charge per unit length times the velocity v_x :

$$i(x) = Q'(x)v_x(x) \quad (4.4)$$

$$i(x) = Q'(x)v_x(x) \quad (4.4)$$

The charge Q' is represented by Eq. (4.2), and the velocity v_x of electrons in the channel is determined by the electron mobility and the transverse electric field in the channel:

$$i(x) = Q'v_x = [-WC''_{\text{ox}}(v_{\text{ox}} - V_{TN})](-\mu_n E_x) \quad (4.5)$$

The transverse field is equal to the negative of the spatial derivative of the voltage in the channel

$$E_x = -\frac{dv(x)}{dx} \quad (4.6)$$

Combining Eqs. (4.3) to (4.6) yields an expression for the current at any point in the channel:

$$i(x) = -\mu_n C''_{\text{ox}} W[v_{GS} - v(x) - V_{TN}]\frac{dv(x)}{dx} \quad (4.7)$$

We know the voltages applied to the device terminals are $v(0) = 0$ and $v(L) = v_{DS}$, and we can integrate Eq. (4.7) between 0 and L :

$$\int_0^L i(x) dx = - \int_0^{v_{DS}} \mu_n C''_{ox} W [v_{GS} - v(x) - V_{TN}] dv(x) \quad (4.8)$$

Because there is no mechanism to lose current as it goes down the channel, the current must be equal to the same value i_D at every point x in the channel, $i(x) = i_D$, and Eq. (4.8) finally yields

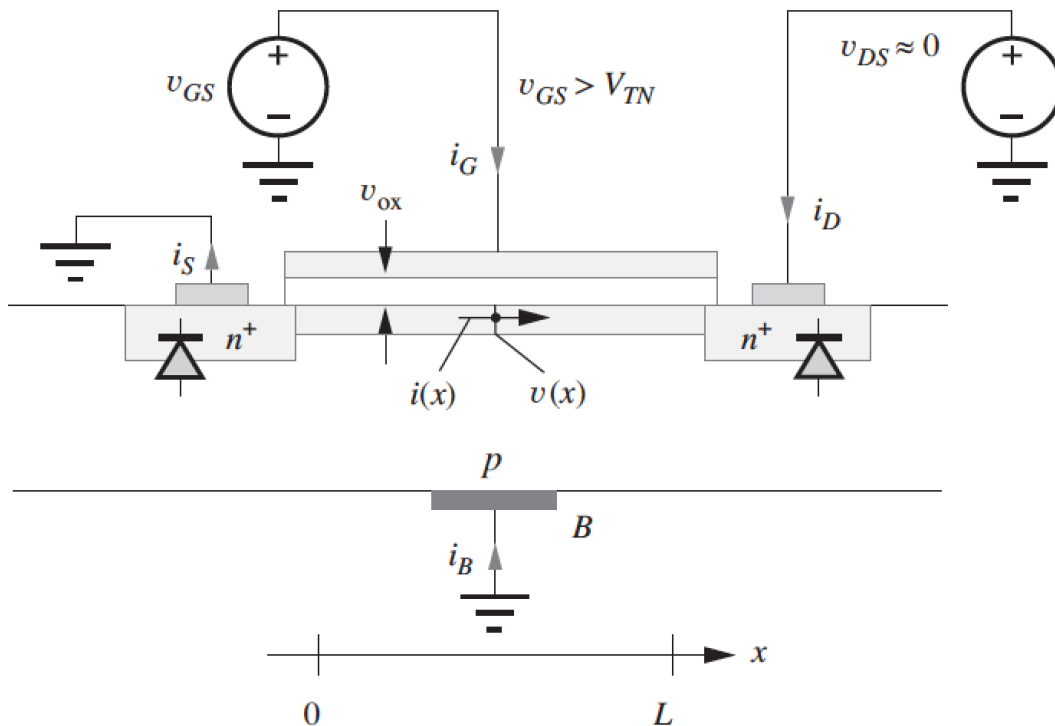
$$i_D = \mu_n C''_{ox} \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad (4.9)$$

The value of $\mu_n C''_{ox}$ is fixed for a given technology and cannot be changed by the circuit designer. For circuit analysis and design purposes, Eq. (4.9) is therefore most often written as

$$i_D = K'_n \frac{W}{L} \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{or just} \quad i_D = K_n \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS} \quad (4.10)$$

where $K_n = K'_n W/L$ and $K'_n = \mu_n C''_{ox}$. Parameters K_n and K'_n are called **transconductance parameters** and both have units of A/V².

Transistore NMOS: Caratteristiche della regione di triodo



per $v_{GS} - V_{TN} \geq v_{DS} \geq 0$

dove, $K_n = K_n' W/L$

$K_n' = \mu_n C_{ox}'' \text{ (A/V}^2\text{)}$

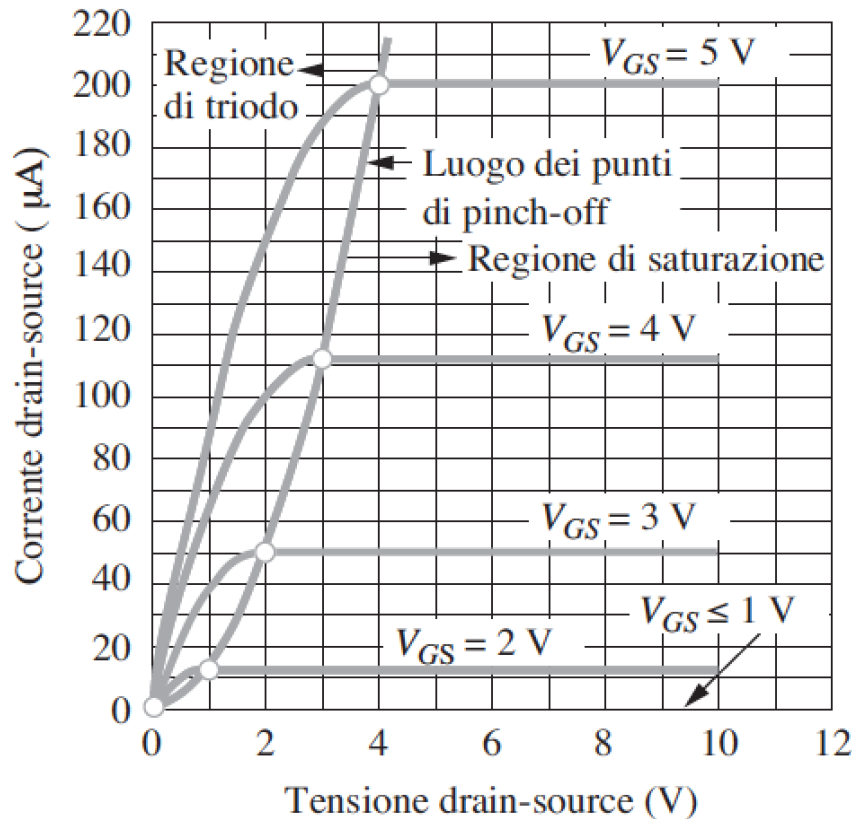
$C_{ox}'' = \epsilon_{ox} / T_{ox}$

ϵ_{ox} = permittività
dell'ossido (F/cm)

T_{ox} = spessore dell'ossido
(cm)

$$i_D = K_n \left(v_{GS} - V_{TN} - \frac{v_{DS}}{2} \right) v_{DS}$$

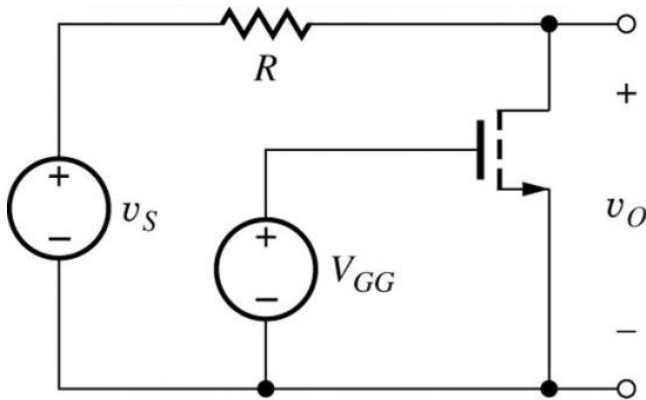
Transistore NMOS: Caratteristiche della regione di triodo (cont.)



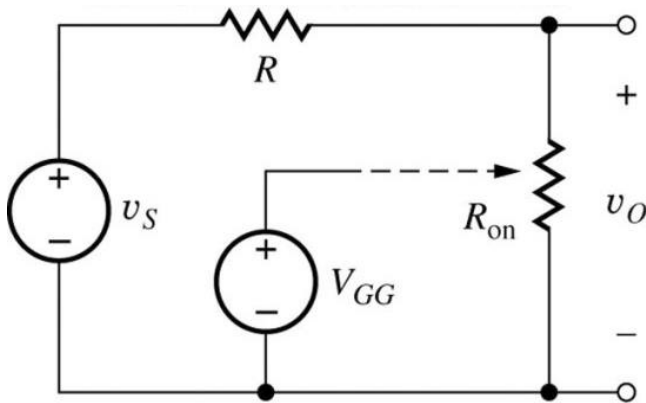
- Le caratteristiche di uscita sembrano essere lineari.
- Il FET si comporta come un resistore connesso tra source e drain controllato dalla tensione gate-source

$$R_{on} = \left[\frac{\partial I_D}{\partial V_{DS}} \right]_{V_{DS} \rightarrow 0} \Big|_{Q-pt} = \frac{1}{K_n' \frac{W}{L} (V_{GS} - V_{TN} - V_{DS})} \Big|_{V_{DS} \rightarrow 0} = \frac{1}{K_n' \frac{W}{L} (V_{GS} - V_{TN})}$$

MOSFET come resistore controllato in tensione



(a)



(b)

Esempio 1: Attenuatore controllato in tensione

$$\frac{v_O}{v_S} = \frac{R_{on}}{R_{on} + R} = \frac{1}{1 + K_n R (V_{GG} - V_{TN})}$$

Se $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = 1\text{V}$, $R = 2\text{k}\Omega$ e $V_{GG} = 1.5\text{V}$, quindi,

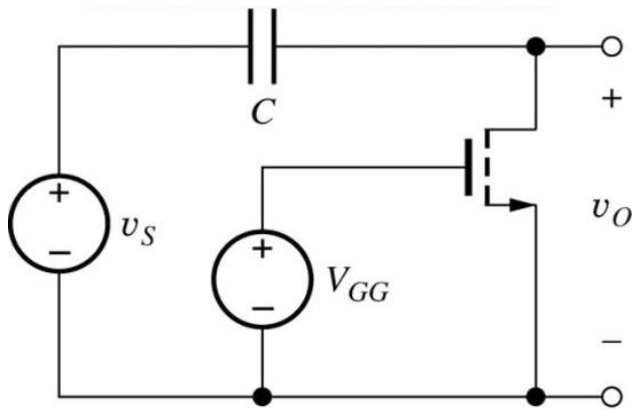
$$\frac{v_O}{v_S} = \frac{1}{1 + 500 \frac{\mu\text{A}}{\text{V}^2} (2000\Omega)(1.5 - 1)\text{V}} = 0.667$$

Per rimanere nella regione di triodo,

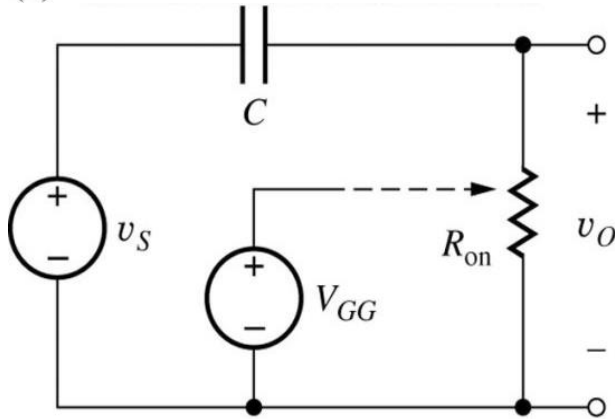
$$v_{DS} \leq v_{GS} - V_{TN} \quad \text{or} \quad v_O \leq V_{GG} - V_{TN}$$

$$0.667 v_S \leq (1.5 - 1)\text{V} \quad \text{or} \quad v_S \leq 0.750\text{V}$$

MOSFET come resistore controllato in tensione (cont.)



(c)



(d)

Esempio 2: Filtro passa-alto controllato in tensione

Funzione di trasferimento, $T(s) = \frac{V_O(s)}{V_S(s)} = \frac{s}{s + \omega_O}$

dove, la frequenza di taglio

$$\omega_O = \frac{1}{R_{on} C} = \frac{K_n (V_{GS} - V_{TN})}{C}$$

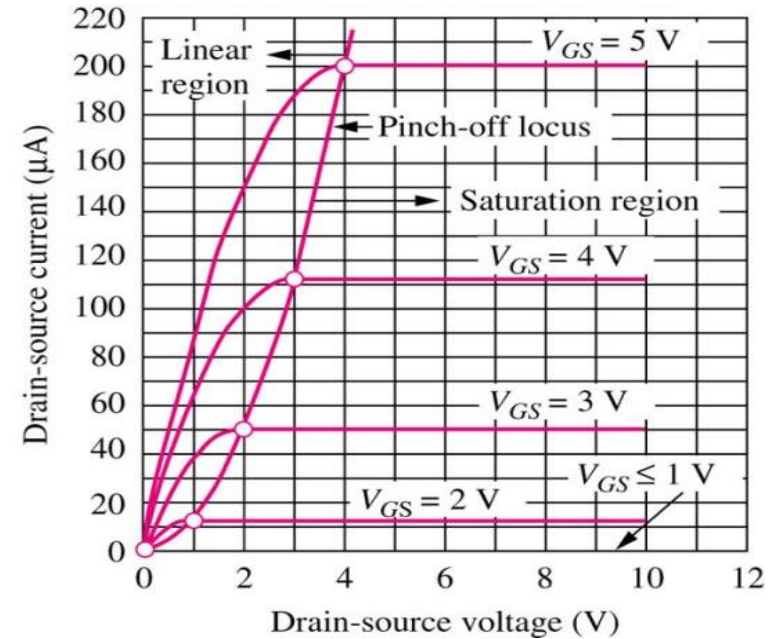
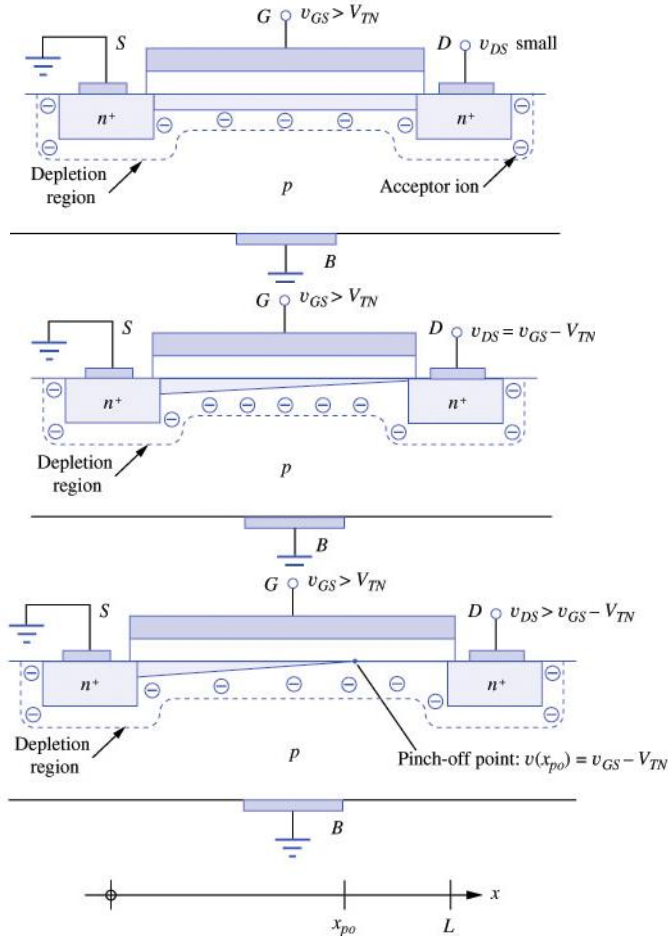
Se $K_n = 500 \mu\text{A}/\text{V}^2$, $V_{TN} = 1\text{V}$, $C = 0.02 \mu\text{F}$ e $V_{GG} = 1.5\text{V}$, quindi,

$$f_O = \frac{500 \frac{\mu\text{A}}{\text{V}^2} (1.5 - 1) \text{V}}{2\pi (0.02 \mu\text{F})} = 1.99 \text{kHz}$$

Per rimanere nella regione di triodo,

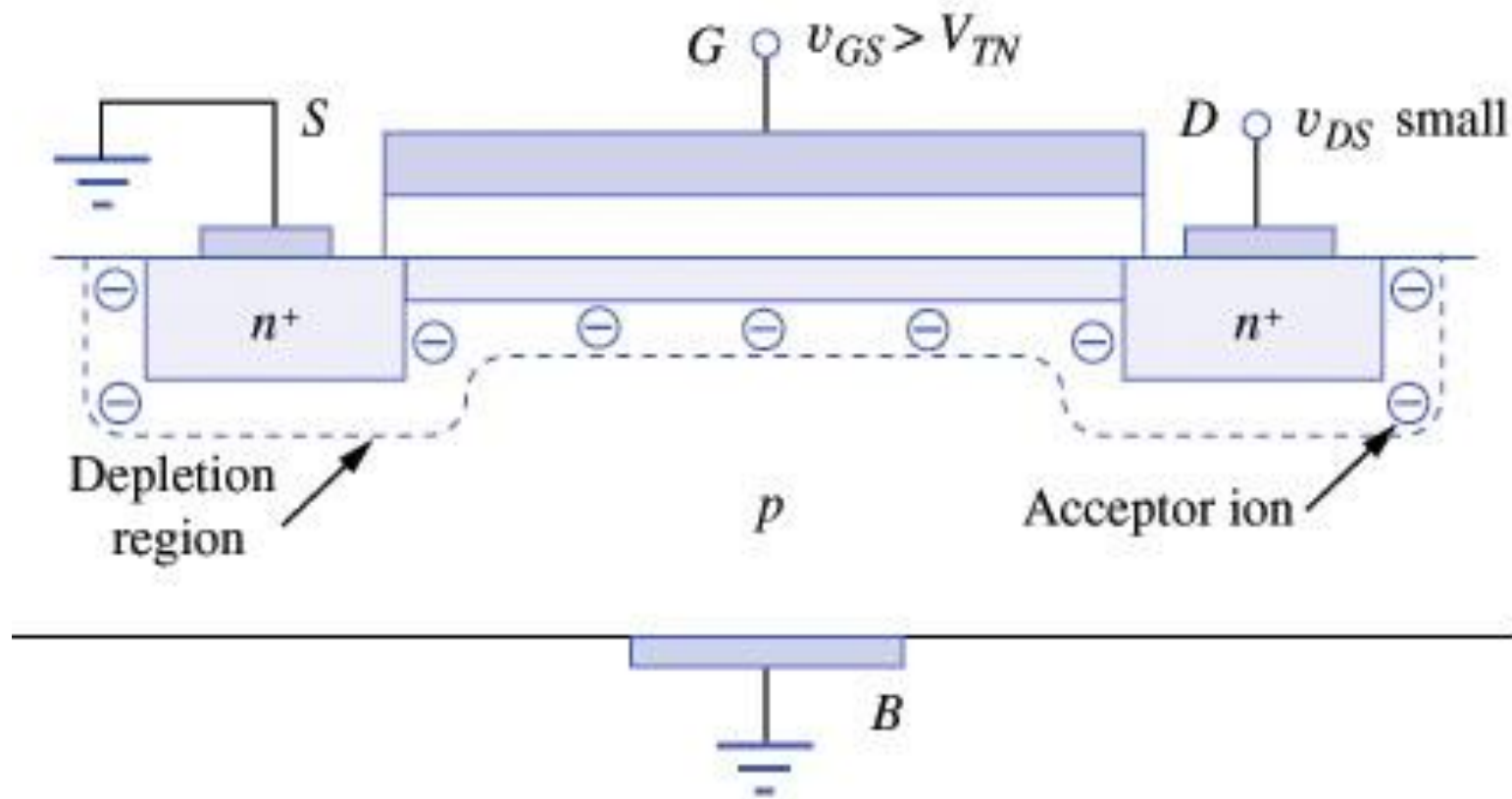
$$v_S \leq V_{GG} - V_{TN} = 0.5\text{V}$$

Transistore NMOS: Regione di saturazione

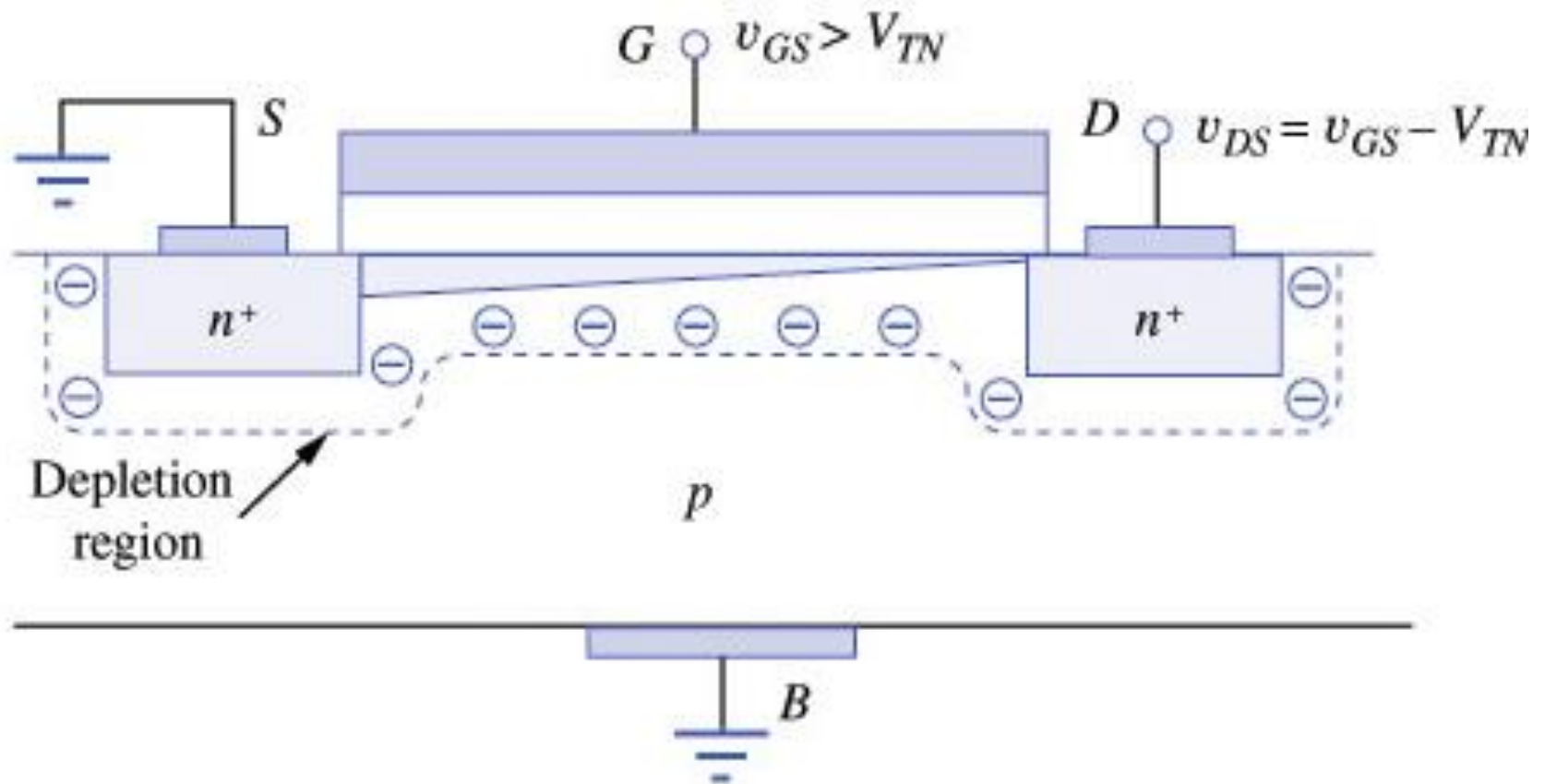


- Se v_{DS} cresce oltre il limite della regione di triodo, scompare lo strato di inversione, condizione anche detta strozzamento del canale (pinch-off).
- La corrente satura ad un valore costante, indipendente da v_{DS} .
- Il funzionamento in regione di saturazione è utilizzato principalmente per l'amplificazione analogica.

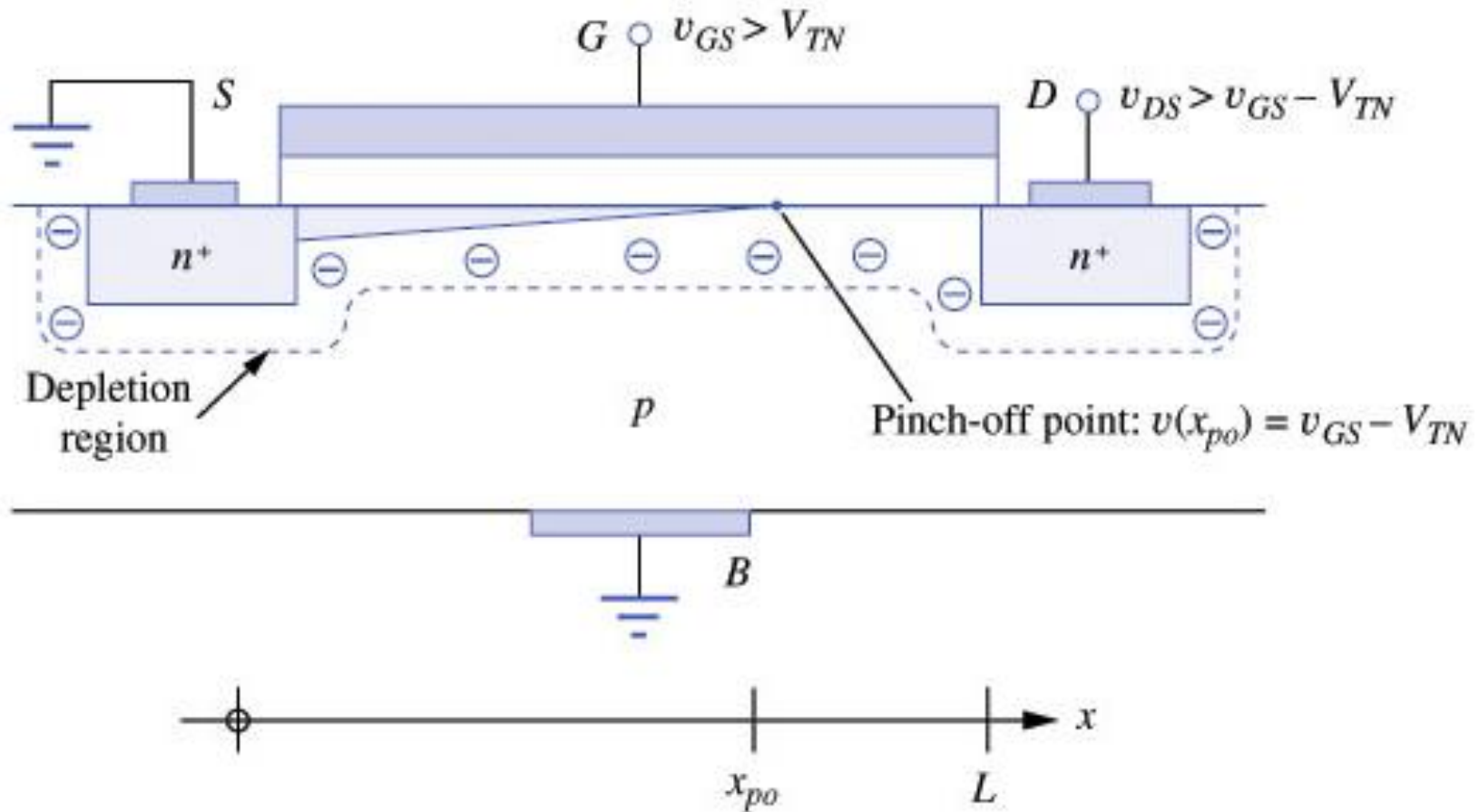
Transistore NMOS: Regione lineare $V_{DS} < V_{GS} - V_{TN}$



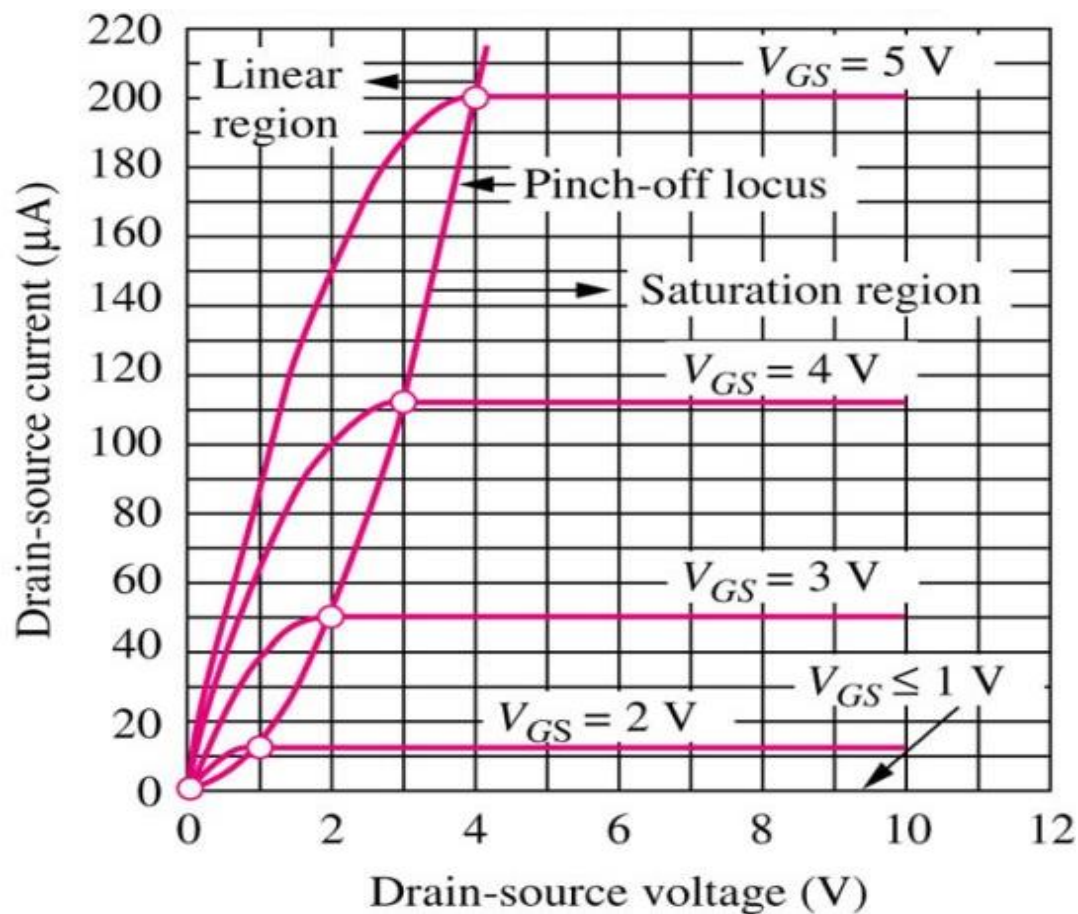
Transistore NMOS al limite della saturazione



Transistore NMOS: Regione di saturazione $V_{DS} > V_{GS} - V_{TN}$

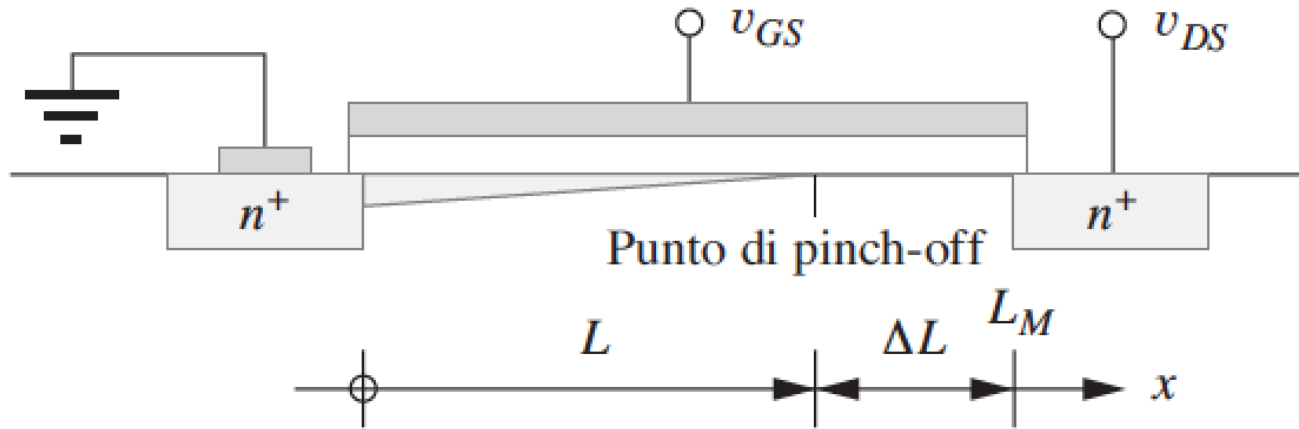


Al crescere della tensione V_{DS} oltre $V_{GS} - V_{TN}$, il punto di chiusura si sposta verso il source, ma la differenza di tensione tra il gate e il punto di chiusura rimane costante e pari a V_{TN}



- Se v_{DS} cresce oltre il limite della regione di triodo, scompare lo strato di inversione, condizione anche detta strozzamento del canale (pinch-off).
- La corrente satura ad un valore costante, indipendente da v_{DS} .
- Il funzionamento in regione di saturazione è utilizzato principalmente per l'amplificazione analogica.

Transistore NMOS: Regione di saturazione (cont.)



$$i_D = \frac{K_n}{2} \frac{W}{L} (v_{GS} - V_{TN})^2 \quad \text{per} \quad v_{DS} \geq v_{GS} - V_{TN}$$

$v_{DSAT} = v_{GS} - V_{TN}$ È anche chiamata tensione di saturazione o di pinch-off

Transconduttanza di un dispositivo MOS

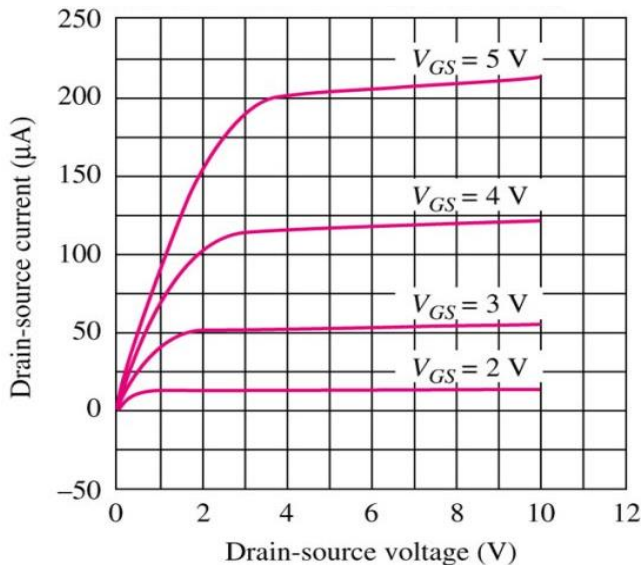
- La transconduttanza lega i cambiamenti nella corrente di drain a variazioni nella tensione gate-source

$$g_m = \left. \frac{di_D}{dv_{GS}} \right|_{Q-pt}$$

- Prendendo la derivata dell'espressione della corrente di drain in regime di saturazione,

$$g_m = K_n' \frac{W}{L} (V_{GS} - V_{TN}) = \frac{2I_D}{V_{GS} - V_{TN}}$$

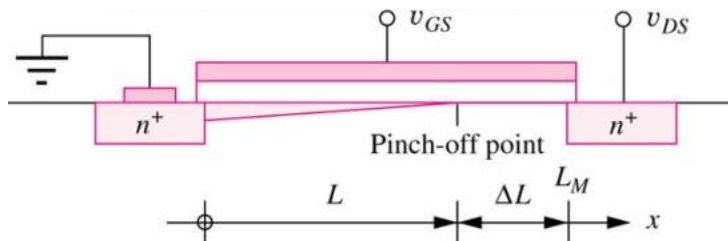
Modulazione della lunghezza di canale



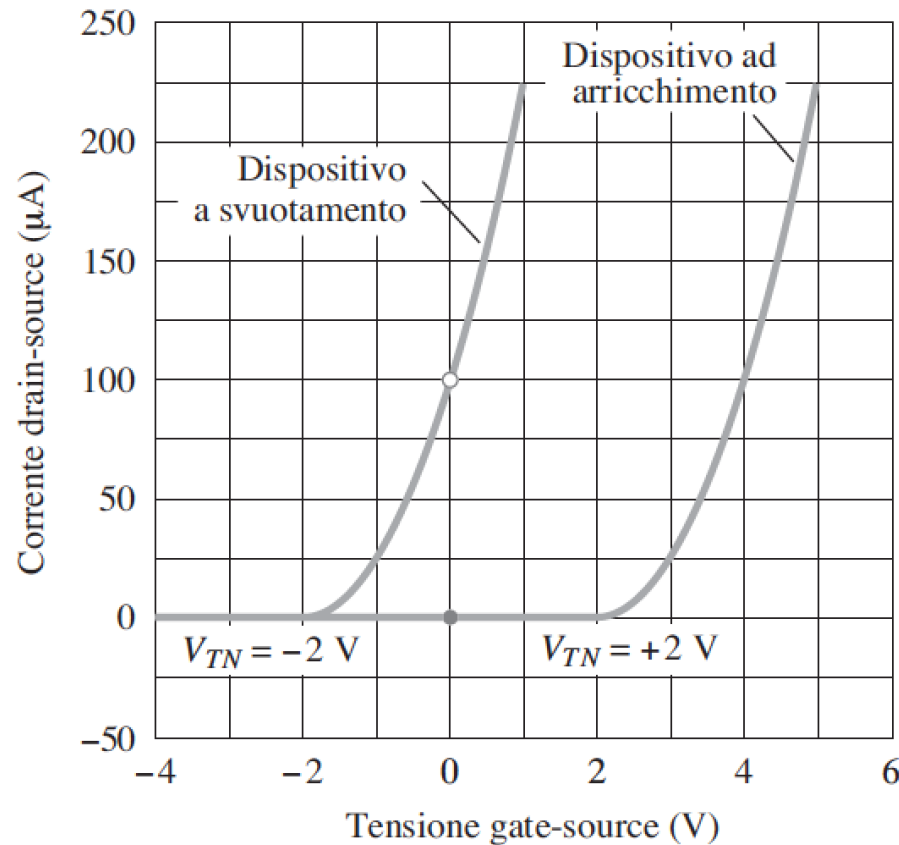
- Quando v_{DS} cresce oltre v_{DSAT} , la lunghezza della regione di svuotamento, ΔL , aumenta determinando una riduzione di L .
- i_D cresce leggermente con v_{DS} invece di rimanere costante.

$$i_D = \frac{K_n'}{2} \frac{W}{L} (v_{GS} - V_{TN})^2 (1 + \lambda v_{DS})$$

λ = parametro di modulazione della lunghezza di canale



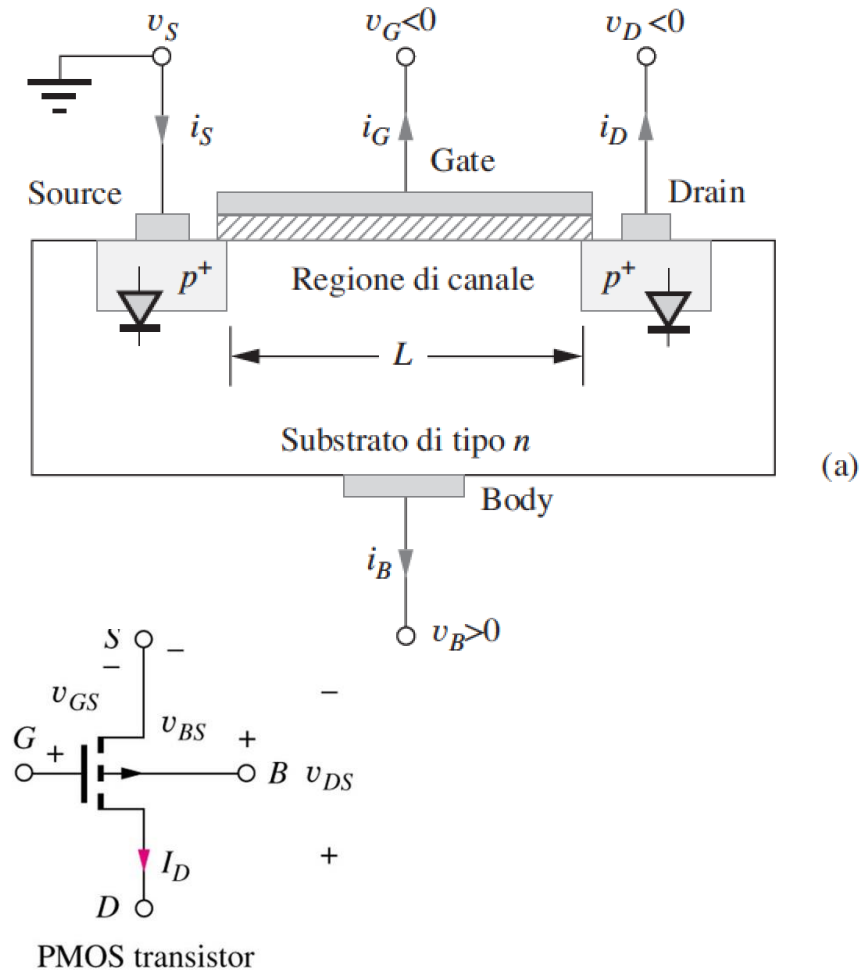
Caratteristiche di trasferimento dei MOSFET



- Grafico della corrente di drain rispetto alla tensione gate-source per una tensione drain-source definita

Transistori PMOS ad arricchimento:

Struttura

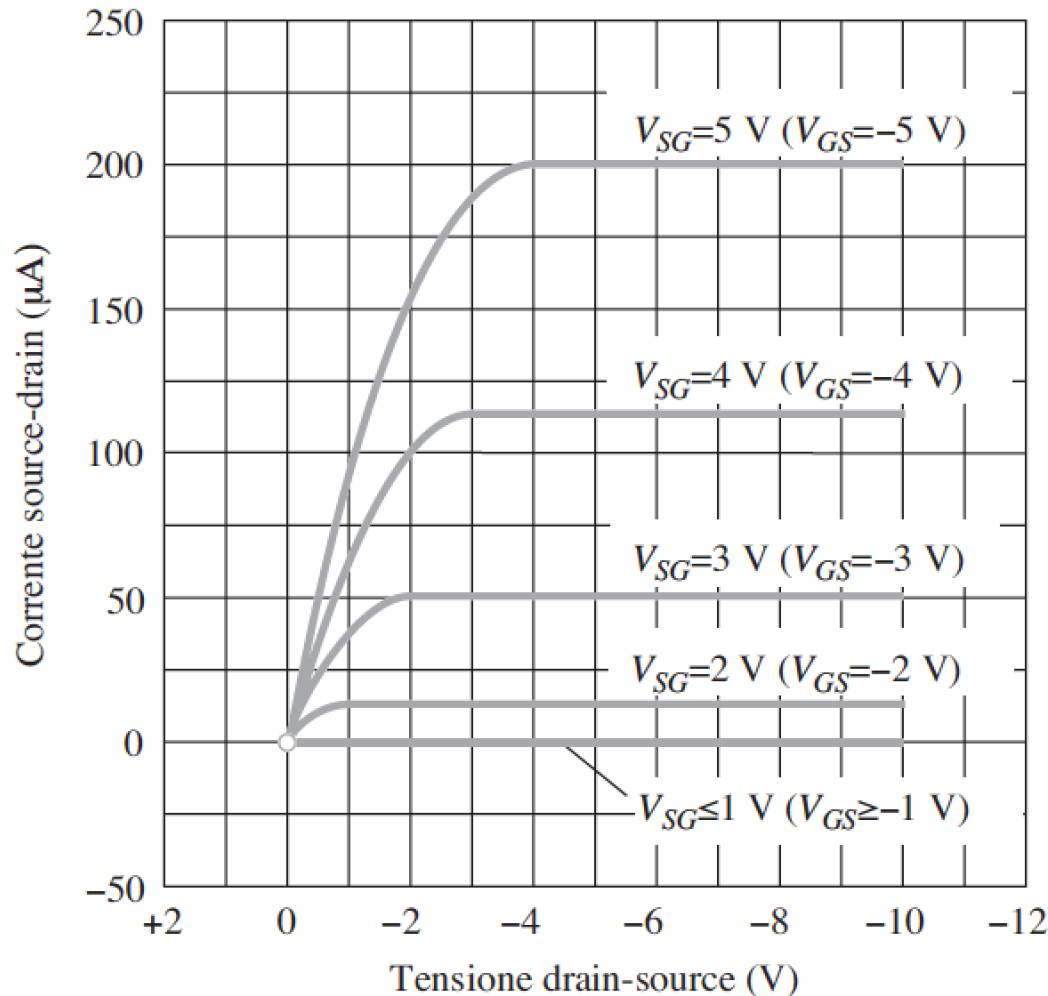


- Regioni di source e drain di tipo p in un substrato di tipo n.
- È necessario che $v_{GS} < 0$ per creare uno strato di inversione di tipo p nella regione di canale
- Per il flusso di corrente, $v_{GS} < v_{TP}$
- Per mantenere una polarizzazione inversa sulle giunzioni di source-substrato e drain-substrato, $v_{SB} < 0$ e $v_{DB} < 0$
- All'aumentare della tensione bulk-source V_{TP} diventa ancora più negativa

Transistori PMOS ad arricchimento:

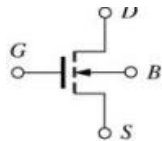
Caratteristiche di uscita

$$V_{GS} \geq V_{TP}$$

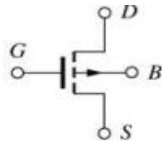


- Per $V_{GS} < V_{TP}$, il transistorore è interdettato
- Per valori ancora più negativi di v_{GS} , la corrente di drain cresce.
- Il PMOS si trova nella regione di triodo per bassi valori di V_{DS} e nella regione di saturazione per valori elevati.

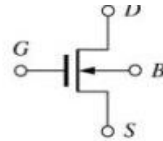
Simboli circuitali del MOSFET



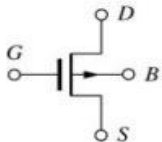
(a) NMOS enhancement-mode device



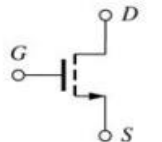
(b) PMOS enhancement-mode device



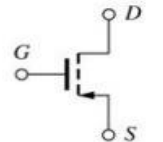
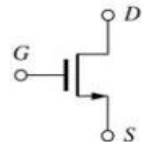
(c) NMOS depletion-mode device



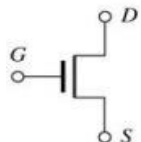
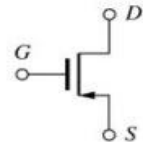
(d) PMOS depletion-mode device



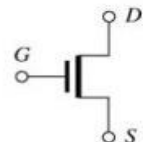
(e) Three-terminal NMOS transistors



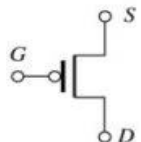
(f) Three-terminal PMOS transistors



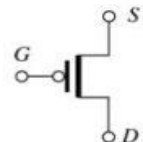
(g) Shorthand notation—NMOS enhancement-mode device



(h) Shorthand notation—NMOS depletion-mode device



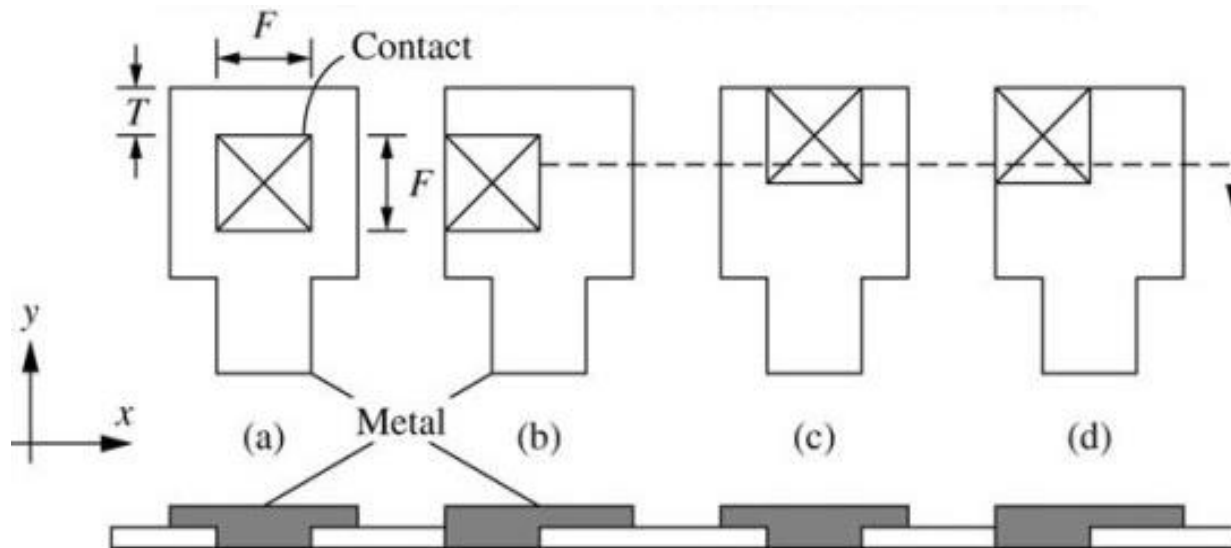
(i) Shorthand notation—PMOS enhancement-mode device



(j) Shorthand notation—PMOS depletion-mode device

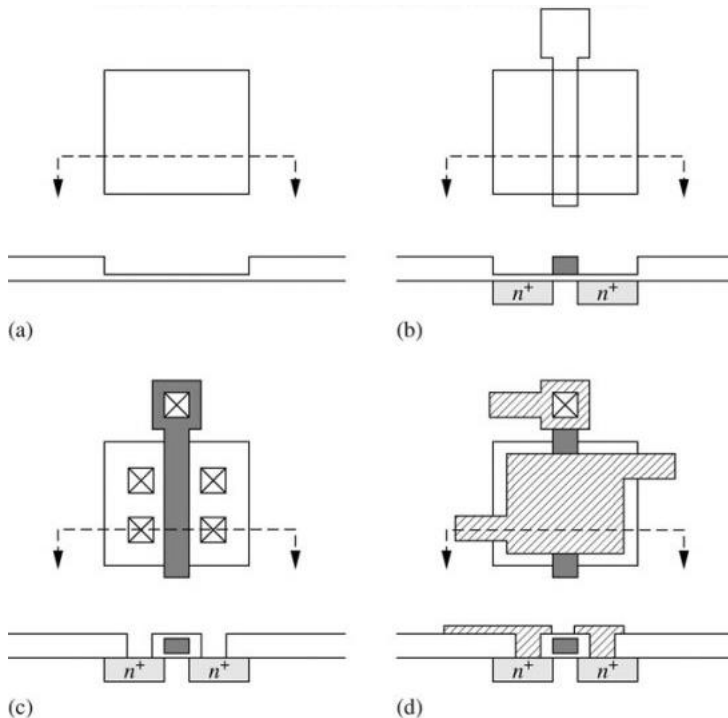
- (g) e (i) sono i simboli maggiormente utilizzati nel progetto VLSI.
- I dispositivi MOS sono simmetrici.
- In un NMOS, il drain corrisponde alla regione n^+ che si trova a potenziale maggiore
- In un PMOS il drain corrisponde alla regione p^+ che si trova a potenziale minore

Regole di progetto



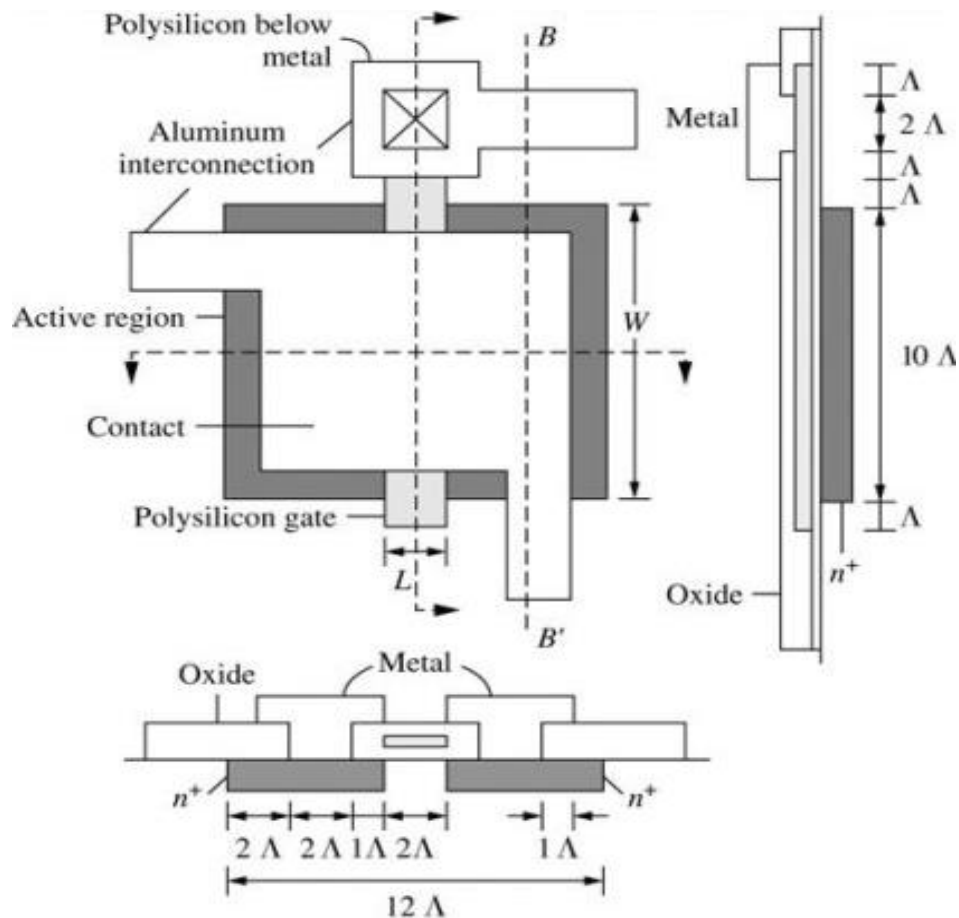
- **Dimensione minima, F** : valore minimo della larghezza di una linea o di uno spazio che può essere realizzato con processo litografico
- **Tolleranza di allineamento, T** : Disallineamento massimo che può avvenire tra due livelli di maschere in un processo

Successione delle maschere per un transistor con gate in polisilicio



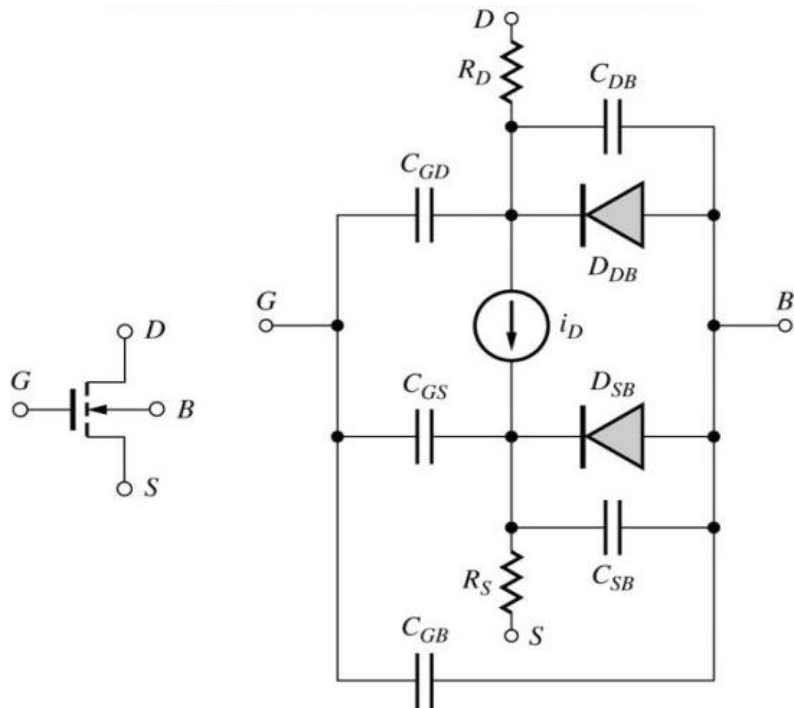
- Maschera 1: Definisce l'area attiva o regione dell'ossido sottile del transistor
- Maschera 2: Definisce il gate del transistor in polisilicio, allineata alla maschera 1
- Maschera 3: Delinea la finestra del contatto, allineata alla maschera 2
- Maschera 4: Maschera della metallizzazione, allineata alla maschera 3
- La regione di canale del transistor viene realizzata come l'intersezione delle prime due maschere. Le regioni di source e drain sono formate dove la maschera 1 non è coperta dalla maschera 2

Regole di progetto



- $F=2\Lambda$
- $T=F/2=\Lambda$, Λ potrebbe essere 1, 0.5, 0.25 μm , etc.

Modello SPICE per il transistor NMOS



Valori tipici utilizzati in SPICE sono:

$$K_n \text{ o } K_p = 20 \mu\text{A}/\text{V}^2$$

$$\gamma = 0$$

$$\lambda = 0$$

$$V_{TO} = 1 \text{ V}$$

$$\mu_n \text{ o } \mu_p = 600 \text{ cm}^2/\text{V.s}$$

$$2\Phi_F = 0.6 \text{ V}$$

$$C_{GDO} = C_{GSO} = C_{GBO} = C_{JSW} = 0$$

$$T_{ox} = 100 \text{ nm}$$

Procedura per l'analisi della polarizzazione

- Si assume una determinata regione di funzionamento (tipicamente la regione di saturazione)
- Si analizza il circuito per determinare V_{GS}
- Si utilizza V_{GS} per calcolare I_D , e I_D per calcolare V_{DS}
- Si verifica l'ipotesi relativa alla regione di funzionamento
- Se necessario si modifica l'ipotesi iniziale e si ripete l'analisi.

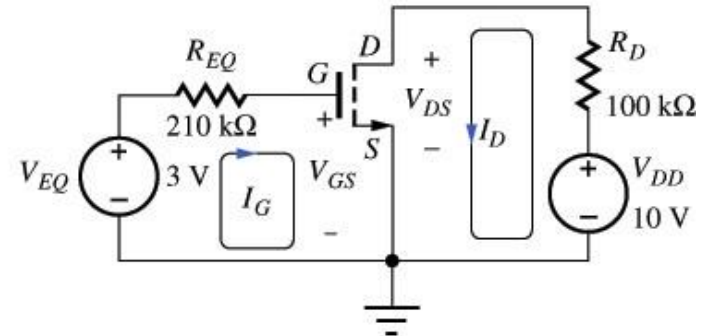
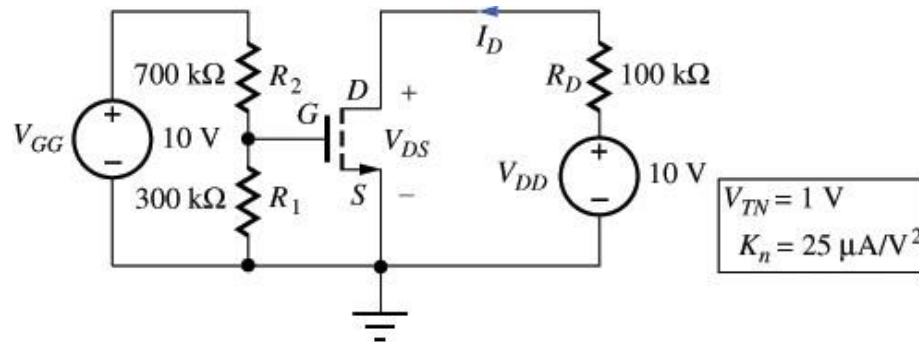
NOTA :Un dispositivo ad arricchimento con $V_{DS} = V_{GS}$ è sempre in saturazione

Polarizzazione a quattro e a due resistori

- Fornisce un' eccellente polarizzazione per i transistori in circuiti discreti.
- Stabilizza il punto di polarizzazione tenendo conto dei parametri del dispositivo e delle variazioni di temperatura utilizzando una retroazione negativa.
- Utilizza un solo generatore di tensione per generare sia la tensione di polarizzazione del gate sia la corrente del drain.
- Generalmente utilizzata per polarizzare transistori nella regione di saturazione.
- La polarizzazione a due resistori utilizza meno componenti rispetto a quella a quattro resistori e inoltre isola i terminali di drain e gate

Analisi della polarizzazione: Esempio 1

(Polarizzazione con tensione gate-source costante)



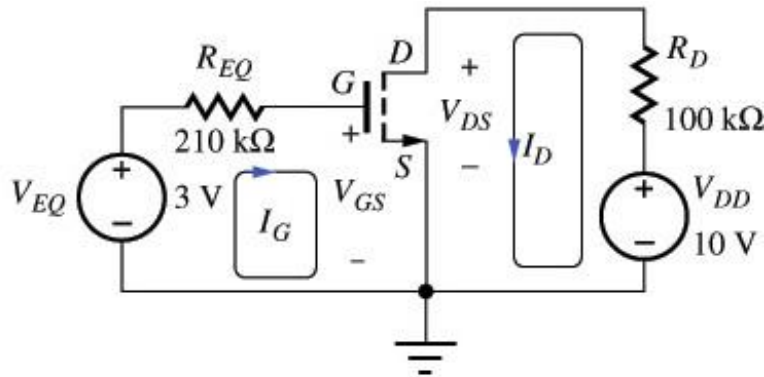
Problema: Determinare il punto Q (I_D , V_{DS} , V_{GS})

Approccio: Ipotizziamo la regione di funzionamento, determiniamo il punto Q, verifichiamo per vedere se il risultato corrisponde alla regione di funzionamento scelta

Ipotesi: Il transistor è in saturazione, $I_G = I_B = 0$

Analisi: Semplifichiamo il circuito con Thevenin per trovare V_{EQ} e R_{EQ} per la rete di polarizzazione di gate. Determiniamo V_{GS} e la utilizziamo per trovare I_D . Con I_D , possiamo calcolare V_{DS} .

Analisi della polarizzazione: Esempio 1 (Polarizzazione con tensione gate-source costante) (cont.)



Since $I_G=0$,

$$V_{EQ} = I_G R_{EQ} + V_{GS} = V_{GS}$$

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2$$

$$= \frac{(25 \times 10^{-6})}{2} \frac{\mu A}{V^2} (3-1)^2 V^2 = 50 \mu A$$

$$V_{DD} = I_D R_D + V_{DS}$$

$$V_{DS} = 10V - (50 \mu A)(100K)$$

$$= 5.00 V$$

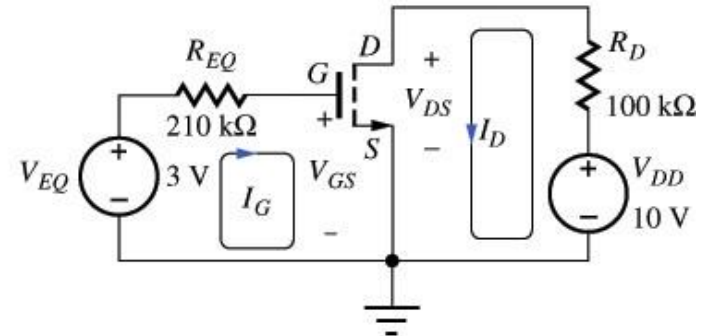
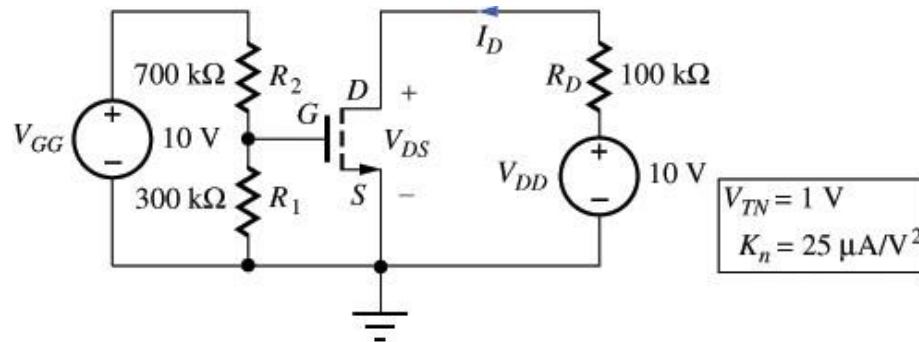
Verifica: $V_{DS} > V_{GS} - V_{TN}$. Quindi l'ipotesi di funzionamento in regione di saturazione è verificata.

Punto Q: (50.0 μA , 5.00 V) con $V_{GS} = 3.00 V$

Discussione: Il punto Q di questo circuito è abbastanza sensibile ai cambiamenti nei parametri del transistor, quindi è poco utilizzato.

Analisi della polarizzazione: Esempio 2

(Analisi con il metodo della retta di carico)



Problema: Determinare il punto Q (I_D , V_{DS} , V_{GS})

Approccio: Occorre stabilire un'espressione per la retta di carico e la si utilizza per trovare il punto Q all'intersezione tra la retta di carico e la caratteristica del dispositivo.

$$V_{DD} = I_D R_D + V_{DS}$$

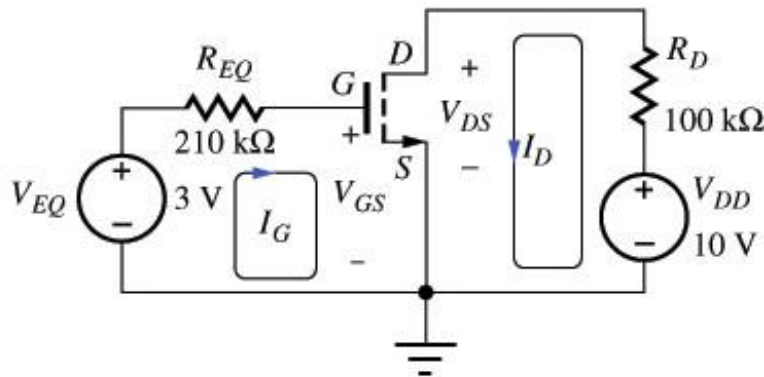
Ipotesi: Il transistor è in saturazione, $I_G = I_B = 0$

Analisi: Con i valori dati la retta di carico risulta:

$$10 = I_D 100K + V_{DS}$$

Che può essere utilizzata per trovare due punti sulla retta di carico.

Analisi della polarizzazione: Esempio 2 (Analisi con il metodo della retta di carico) (cont.)

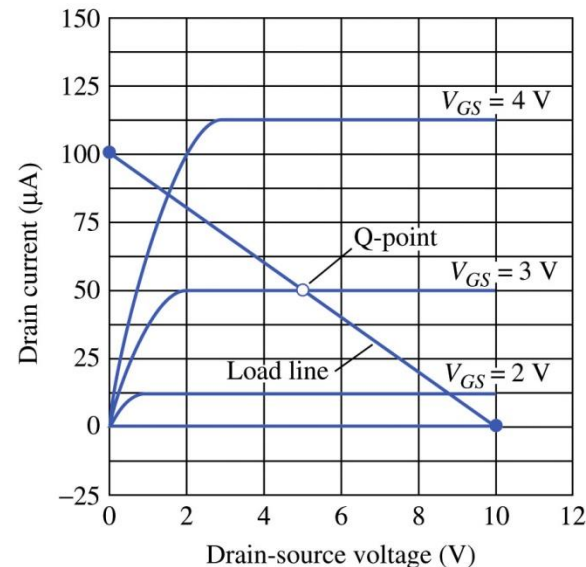


$$10 = I_D 100K + V_{DS}$$

@ $V_{DS}=0$, $I_D=100\mu A$

@ $I_D=0$, $V_{DS}=10V$

Disegnandola sulla caratteristica del dispositivo si ottiene il punto Q all'intersezione con la curva con $V_{GS}=3V$.

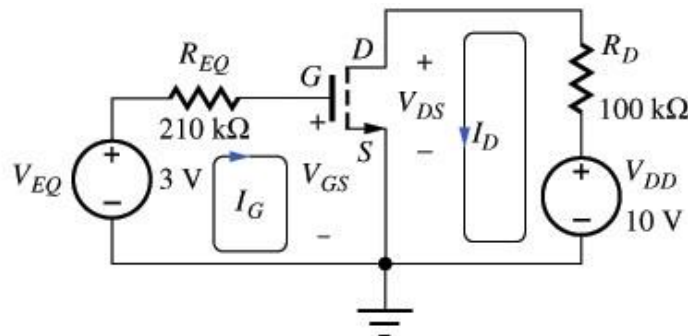
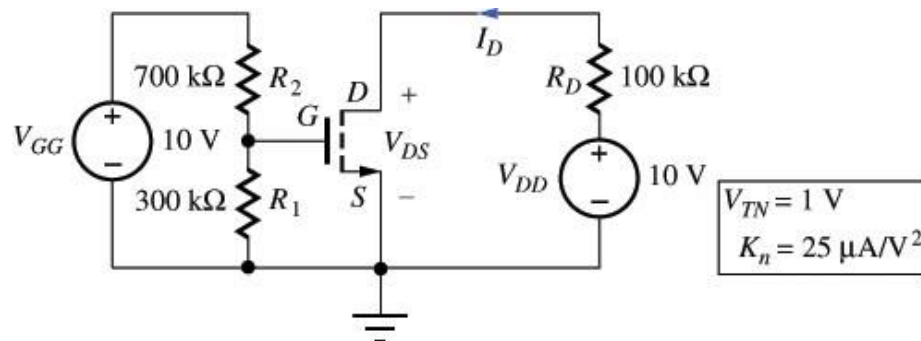


Verifica: L'approccio con la retta di carico è coerente con i calcoli precedenti.

Punto Q: (50.0 μA , 5.00 V) con $V_{GS}=3.00 V$

Discussione: Il punto Q è chiaramente nella regione di saturazione. L'analisi grafica è un ottimo aiuto per identificare la regione di funzionamento del dispositivo

Analisi della polarizzazione: Esempio 3 (Polarizzazione con tensione gate-source costante con effetto di modulazione della lunghezza di canale)



Problema: Determinare il punto Q (I_D , V_{DS} , V_{GS}) dell'esempio precedente, con $\lambda=0.02 \text{ V}^{-1}$.

Approccio: Ipotizziamo la regione di funzionamento, determiniamo il punto Q, verifichiamo per vedere se il risultato è coerente con la regione di funzionamento scelta

Ipotesi: Il transistor è nella regione di saturazione, $I_G=I_B=0$

Analisi: Semplifichiamo il circuito con Thevenin per determinare V_{EQ} e R_{EQ} . Calcoliamo V_{GS} e la utilizziamo per trovare I_D . Con I_D , possiamo calcolare V_{DS} .

Analisi della polarizzazione: Esempio 3 (Polarizzazione con tensione gate-source costante con effetto di modulazione della lunghezza di canale)

$$I_D = \frac{K_n}{2} (V_{GS} - V_{TN})^2 (1 + \lambda V_{DS})$$

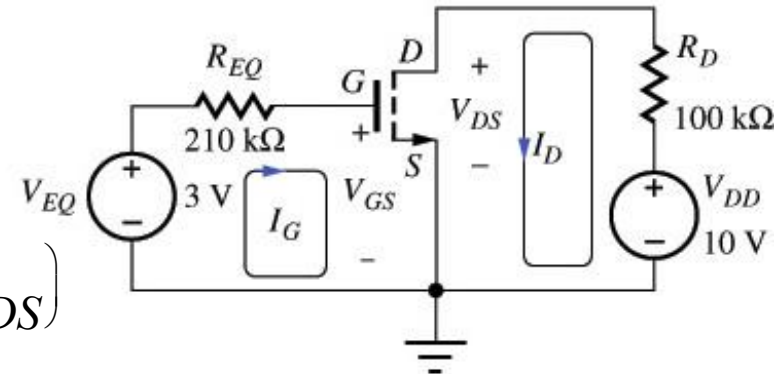
$$V_{DS} = V_{DD} - I_D R_D$$

$$V_{DS} = 10V - (100K) \frac{(25 \times 10^{-6})}{2} (3-1)^2 (1 + 0.02 V_{DS})$$
$$= 4.55 \text{ V}$$

$$I_D = \frac{(25 \times 10^{-6})}{2} (3-1)^2 (1 + 0.02 (4.55)) = 54.5 \text{ } \mu A$$

Verifica: $V_{DS} > V_{GS} - V_{TN}$. Quindi l'ipotesi di funzionamento in regione di saturazione è corretta

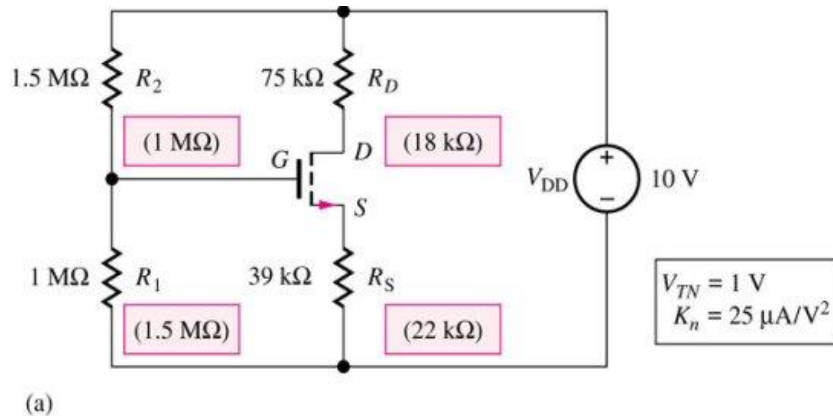
Punto Q: (54.5 μA , 4.55 V) con $V_{GS} = 3.00 \text{ V}$



Discussione: I livelli di polarizzazione sono cambiati circa del 10%. Tipicamente, le variazioni per le tolleranze nei componenti sono maggiori, quindi ci sono pochi vantaggi nell'includere l'effetto λ nell'analisi circuitale.

Analisi della polarizzazione: Esempio 4

(Polarizzazione con rete a 4 resistori)

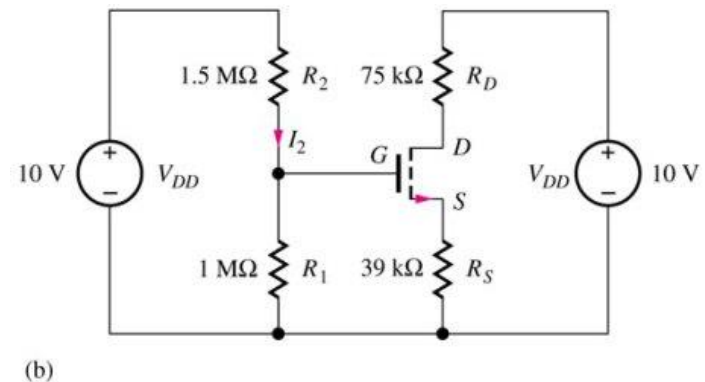


Ipotesi: Il transistor è nella regione di saturazione, $I_G = I_B = 0$

Analisi: Per prima cosa semplifichiamo il circuito dividendo V_{DD} in due generatori di tensione equivalenti e applichiamo Thevenin per trovare V_{EQ} e R_{EQ}

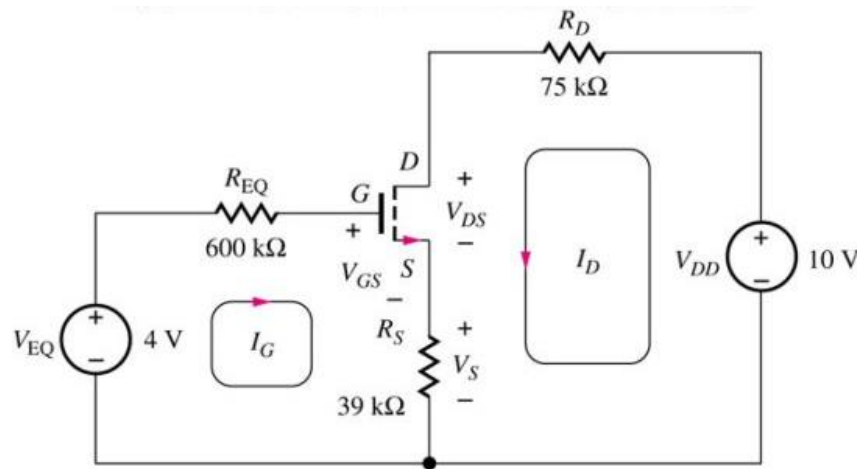
Problema: Determinare il punto Q (I_D , V_{DS})

Approccio: Ipotizziamo la regione di funzionamento, determiniamo il punto Q, verifichiamo per vedere se il risultato è coerente con la regione di funzionamento scelta



Analisi della polarizzazione: Esempio 4

(Polarizzazione con rete a 4 resistori)



Dato che $I_G=0$, $V_{EQ}=V_{GS}+I_D R_S$

$$V_{EQ}=V_{GS}+\frac{K_n R_S}{2}(V_{GS}-V_{TN})^2$$

$$4=V_{GS}+\frac{\left(25 \times 10^{-6}\right)\left(3.9 \times 10^4\right)}{2}\left(V_{GS}-1\right)^2$$

$$V_{GS}^2+0.05 V_{GS}-7.21=0$$

$$\therefore V_{GS}=-2.71 \text{ V}, +2.66 \text{ V}$$

Dato che $V_{GS}<V_{TN}$ per $V_{GS}=-2.71 \text{ V}$ e il MOSFET sarà interdetto,

$$V_{GS}=+2.66 \text{ V e } I_D=34.4 \mu\text{A}$$

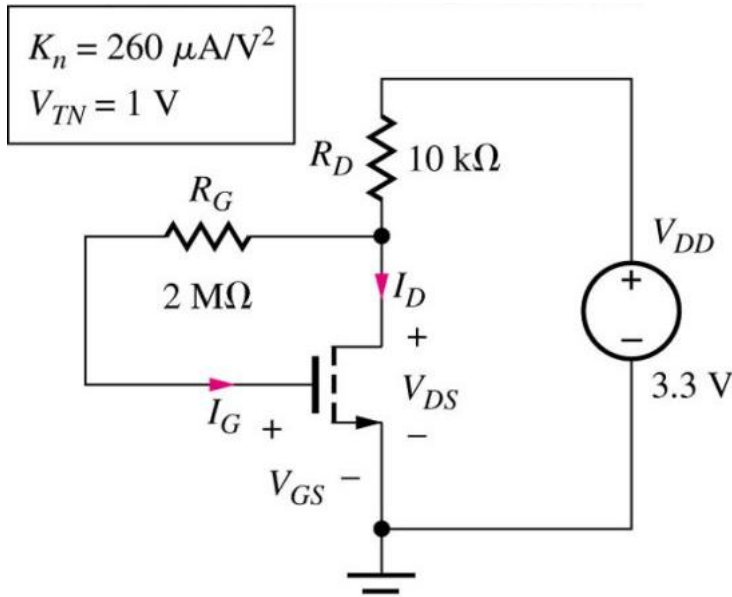
$$\text{Also, } V_{DD}=I_D(R_D+R_S)+V_{DS}$$

$$\therefore V_{DS}=6.08 \text{ V}$$

$V_{DS}>V_{GS}-V_{TN}$. Quindi l'ipotesi di funzionamento in regione di saturazione è corretta

Punto Q: (34.4 μA , 6.08 V) con $V_{GS}=2.66 \text{ V}$

Analisi della polarizzazione: Esempio 6 (Circuito di polarizzazione retroazionato con 2 resistori)



Ipotesi: $I_G = I_B = 0$, il transistor è nella regione di saturazione (dato che $V_{DS} = V_{GS}$)

Analisi:

$$V_{DS} = V_{DD} - I_D R_D$$

$$V_{GS} = V_{DD} - \frac{K_n R_D}{2} (V_{GS} - V_{TN})^2$$

$$\therefore V_{GS} = 3.3 - \frac{(2.6 \times 10^{-4}) (10^4)}{2} (V_{GS} - 1)^2$$

$$\therefore V_{GS} = -0.769 \text{ V}, +2.00 \text{ V}$$

Dato che $V_{GS} < V_{TN}$ per $V_{GS} = -0.769 \text{ V}$ e il MOSFET sarà interdetto

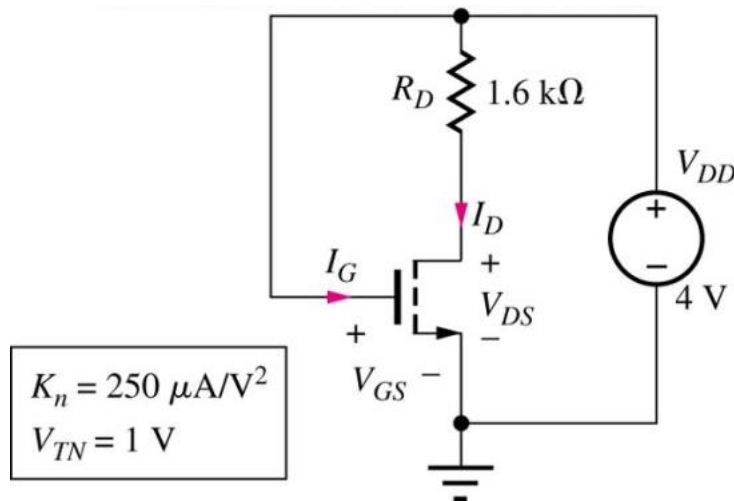
$$V_{GS} = +2.00 \text{ V} \text{ e } I_D = 130 \mu\text{A}$$

$V_{DS} > V_{GS} - V_{TN}$. Quindi l'ipotesi di funzionamento in regione di saturazione è corretta.

Punto Q: (130 μA, 2.00 V)

Analisi della polarizzazione: Esempio 7

(Polarizzazione in regione di triodo)



Ipotesi: $I_G = I_B = 0$, il transistor è in regione di saturazione (dato che $V_{DS} = V_{GS}$)

Analisi: $V_{GS} = V_{DD} = 4 \text{ V}$

$$I_D = \frac{250 \mu\text{A}}{2 \sqrt{2}} (4-1)^2 = 1.13 \text{ mA}$$

Inoltre $V_{DD} = I_D(R_D + R_S) + V_{DS}$

$$\therefore 4 = 1600 I_D + V_{DS}$$

$$\therefore V_{DS} = 2.19 \text{ V}$$

Ma $V_{DS} < V_{GS} - V_{TN}$. Quindi l'ipotesi di funzionamento in regione di saturazione non è corretta. Utilizzando le equazioni per la regione di triodo,

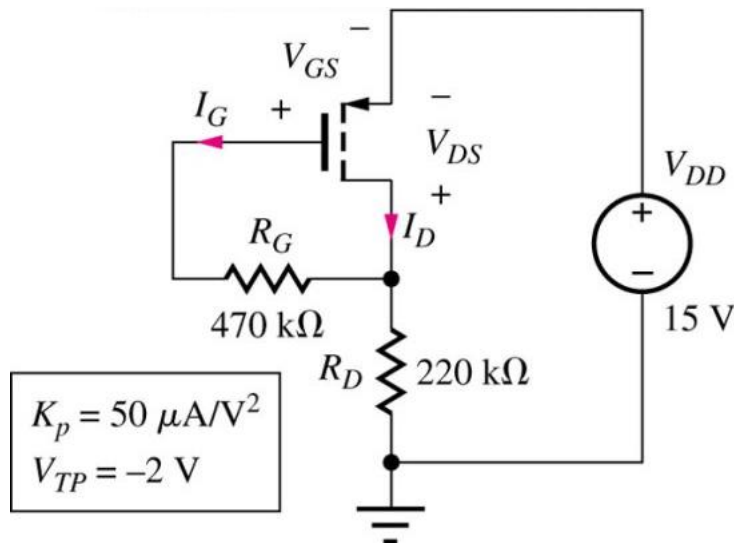
$$4 - V_{DS} = 1600 \frac{250 \mu\text{A}}{2 \sqrt{2}} \left(4 - 1 - \frac{V_{DS}}{2}\right) V_{DS}$$

$$\therefore V_{DS} = 2.3 \text{ V} \text{ e } I_D = 1.06 \text{ mA}$$

$V_{DS} < V_{GS} - V_{TN}$, il transistor è nella regione di triodo

Punto Q: (1.06 mA, 2.3 V)

Analisi della polarizzazione: Esempio 8 (Rete di polarizzazione a 2 resistori per il PMOS)



Ipotesi: $I_G = I_B = 0$, il transistor è nella regione di saturazione (dato che $V_{DS} = V_{GS}$)

Analisi:

$$V_{GS} + (470\text{k}\Omega)I_G + V_{DS} = 0$$

$$\text{Inoltre } 15\text{V} - (220\text{k}\Omega)I_D + V_{DS} = 0$$

$$\therefore 15\text{V} - (220\text{k}\Omega)\frac{50 \mu\text{A}}{2 \sqrt{2}}(V_{GS} + 2)^2 + V_{GS} = 0$$

$$\therefore V_{GS} = -0.369\text{V}, -3.45\text{V}$$

Dato che $V_{GS} = -0.369 \text{ V}$ è meno di $V_{TP} = -2 \text{ V}$,
 $V_{GS} = -3.45 \text{ V}$

$$I_D = 52.5 \mu\text{A} \text{ e } V_{GS} = -3.45 \text{ V}$$

$$|V_{DS}| > |V_{GS} - V_{TP}|$$

Quindi l'ipotesi di funzionamento in regione di saturazione è corretta

Punto Q: (52.5 μA, -3.45 V)