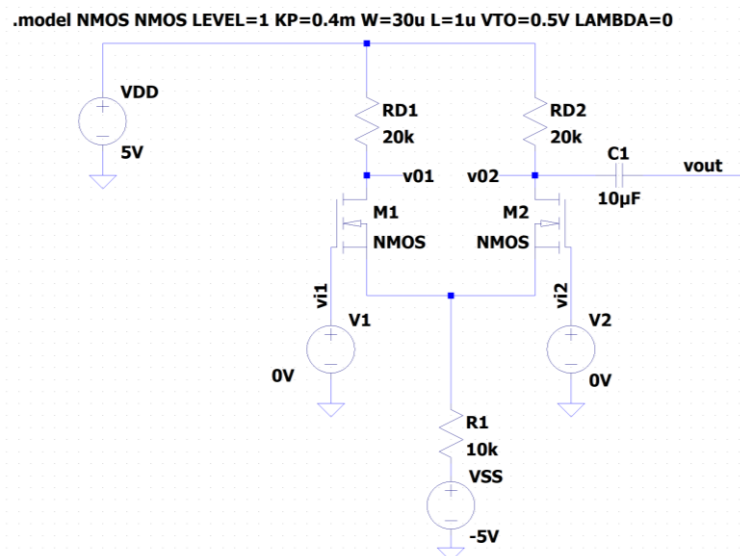


3 esercizi da risolvere in due ore + 15 minuti per la scansione e l'upload.

Esercizio 1

Il circuito in figura rappresenta un amplificatore differenziale a transistor NMOS. I due transistor sono caratterizzati da $k'_n = 0.4 \text{ mA/V}^2$, $W = 30 \mu\text{m}$, $L = 1 \mu\text{m}$, $V_{Tn} = 0.5 \text{V}$, $\lambda = 0$.

- 1.1 Calcolare V_{GSQ} , V_{DSQ} e I_{DQ} per i due transistor in condizioni di bilanciamento
- 1.2 Calcolare il guadagno differenziale A_d single-ended, v_{o2}/v_{id} , considerando v_1 come ingresso non invertente
- 1.3 Calcolare il guadagno di modo comune A_{cm} single-ended, v_{o2}/v_{cm}
- 1.4 Quanto vale la tensione di uscita v_{o2} se v_1 è una tensione sinusoidale di ampiezza 1mV e v_2 è una tensione sinusoidale con la stessa frequenza e fase di v_1 ma con ampiezza 4mV? (identificare il segno corretto per A_d e A_{cm} considerando l'effetto di v_{i1} e v_{i2} sulla tensione di uscita v_{o2}).
- 1.5 Disegnare le forme d'onda di uscita v_{o1} , v_{o2} e v_{out} con i segnali di ingresso descritti al punto precedente, con frequenza di v_1 e v_2 pari a 1kHz



$$1.1 \quad V_{GS} = V_G - V_S = 0 - V_S = -V_S$$

$$V_S = -5 \text{ V} + 2I_D \times R_1 = -5 + 2k'_n \frac{W}{L} (V_{GS} - V_{Tn})^2 \times R_1 = -5 + 2 \times \frac{1}{2} \times 0.4 \times 30 \times 10 (-V_S - V_{Tn})^2$$

$$V_S = -5 + 120(V_S^2 + V_S + 0.25) = -5 + 120V_S^2 + 120V_S + 30$$

$$V_S = -5 + 120V_S^2 + 120V_S + 30$$

$$0 = 120V_S^2 + 119V_S + 25$$

$$V_S = -0.689 \text{ V oppure } 0.302 \text{ V}$$

Solo $V_S = -0.689 \text{ V}$ è accettabile, poichè è in valore assoluto superiore alla tensione di soglia $V_{Tn} = 0.5 \text{ V}$

Di conseguenza $V_{GS} = 0.689$, e $V_{OV} = V_{GS} - V_{Tn} = 0.189 \text{ V}$

$$I_D = (1/2)k'_n \times (W/L) \times V_{OV}^2 = 0.5 \times 30 \times 0.4 \times 0.189^2 = 216 \mu\text{A}$$

$$V_{DS} = 5 \text{ V} - I_D R_D - V_S = 5 - 0.216 \times 20 - (-0.689) = 5 - 4.32 + 0.689 = 1.369 \text{ V}$$

Quindi $V_{GSQ} = 0.689 \text{ V}$, $V_{DSQ} = 1.369 \text{ V}$, $I_D = 0.216 \text{ mA}$. Poichè $V_{DS} = 1.369 \text{ V} \gg V_{OV} = 0.189 \text{ V}$, la condizione di saturazione è verificata.

Calcolo la transconduttanza $g_m = k'_n \times (W/L) \times V_{OV} = 0.4 \times 30 \times 0.189 = 2.268 \text{ mA/V}$

Calcolo il guadagno differenziale "single-ended" $A_d = v_{o2}/(v_{i1} - v_{i2}) = g_m R_D / 2 = 2.268 \times 20 / 2 = 22.68 \text{ V/V}$

Calcolo il guadagno di modo comune "single-ended"

$$A_{cm} = v_{o2}/v_{cm} = -\frac{g_m R_D}{1+2g_m R_S} = -\frac{22.68}{1+2 \times 2.268 \times 10} = -\frac{22.68}{46.4} = -0.978 \text{ V/V}$$

$$\text{CMRR} = 20 \log (22.7/0.978) = 27.31 \text{ dB}$$

Quando $v_{i1} = 10^{-3} \sin(2\pi ft)$ e $v_{i2} = 4 \times 10^{-3} \sin(2\pi ft)$, l'ampiezza dei segnali differenziali e di modo comune è $v_{id} = v_{i1} - v_{i2} = 1\text{mV} - 4\text{mV} = -3\text{mV}$, mentre quella del segnale di modo comune è $v_{cm} = (1\text{mV} + 4\text{mV})/2 = 2.5\text{mV}$.

L'ampiezza della tensione di uscita risultante è data da

$$v_{out} = A_d v_{id} + A_{cm} v_{cm} = 22.68 \times 10^{-3} \times (-3) - 0.978 \times 10^{-3} \times (2.5) = -70.485 \text{ mV}$$

Simulazioni LTSpice

1.1 Punto di lavoro

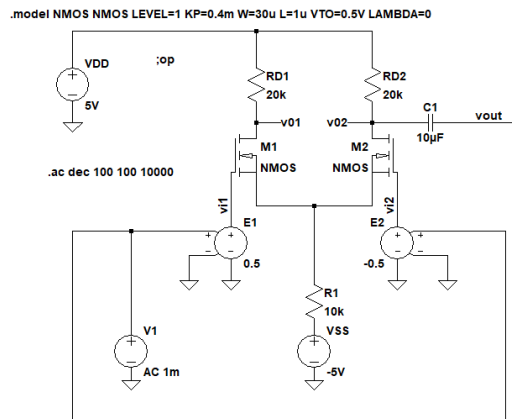
--- Operating Point ---

V(v01):	0.689527	voltage
V(vi1):	0	voltage
V(n002):	-0.689527	voltage
V(v02):	0.689527	voltage
V(vi2):	0	voltage
V(n001):	5	voltage
V(n003):	-5	voltage
V(vout):	6.8952e-006	voltage
Id(M2):	0.000215524	device_current
Ig(M2):	0	device_current
Ib(M2):	-1.38905e-012	device_current
Is(M2):	-0.000215524	device_current
Id(M1):	0.000215524	device_current
Ig(M1):	0	device_current
Ib(M1):	-1.38905e-012	device_current
Is(M1):	-0.000215524	device_current
I(C1):	-6.8952e-018	device_current
I(R1):	0.000431047	device_current
I(Rd2):	0.000215524	device_current
I(Rd1):	0.000215524	device_current
I(Vss):	0.000431047	device_current
I(Vdd):	-0.000431047	device_current
I(V2):	0	device_current
I(V1):	0	device_current

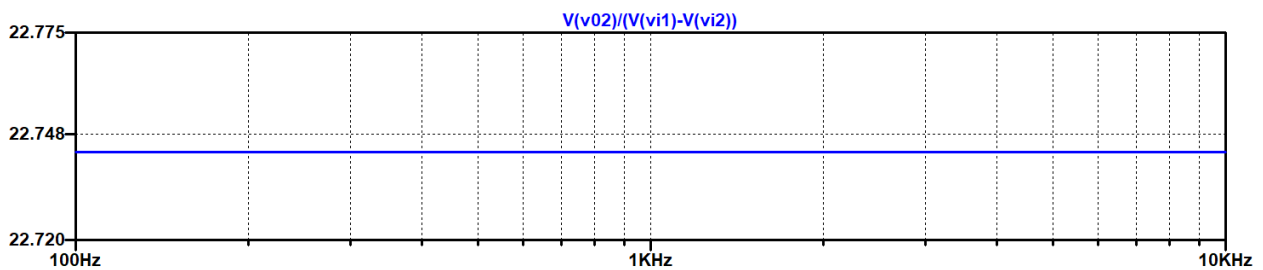
Transistor parameters

Name:	m2	m1
Model:	nmos	nmos
Id:	2.16e-04	2.16e-04
Vgs:	6.90e-01	6.90e-01
Vds:	1.38e+00	1.38e+00
Vbs:	0.00e+00	0.00e+00
Vth:	5.00e-01	5.00e-01
Vdsat:	1.90e-01	1.90e-01
Gm:	2.27e-03	2.27e-03

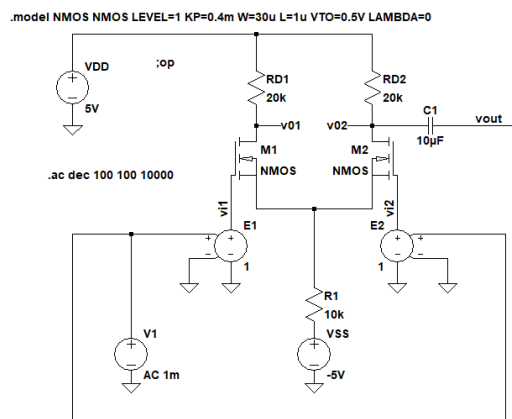
1.2 Guadagno differenziale “single ended”



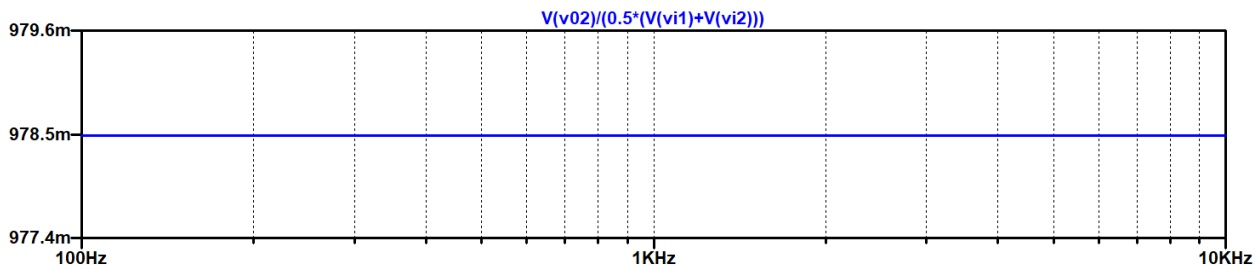
Circuito utilizzato per la simulazione del guadagno differenziale: segnale differenziale puro applicato agli ingressi



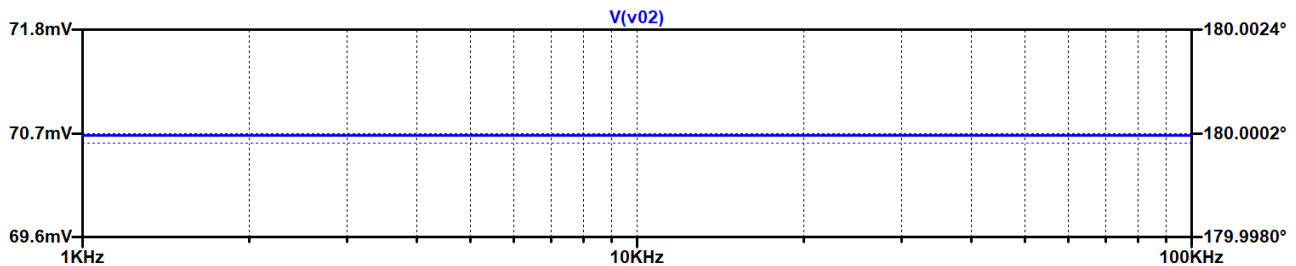
1.3 Guadagno di modo comune “single-ended”



Circuito utilizzato per la simulazione dell'effetto di un segnale di modo comune applicato ai due ingressi.

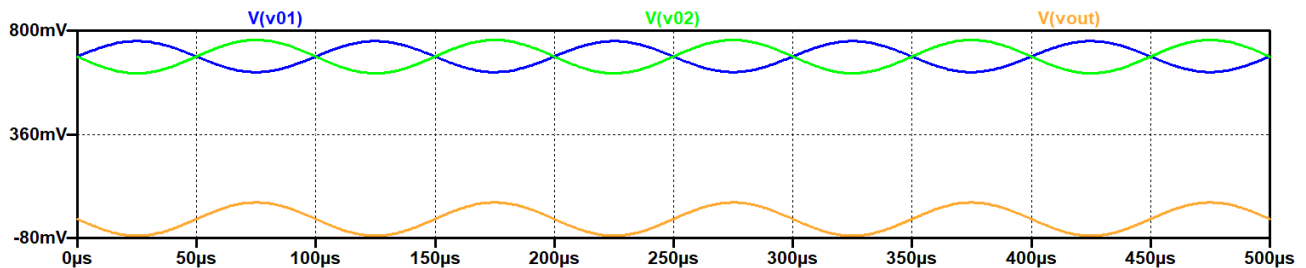


1.4 Ampiezza del segnale v_{o2} con ampiezze dei segnali applicati agli ingressi $v_{i1} = 1\text{mV}$ e $v_{i2} = 4\text{mV}$ rispettivamente.



1.5 Forme d'onda della tensione di uscita

$V_{DSQ} = 5\text{V} - I_D \times R_D = 5 - 0.216 \times 20 = 5 - 4.32 = 0.68\text{V}$. Questa è la componente continua della tensione $V(v01)$ e $V(v02)$, come mostrato in figura.



Esercizio 2

Nell'amplificatore differenziale mostrato nella figura, tutti i transistor hanno tensione di soglia $V_{Tn} = 0.5\text{V}$, $k'_n = 0.4\text{mA/V}^2$, $\lambda = 0$. Le dimensioni di M3 sono $W_3 = 5\mu\text{m}$, $L_n = 1\mu\text{m}$; quelle di M4 sono $W_4 = 10\mu\text{m}$, $L_n = 1\mu\text{m}$; quelle di M1 e M2, $W_{1,2} = 20\mu\text{m}$, $L_{1,2} = 1\mu\text{m}$.

2.1 Trovare il valore di R per il quale la corrente di drain del transistor I_{D3} vale $200\mu\text{A}$

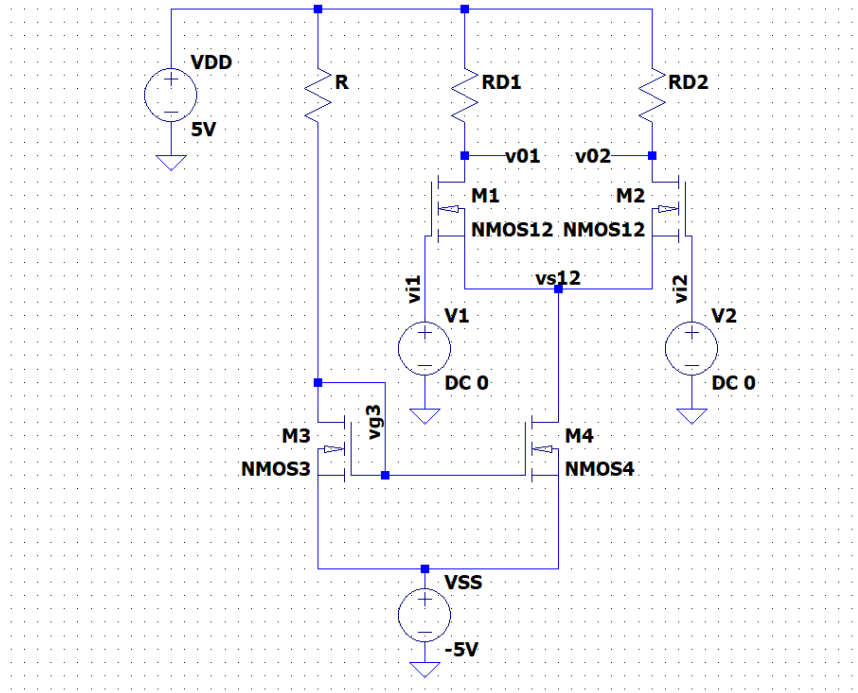
2.2 Trovare il valore delle correnti di drain dei transistor M4, M1, M2, rispettivamente I_{D4} , I_{D1} , I_{D2}

2.3 Trovare il valore della tensione di source di M1 - M2, v_{s12}

2.4 Trovare il valore di R_{D1} , R_{D2} che permette di ottenere un guadagno differenziale A_d pari a 20V/V

2.5 Quanto vale A_{cm} ? e il CMRR?

2.6 Descrivere sinteticamente cosa avviene se il transistor M4 ha $\lambda \neq 0$.



2.1 La corrente $I_D = 200 \mu A = (1/2)k'_n(W/L)V_{OV}^2$

$$V_{OV3} = \sqrt{\frac{2I_{D3} L_3}{k'_n W_3}} = \sqrt{\frac{2 \times 0.2}{0.4} \frac{1}{5}} = \sqrt{0.2} = 0.447 V$$

$$V_{GS3} = V_{OV3} + V_{Tn} = 0.947 V$$

$$V_{DS3} = V_{GS3} = 10V - I_{D3}R_D = 10V = 10 - 0.2 \times R_D = 0.947$$

$$(10V - 0.947)/0.2 = R_D = 45625 \Omega$$

2.2 Nello specchio di corrente Q3-Q4 il transistor Q4 ha la stessa tensione V_{GS} di Q3 e $\lambda=0$; quindi $I_{D4}/I_{D3} = (W/L)_4/(W/L)_3 = 2$. Quindi la corrente di drain di Q4, $I_{D4} = 2 \times I_{D3} = 400 \mu A$, e, in condizioni di bilanciamento, $I_{D1} = I_{D2} = I_{D4}/2 = 200 \mu A$.

2.3 Calcolo l'overvoltage di Q1-Q2, tenendo conto del fatto che $(W/L)_{1,2} = 20$

$$V_{OV1,2} = \sqrt{\frac{2I_{D1,2} L_{1,2}}{k'_n W_{1,2}}} = \sqrt{\frac{2 \times 0.2}{0.4} \frac{1}{20}} = \sqrt{0.05} = 0.224 V$$

$$V_{GS1,2} = V_{OV1,2} + V_{Tn} = 0.724 V$$

$$V_S = -V_{GS} = -0.724 V$$

2.4 Calcolo $g_{m1,2}$

$$g_m = k_n V_{OV} = 0.4 \times 20 \times 0.224 = 1.792 \text{ mA/V}$$

$$A_d = (g_m R_D)/2 = (1.792 \times R_D)/2 = 20; R_D = 40/1.792 = 22321 \Omega$$

$$\text{Di conseguenza } V_{DS1,2} = 5V - I_{D1,2} \times R_D - V_S = 5V - 0.2 \times 22.321 + 0.724 = 1.25 V$$

2.5 Dato che $\lambda=0$, $r_{o4} = \infty$, quindi $A_{cm} = 0$, e $CMRR = 20\log(A_d/A_{cm}) = \infty$

Simulazione LTSpice

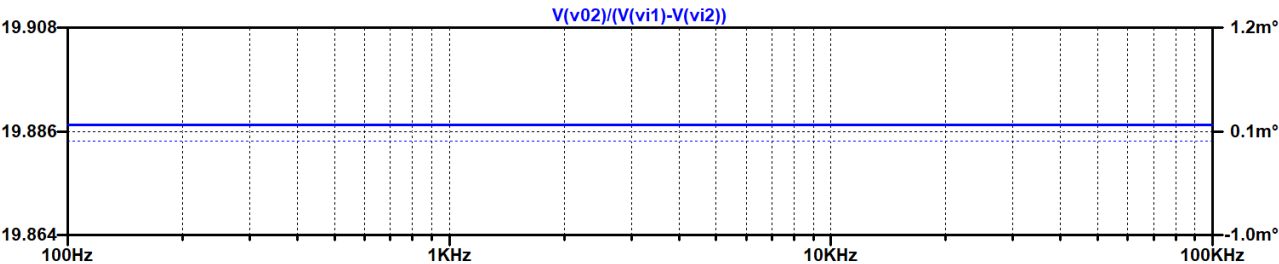
--- Operating Point ---

V(v01):	0.570282	voltage
V(vi1):	0	voltage
V(vs12):	-0.722742	voltage
V(v02):	0.570282	voltage
V(vi2):	0	voltage
V(vg3):	-4.05452	voltage
V(n002):	-5	voltage
V(n001):	5	voltage
Id(M4):	0.00039691	device_current
Ig(M4):	0	device_current
Ib(M4):	-4.28726e-012	device_current
Is(M4):	-0.00039691	device_current
Id(M3):	0.000198455	device_current
Ig(M3):	0	device_current
Ib(M3):	-9.55483e-013	device_current
Is(M3):	-0.000198455	device_current
Id(M2):	0.000198455	device_current
Ig(M2):	0	device_current
Ib(M2):	-1.30302e-012	device_current
Is(M2):	-0.000198455	device_current
Id(M1):	0.000198455	device_current
Ig(M1):	0	device_current
Ib(M1):	-1.30302e-012	device_current
Is(M1):	-0.000198455	device_current
I(Rd2):	0.000198455	device_current
I(Rd1):	0.000198455	device_current
I(R):	0.000198455	device_current
I(Vss):	0.000595365	device_current
I(Vdd):	-0.000595365	device_current
I(V2):	0	device_current
I(V1):	0	device_current

--- MOSFET Transistors ---

Name:	m4	m3	m2	m1
Model:	nmos4	nmos3	nmos12	nmos12
Id:	3.97e-04	1.98e-04	1.98e-04	1.98e-04
Vgs:	9.45e-01	9.45e-01	7.23e-01	7.23e-01
Vds:	4.28e+00	9.45e-01	1.29e+00	1.29e+00
Vbs:	0.00e+00	0.00e+00	0.00e+00	0.00e+00
Vth:	5.00e-01	5.00e-01	5.00e-01	5.00e-01
Vdsat:	4.45e-01	4.45e-01	2.23e-01	2.23e-01
Gm:	1.78e-03	8.91e-04	1.78e-03	1.78e-03

Guadagno Ad:



Esercizio 3

Data la funzione $\text{NOT}(Y) = (A + BC)DE$

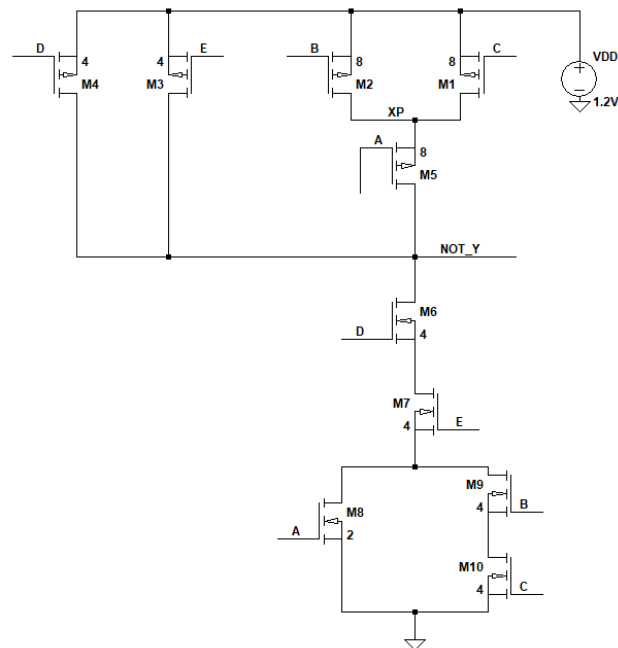
3.1 Disegnare la rete di pull-down

3.2 Disegnare la rete di pull-up

3.3 Definire il rapporto W/L per tutti i transistor N e P, in modo che, nel caso peggiore, la rete di pull-up e di pull-down siano equivalenti ad un inverter CMOS "di riferimento", con $n=1$ e $p=4$.

3.4 Quanto vale il rapporto k'_n/k'_p per l'inverter di riferimento?

3.1-3.2 Rete di pull-down e di pull-up



3.3 Le dimensioni (in termini di rapporto W/L) dei transistor, corrispondenti a $k'_n = 4k'_p$ sono indicate in figura

A	B	C	D	E	Y	Y'
0	0	0	0	0	0	1
0	0	0	0	1	0	1
0	0	0	1	0	0	1
0	0	0	1	1	0	1
0	0	1	0	0	0	1
0	0	1	0	1	0	1
0	0	1	1	0	0	1
0	0	1	1	1	0	1
0	1	0	0	0	0	1
0	1	0	0	1	0	1
0	1	0	1	0	0	1
0	1	0	1	1	0	1
0	1	1	0	0	0	1
0	1	1	0	1	0	1
0	1	1	1	0	0	1
0	1	1	1	1	1	0
1	0	0	0	0	0	1
1	0	0	0	1	0	1
1	0	0	1	0	0	1
1	0	0	1	1	1	0
1	0	1	0	0	0	1
1	0	1	0	1	0	1
1	0	1	1	0	0	1
1	0	1	1	1	1	0
1	1	0	0	0	0	1
1	1	0	0	1	0	1
1	1	0	1	0	0	1
1	1	0	1	1	1	0
1	1	1	0	0	0	1
1	1	1	0	1	0	1
1	1	1	1	0	0	1
1	1	1	1	1	1	0

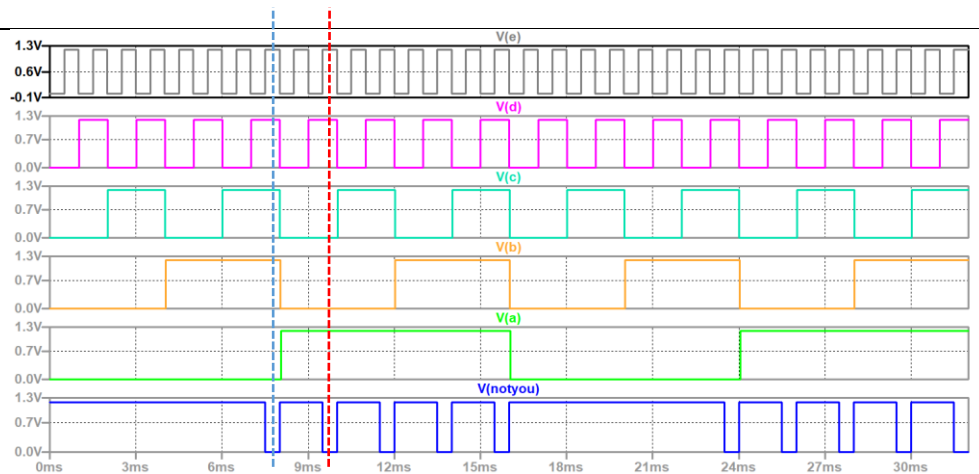
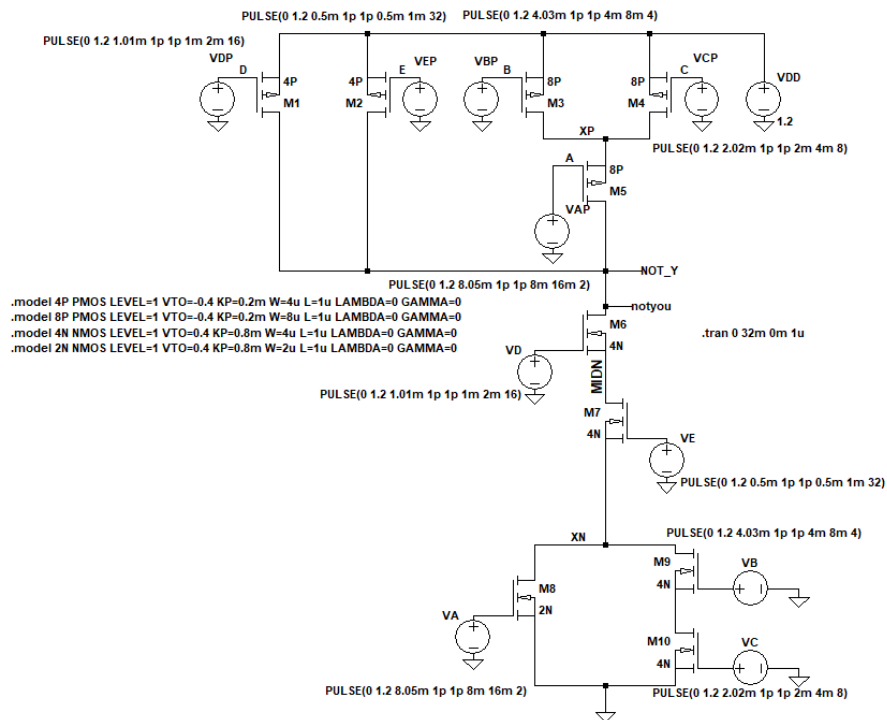
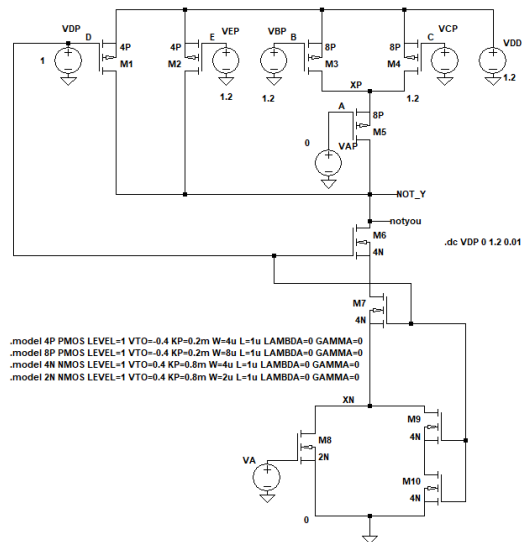


Tabella della verità della funzione $NOT(Y)=Y'=(A+BC)DE$ e simulazione LTSpice delle forme d'onda agli ingressi: dall'alto E=bit meno significativo (LSB), A=bit più significativo. Il diagramma più in basso rappresenta la tensione corrispondente all'uscita della porta logica che rappresenta Y'. La linea tratteggiata verticale blu (a sinistra) indica la configurazione degli ingressi ABCDE = 01111, che corrisponde all'uscita $Y' = 0$; la combinazione successiva corrispondente a $Y'=0$ è ABCDE=10011, indicata dalla linea tratteggiata rossa (a destra).

Si noti che nella simulazione Spice, per evitare "spike" = commutazioni indesiderate dell'uscita in corrispondenza delle transizioni, è stato introdotto un ritardo diverso per i fronti d'onda di A, B, C, D, E in modo da evitare che due ingressi commutassero simultaneamente.





Circuito utilizzato per la simulazione LTSpice della transizione 1-->0 in uscita nel caso peggiore (accensione simultanea dei 4 transistor NMOS in serie M6-M7-M9-M10)