*Dokumentacja projektu   
z Układów cyfrowych i systemów wbudowanych 2*

**Obsługa transmisji szeregowej w standardzie USB**

**Prowadzący:**Dr inż. Jarosław Sugier

**Autorzy:**  
Sebastian Kuczyński, 209764  
Mikołaj Styś, 209773

**Wrocław, 10.05.2016**

**Spis treści**

[**Spis treści** 2](#_Toc450250671)

[Wstęp 3](#_Toc450250672)

[Opis projektu 3](#_Toc450250673)

[Opisy modułów 5](#_Toc450250674)

[ usb\_rx 5](#_Toc450250675)

[ sof\_filter 9](#_Toc450250676)

[ newline\_fsm 10](#_Toc450250677)

[Implementacja 11](#_Toc450250678)

[Użytkowanie 11](#_Toc450250679)

[Podsumowanie 12](#_Toc450250680)

[Bibliografia 13](#_Toc450250681)

# Wstęp

Celem projektu było zaprogramowanie w języku VHDL sprzętowej implementacji sterownika USB standardzie 1.1 Full Speed, za pomocą którego można przesyłać dane. W tym celu otrzymaliśmy możliwość korzystania z komputera z zainstalowanym oprogramowanie ISE Webpack do tworzenia programu oraz układ FPGA Spartan 3E wraz z podłączonym gniazdem USB typu B do układu.

Układ posiadał dwa gniazda USB. Pierwsze, wbudowane zostało zaprojektowane jedynie do przesyłania programu z komputera, przez co do wykonania projektu potrzebne było wspomniane wcześniej dodatkowe gniazdo USB.

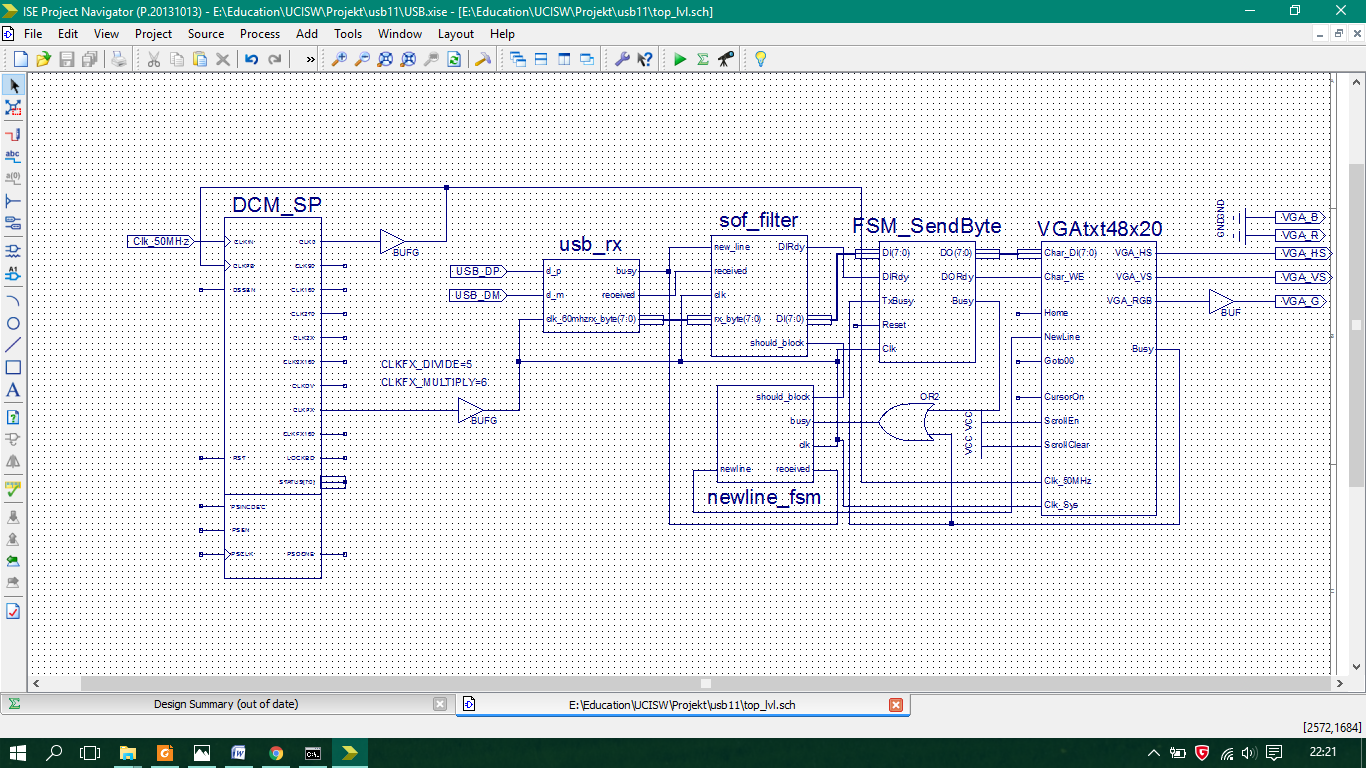
Z uwagi na małą ilość godzin przeznaczoną na dany projekt skoncentrował się na odbieraniu danych z interfejsu. W tym celu należało zapoznać się ze sposobem elektrycznej reprezentacji danych w łączu oraz sposobem dekodowania i interpretowania otrzymanych danych. Większość danych pochodzi ze specyfikacji USB 1.1 [1].

# Opis projektu

Projekt składał się z głównego schematu **top\_lvl** zawierającego moduły napisane w języku VHDL (Rysunek 1). Moduły znajdujące się na Rysunku 1 to:

* **DCM\_SP** – Digital Clock Manager, odpowiadający za zmianę częstotliwości układu z 50Mhz na częstotliwość 60 Mhz, czyli dokładnie 5 razy większą niż częstotliwość działania transmisji USB 1.1 Full Speed. Moduł układu Spartan 3E.
* **usb\_rx** – moduł odczytujący bajty i sekwencje końca / startu pakietu. Moduł został wykonany w całości przez grupę projektową.
* **sof\_filter** – moduł filtrujący ramki SOF (Start of Header), wysyłane co 1 ms przez kontroler. Moduł wykonany prze grupę projektową.
* **newline\_fsm** – moduł wspomagający układ wyświetlający. Jego zadaniem było wykryć koniec pakietu i ustawić kursor w następnej linii. Moduł wykonany prze grupę projektową.
* **FSM\_SendByte** – moduł przetwarzający bajty na ich reprezentację szesnastkową na ekranie. Moduł wykonany przez dr inż. Jarosława Sugiera.
* **VGAtxt48x20** – sterownik ekranu podłączonego do układu FPGA. Umożliwiał on wypisywanie 48 znaków w 20 liniach na ekranie oraz przewijanie tekstu. Moduł wykonany przez dr inż. Jarosława Sugiera.

Układ nie posiada układu **usb\_tx**, który odpowiada za transmisję danych do kontrolera, z uwagi na wspomnianą małą ilość czasu, jednak jego zalążki można znaleźć w plikach projektu.

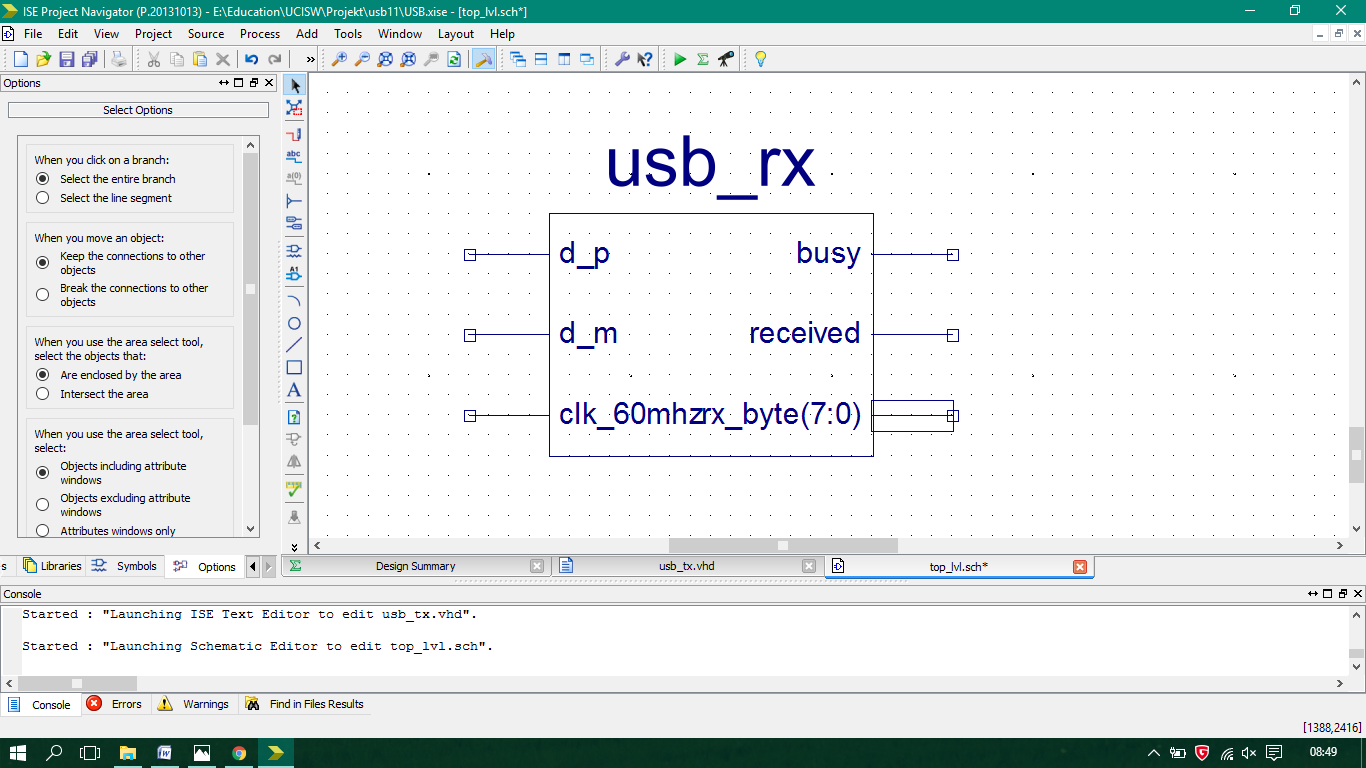


Rysunek 1. Schemat układu odbierającego pakiety z interfejsu USB 1.1 Full Speed

## Opisy modułów

Poniżej zostały opisane moduły wykonane przez grupę:

* **usb\_rx**



Rysunek 3. Symbol układu usb\_rx.

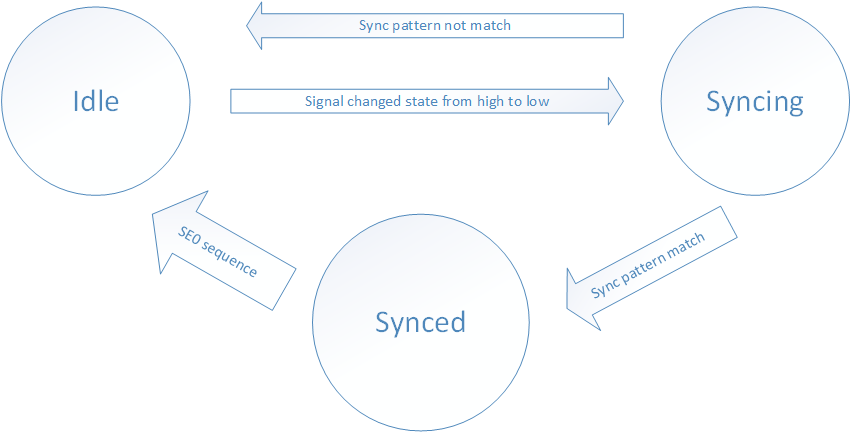
**Wejścia i wyjścia układu:**

* + d\_p i d\_m – są to bezpośrednie styki z przewodami D+ i D- interfejsu USB. W danym układzie są to wejścia.
  + clk\_60mhz – wejście zegara o częstotliwości 60 Mhz.
  + busy – wyjście układu informujące, że urządzenie odbiera dane.
  + received – wyjście sygnalizujące gotowość bajtu do odbioru za pomocą 1-taktowego impulsu.
  + rx\_byte – magistrala z odebranymi danymi.

**Maszyna stanów:**

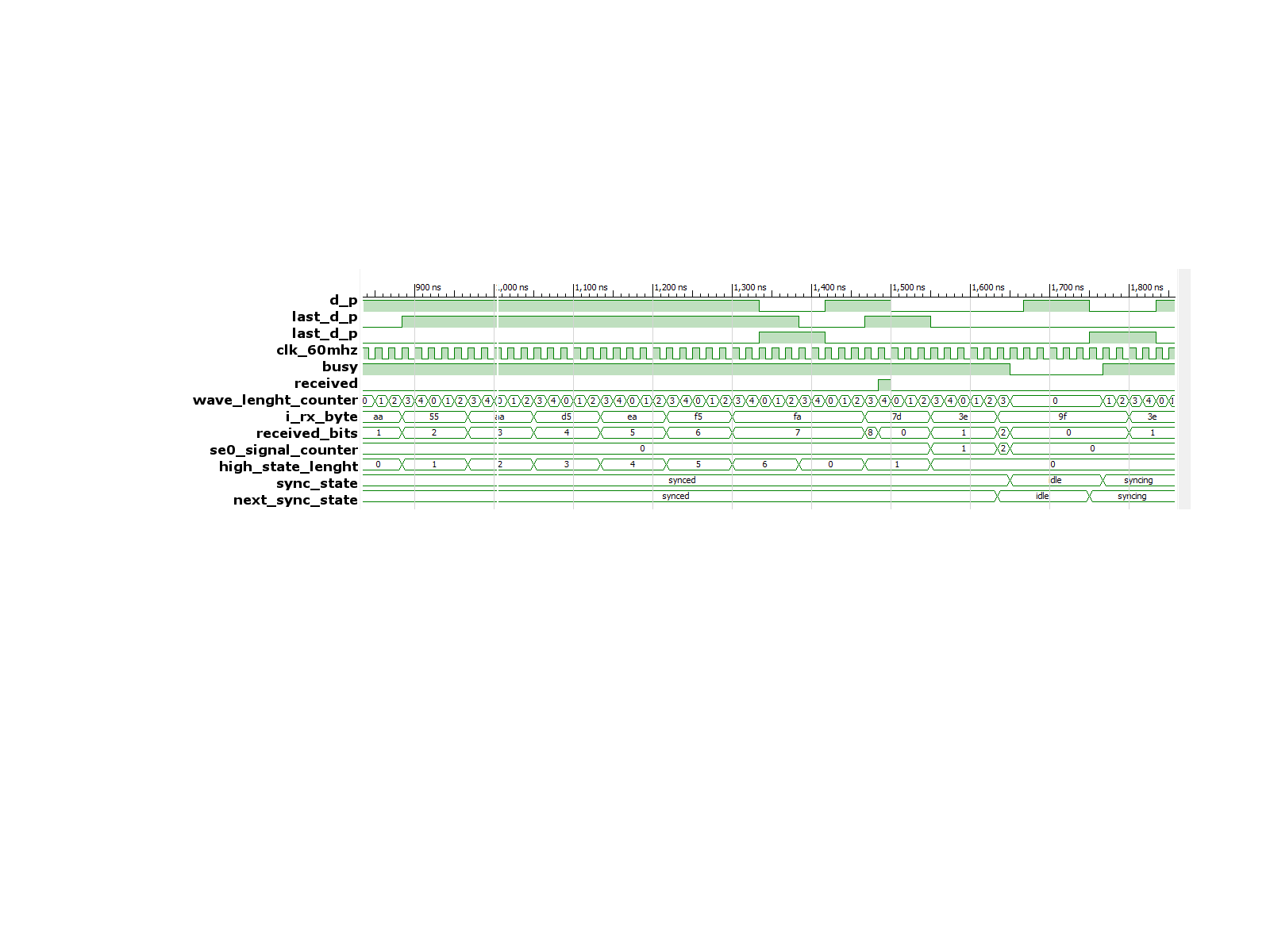
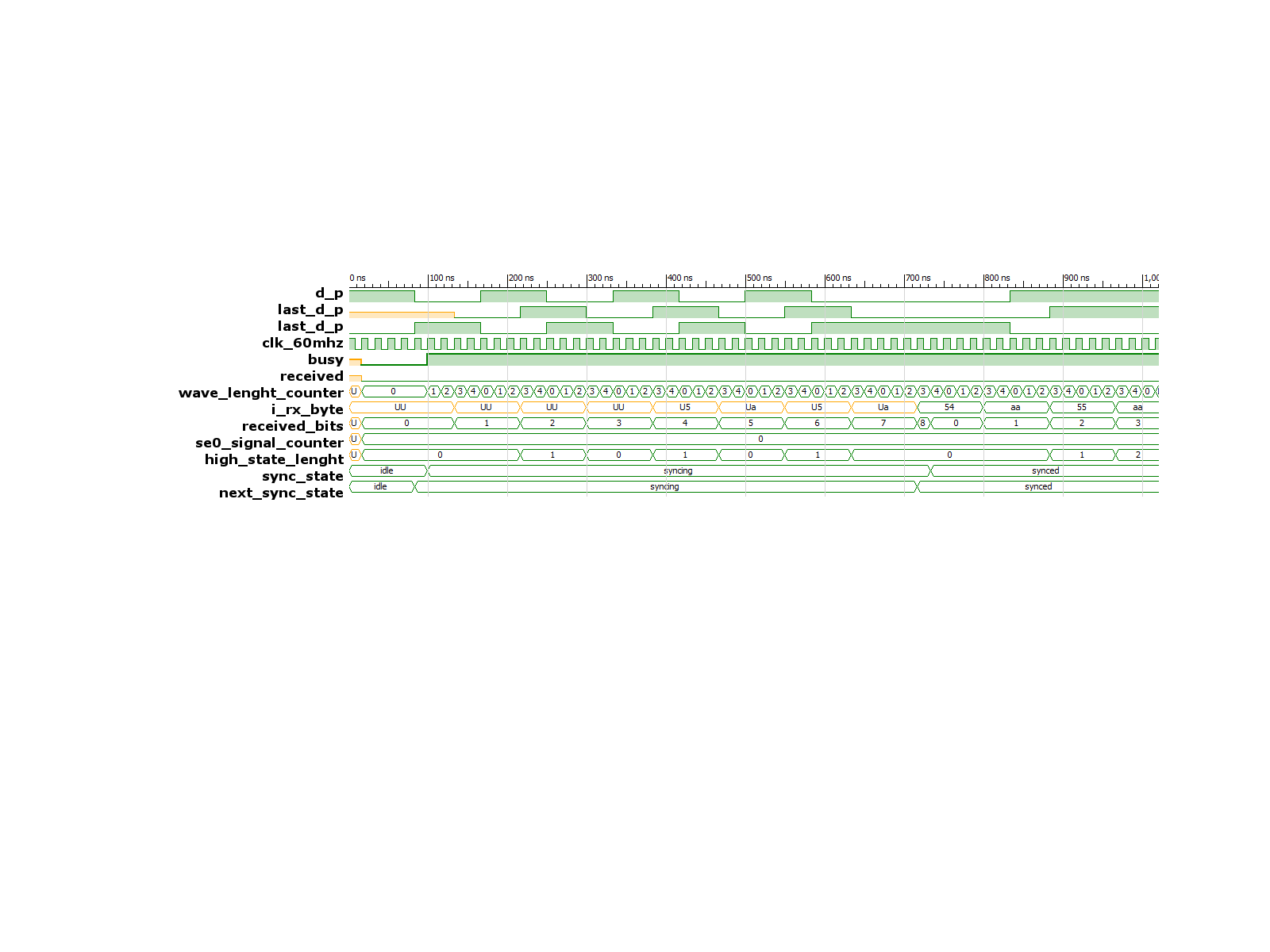
Maszyna stanów jest głównym elementem modułu usb\_rx (Rysunek 3) definiującym stan odbiornika:

* Idle – urządzenie oczekuje na rozpoczęcie sygnału synchronizacji
* Syncing – urządzenie jest w trakcie synchronizacji
* Synced – synchronizacja była udana, odbieranie bajtów z danymi



Rysunek 3. Maszyna stanów dla modułu usb\_rx.

**Symulacja**



Rysunek 4. Symulacja odbioru i końca transmisji pakietu.

Rysunek 5. Symulacja synchronizacji transmisji pakietu.

Na rysunku 4 i 5 pokazane są przebiegi symulacji dla kolejno końca odbioru pakietu jak i początku. Test testuje także różne przypadki jak na przykład wielokrotne niepowodzenie synchronizowania, zbyt krótki sygnał se0 (stan, kiedy linie D+ i D- mają stan niski). Zerwanie połączenia itd.

Opis sygnałów (wewnętrznych):

* last\_dp – zapisuje poprzedni stan d\_p to dekodowania sygnału.
* wave\_lenght\_counter – licznik modulo 5 liczący czas do kolejnej zmiany sygnału w standardzie USB (5 razy mniejsza).
* received\_bits – zlicza liczbę odebranych bitów, przy 8 zmienia stan modułu lub sygnalizuje gotowość odbioru bajtu
* se0\_signal\_counter – zlicza czas przebywania w stanie single edge 0 (obie linie mają niski stan)
* high\_state\_lenght – czas przebywania linii w stanie wysokim, potrzebne do usuwania dodatkowych bitów
* sync\_state, next\_sync\_state – sygnały oznaczające aktualny i kolejny stan maszyny stanów

**Fragmenty kodu**

Zgodnie ze specyfikacją przed rozpoczęciem przesyłania pakietu znajduje się przez dłuższy czas stan wysoki. W tym stanie urządzenie czeka na zmianę stanu linii z wysokiego na niski (operujemy głównie na linii d\_p). Gdy zmiana nadejdzie, rozpoczynana jest synchronizacja, czyli odebranie 8 bitów (0x01010100) Odebranie danej sekwencji zmienia stan maszyny w Synced, natomiast nieudana powraca ją do stanu czuwania.

Listing 1. Odbieranie danych z interfejsu USB.

if (rising\_edge(clk\_60mhz)) then

if(next\_sync\_state = idle or received\_bits = 8) then

received\_bits <= (others => '0');

elsif(wave\_length\_counter = 2 and high\_state\_lenght < 6) then

if(sync\_state = synced) then

i\_rx\_byte <= (last\_d\_p xnor d\_p) & i\_rx\_byte(7 downto 1);

else

i\_rx\_byte <= i\_rx\_byte(6 downto 0) & d\_p;

end if;

received\_bits <= received\_bits + 1; -- increments counter

end if;

end if;

Listing 2. Wyznaczanie pozycji wewnątrz cyklu USB.

if rising\_edge(clk\_60mhz) then

if(sync\_state = idle and next\_sync\_state = syncing) then

wave\_length\_counter <= "001";

elsif(wave\_length\_counter = 4 or next\_sync\_state = idle) then

wave\_length\_counter <= (others => '0');

else

wave\_length\_counter <= wave\_length\_counter + 1;

end if;

end if;

Listing 1 zajmuje się pobieraniem danych z interfejsu. W zależności od stanu maszyny wykonuje to w inny sposób. Dla stanu synchronizacji pobiera je bez zmian do porównania po zebraniu 8 bitów, w stanie zsynchronizowania dekoduje i umieszcza w tym samym rejestrze rx\_byte.

Do synchronizacji z taktowaniem interfejsu USB wykorzystywany jest licznik zerowany podczas rozpoczęcie synchronizacji. Częstotliwość zegara większa niż interfejsu pozwala na wykonanie dodatkowych operacji pomiędzy pobraniem nowe wartości z interfejsu oraz pozwala na pobieranie tego w środku taktu – w miejscu gdzie sygnał powinien być ustabilizowany.

Dodatkowy warunek sprawdzający długość stanu wysokiego w transmisji umożliwia usuwanie dodatkowych bitów wprowadzonych w przypadku zbyt długiego braku zmiany stanu, co może doprowadzić rozsynchronizowania układu.

Listing 3. Wyznaczanie długości stanu wysokiego podczas transmisji

if(rising\_edge(clk\_60mhz)) then

if(next\_sync\_state = idle) then

high\_state\_lenght <= (others => '0');

elsif(wave\_length\_counter = 2) then

if(d\_p = '1' and d\_m = '0') then

high\_state\_lenght <= high\_state\_lenght + 1;

else

high\_state\_lenght <= (others => '0');

end if;

end if;

end if;

Listing 4. Implementacja maszyny stanów z Rysunku 3.

case sync\_state is

when idle =>

if(d\_p = '0' and d\_m = '1') then --waiting for zero to start sync

next\_sync\_state <= syncing;

end if;

when syncing => -- counts sync bits

if(received\_bits = 8) then

if(i\_rx\_byte = sync\_pattern) then

next\_sync\_state <= synced; --caught sync signal

else

next\_sync\_state <= idle; --failed - reset

end if;

end if;

when synced =>

if(se0\_signal\_counter = 2) then

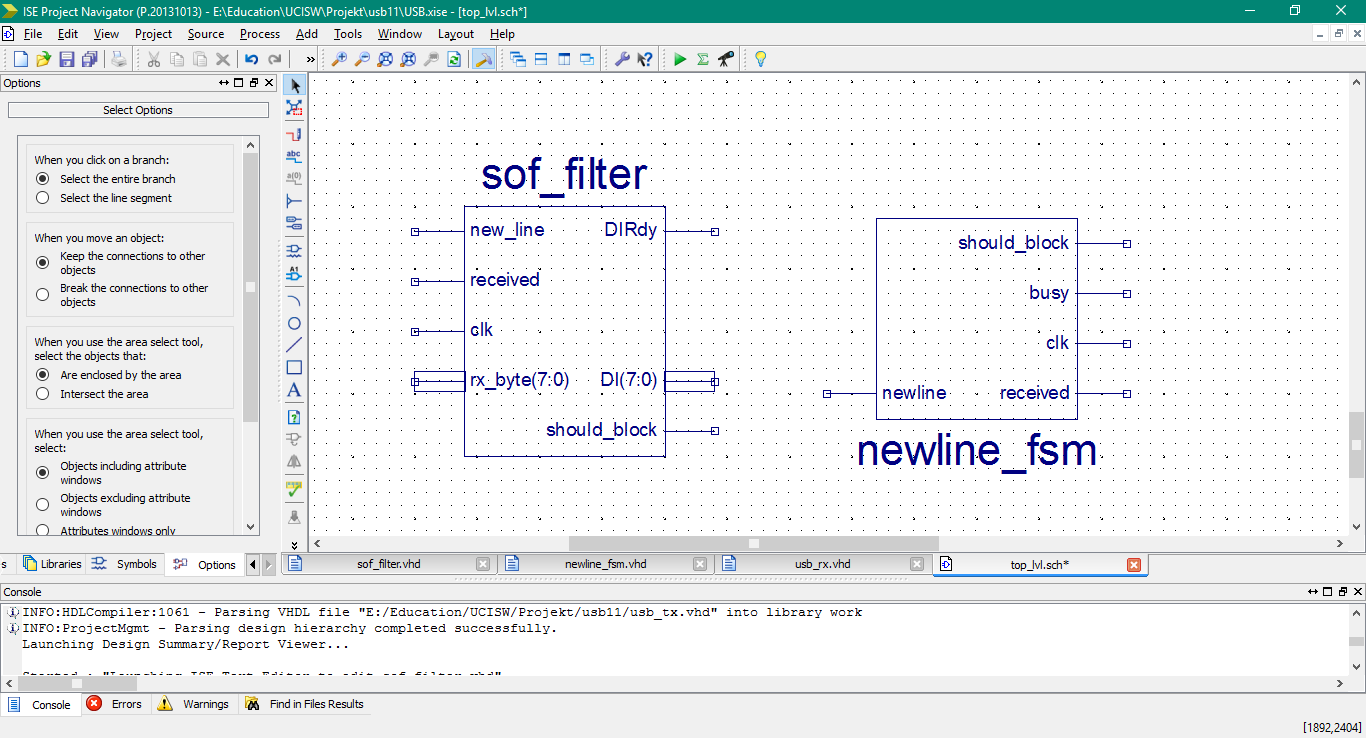
next\_sync\_state <= idle;

end if;

end case;

Listing 4 przedstawia sposób zliczania długości stanu wysokiego. W podobny sposób zliczany jest długość stanu se0. Z kolei Listing 5 przedstawia implementację maszyny stanów z Rysunku 3.

* **sof\_filter**



Rysunek 6. Symbol układu so\_filter.

Wejścia i wyjścia układu:

* DI – magistrala przepuszczająca sygnał wejściowy rx\_byte
* should\_block – sygnał wskazujący czy dany pakiet jest typu SOF (Start of Frame) i czy należy go zablokować
* DIRdy – sygnał wyzwalający wysłanie danych z DI do konwertera bitów w postać szesnastkową
* clk – zegar układu
* received – czy nowy bajt jest gotowy do odebrania
* new\_line – odbiera sygnał busy z modułu rx\_byte, który informuje o zakończeniu odbierania pakietu.

Układ filtruje pakiety SOF, które wysyłane są co 1 ms przez kontroler. Pakiety są rozpoznawalne poprzez sprawdzanie czy pierwszy bajt pakiety zaczyna się od sekwencji 0xA5 (Listing 5). Początek pakietu jest określany poprzez wykrycie impulsu sygnalizującego nową linię. Dany sposób ma wadę powodującą niefiltrowanie pierwszego pakietu SOF (Listing 6).

Listing 5. Ustalenie, czy sygnał powinien być blokowany

if(rising\_edge(clk) and first\_packet = '1') then

if(rx\_byte = X"A5") then

i\_should\_block <= '1';

else

i\_should\_block <= '0';

end if;

end if;

Listing 6. Wykrywanie początku pakietu.

if(rising\_edge(clk)) then

if(received = '1' and first\_packet = '1') then

first\_packet <= '0';

elsif(last\_newline = '1' and new\_line = '0') then

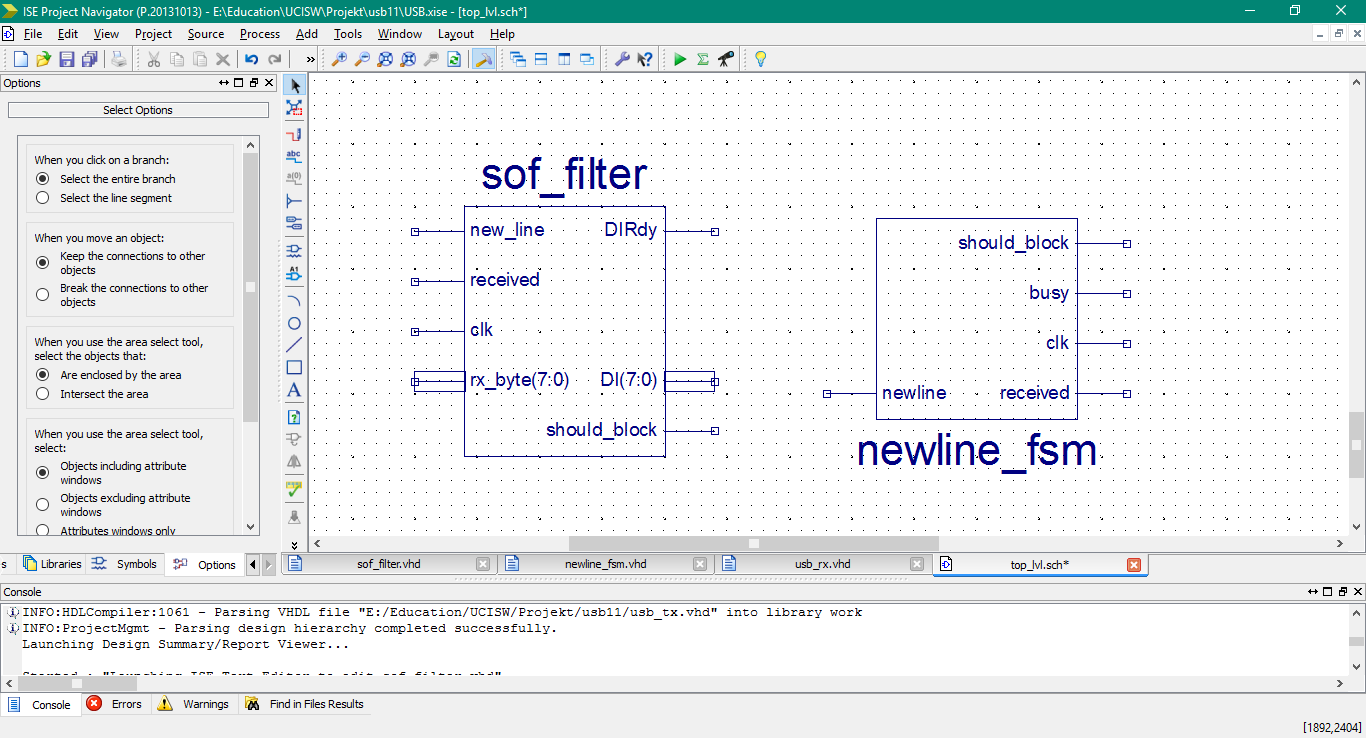
first\_packet <= '1';

end if;

last\_newline <= new\_line;

end if

* **newline\_fsm**



Rysunek 7. Symbol układu newline\_fsm.

Wejścia i wyjścia układu:

* clk – zegar układu
* received – czy nowy bajt został udostępniony
* busy – czy moduł usb\_rx jest zajęty odbieraniem
* should\_block – czy znak nowej linii powinien być zablokowany
* newline – sygnał biegnący do sterownika ekranu informujący o zmianie linii

Kolejny moduł pomocniczy do wyświetlania danych na ekranie. Układ sprawdza czy wystąpił impuls odebrania pakietu i przygotowuje się do wysłania sygnału nowej linii. Następnie sygnał jest wysyłany jeśli urządzenie skończyło pracę (to był ostatni pakiet) oraz nie jest on zablokowany przez moduł sof\_filter (Listing 8).

Listing 7. Ustalenie, czy powinno zostać wyświetlona nowa linia.

if(rising\_edge(clk)) then

notify <= (not i\_newline) and ((not received) and last\_received);

end if;

Listing 8. Oczekiwanie na wyświetlenie nowej linii.

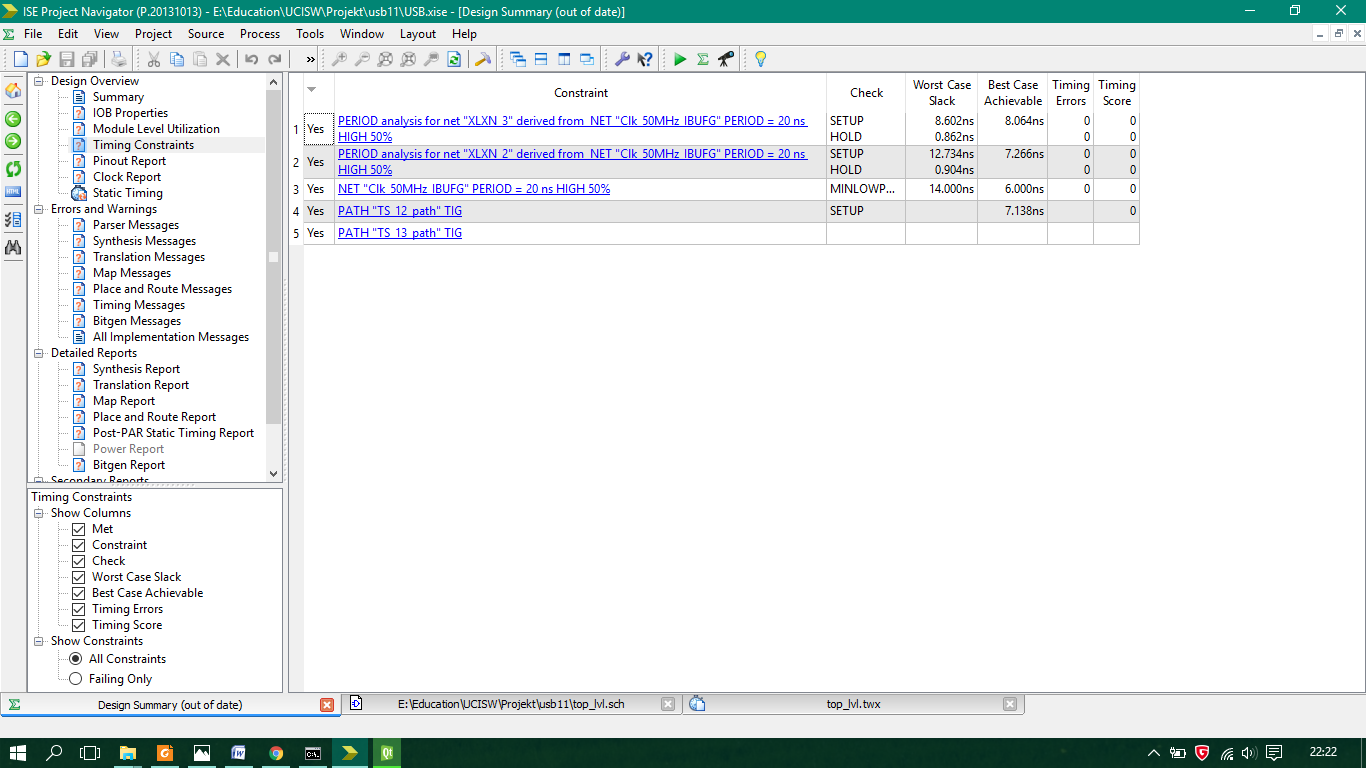
if(rising\_edge(clk)) then

i\_newline <= (not i\_newline) and ((notify and (not busy)) and (not should\_block));

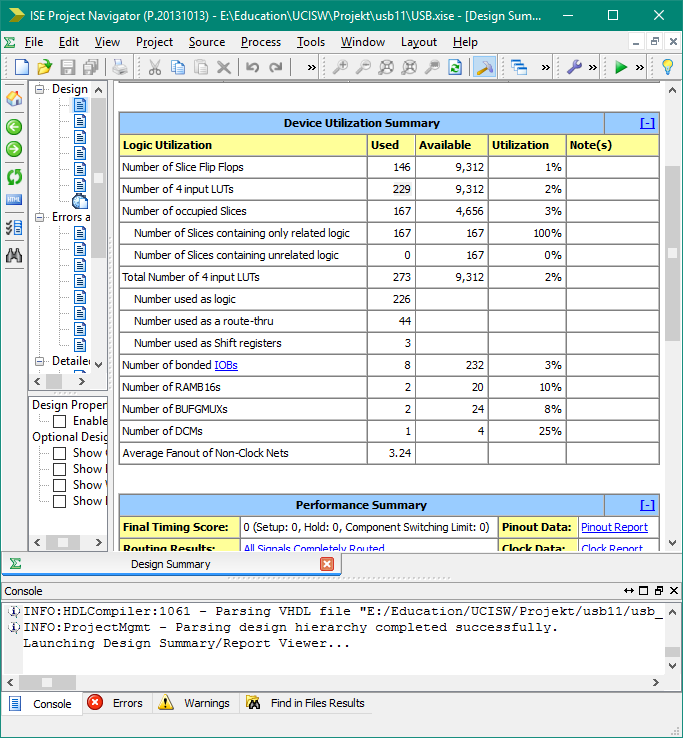
end if;

# Implementacja

Implementacja kodu układu przebiega bez zakłóceń, a jedynymi ostrzeżeniami jaki otrzymujemy są niepodłączone wejścia użytych modułów. Zgodnie z raportem dotyczącym zależności czasowych w układzie, układ zawiera rezerwę umożliwiającą prawidłowe działanie nawet przy nieznacznym zwiększeniu długości aktualnych ścieżek. Osiągnięte rezultaty przedstawia rysunek 8. Zgodnie z poniższym raportem zbudowany układ potrafi działać z częstotliwością maksymalną **124 MHz**. Zużycie zasobów przedstawione jest w tabeli 1. Zużycie tych zasobów jest minimalne, umożliwiające stworzenie innego układu obok odbiornika usb.



Rysunek 8. Raport czasu propagacji w układzie.

Tabela 1. Zużycie zasobów.

# Użytkowanie

# E:\Education\UCISW\Projekt\dokumentacja\IMG_20160419_163305779.jpg

Rysunek 9. Wynik działania programu.

Do układu FPGA należy podłączyć port USB oraz ekran do wejścia VGA. Po zaprogramowaniu układu FPGA wygenerowanym programem można podłączyć układ za pośrednictwem przewodu USB do kontrolera USB np. komputera. Po jego podłączeniu powinien pojawić się obraz ukazany na Rysunku 9.

# Podsumowanie

# Bibliografia

1. Universal Serial Bus Specification (1.1) [Dostęp 01.05.2016]  
   <http://esd.cs.ucr.edu/webres/usb11.pdf>
2. Strona zajęć projektowych kursu Urządzenia Cyfrowa i Systemy wbudowane [Dostęp 05.05.2016]  
   <http://www.zsk.ict.pwr.wroc.pl/zsk_ftp/fpga/>