*Dokumentacja projektu   
z Układów cyfrowych i systemów wbudowanych 2*

**Obsługa transmisji szeregowej w standardzie USB**

**Prowadzący:**Dr inż. Jarosław Sugier

**Autorzy:**  
Sebastian Kuczyński, 209764  
Mikołaj Styś, 209773

**Wrocław, 10.05.2016**

**Spis treści**

[Spis treści 2](#_Toc449901424)

[Wstęp 3](#_Toc449901425)

[Opis projektu 3](#_Toc449901426)

[Implementacja 3](#_Toc449901427)

[Podsumowanie 3](#_Toc449901428)

[Bibliografia 3](#_Toc449901429)

# Wstęp

Celem projektu było zaprogramowanie w języku VHDL sprzętowej implementacji sterownika USB standardzie 1.1 Full Speed, za pomocą którego można przesyłać dane. W tym celu otrzymaliśmy możliwość korzystania z komputera z zainstalowanym oprogramowanie ISE Webpack do tworzenia programu oraz układ FPGA Spartan 3E wraz z podłączonym gniazdem USB typu B do układu.

Układ posiadał dwa gniazda USB. Pierwsze, wbudowane zostało zaprojektowane jedynie do przesyłania programu z komputera, przez co do wykonania projektu potrzebne było wspomniane wcześniej dodatkowe gniazdo USB.

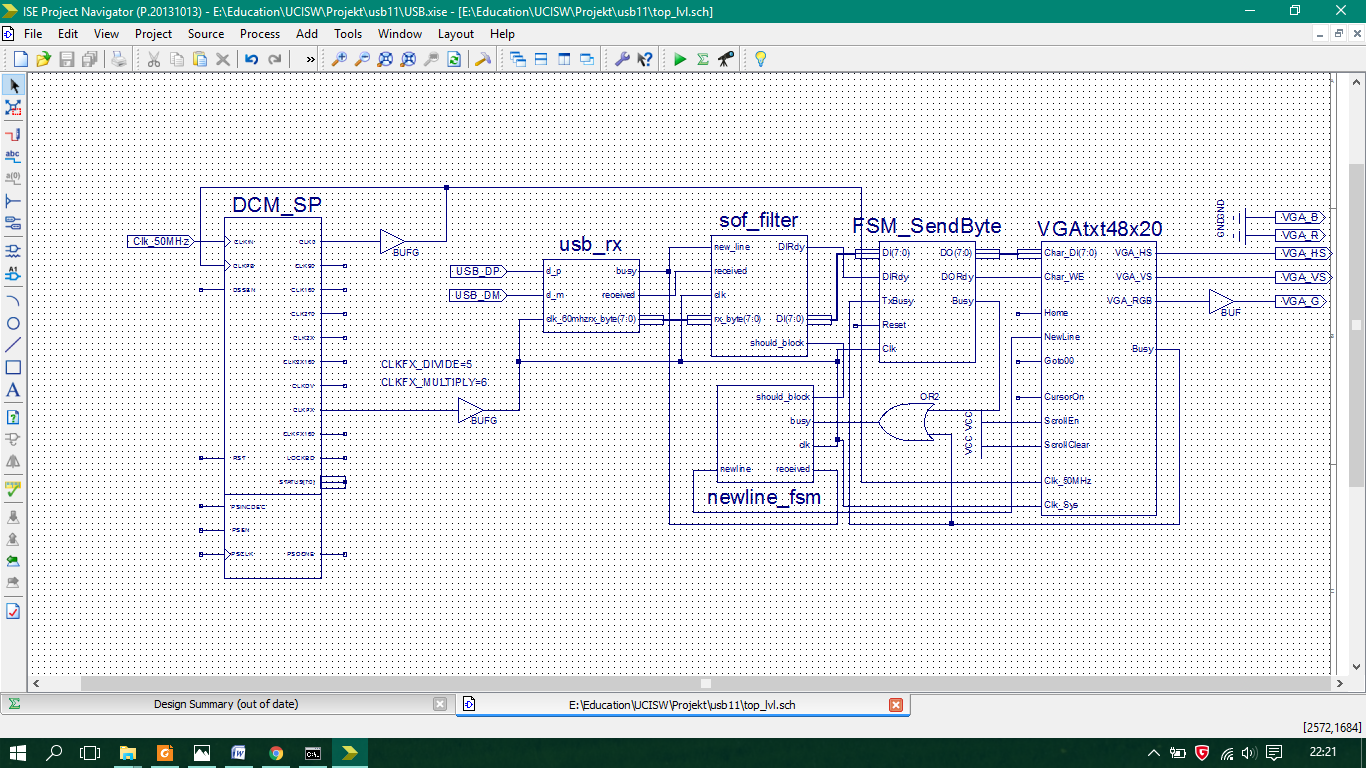
Z uwagi na małą ilość godzin przeznaczoną na dany projekt skoncentrował się na odbieraniu danych z interfejsu. W tym celu należało zapoznać się ze sposobem elektrycznej reprezentacji danych w łączu oraz sposobem dekodowania i interpretowania otrzymanych danych. Większość danych pochodzi ze specyfikacji USB 1.1 [1].

# Opis projektu

Projekt składał się z głównego schematu **top\_lvl** zawierającego moduły napisane w języku VHDL (Rysunek 1). Moduły znajdujące się na Rysunku 1 to:

* **DCM\_SP** – Digital Clock Manager, odpowiadający za zmianę częstotliwości układu z 50Mhz na częstotliwość 60 Mhz, czyli dokładnie 5 razy większą niż częstotliwość działania transmisji USB 1.1 Full Speed. Moduł układu Spartan 3E.
* **usb\_rx** – moduł odczytujący bajty i sekwencje końca / startu pakietu. Moduł został wykonany w całości przez grupę projektową.
* **sof\_filter** – moduł filtrujący ramki SOF (Start of Header), wysyłane co 1 ms przez kontroler. Moduł wykonany prze grupę projektową.
* **newline\_fsm** – moduł wspomagający układ wyświetlający. Jego zadaniem było wykryć koniec pakietu i ustawić kursor w następnej linii. Moduł wykonany prze grupę projektową.
* **FSM\_SendByte** – moduł przetwarzający bajty na ich reprezentację szesnastkową na ekranie. Moduł wykonany przez dr inż. Jarosława Sugiera.
* **VGAtxt48x20** – sterownik ekranu podłączonego do układu FPGA. Umożliwiał on wypisywanie 48 znaków w 20 liniach na ekranie oraz przewijanie tekstu. Moduł wykonany przez dr inż. Jarosława Sugiera.

Układ nie posiada układu **usb\_tx**, który odpowiada za transmisję danych do kontrolera, z uwagi na wspomnianą małą ilość czasu, jednak jego zalążki można znaleźć w plikach projektu.

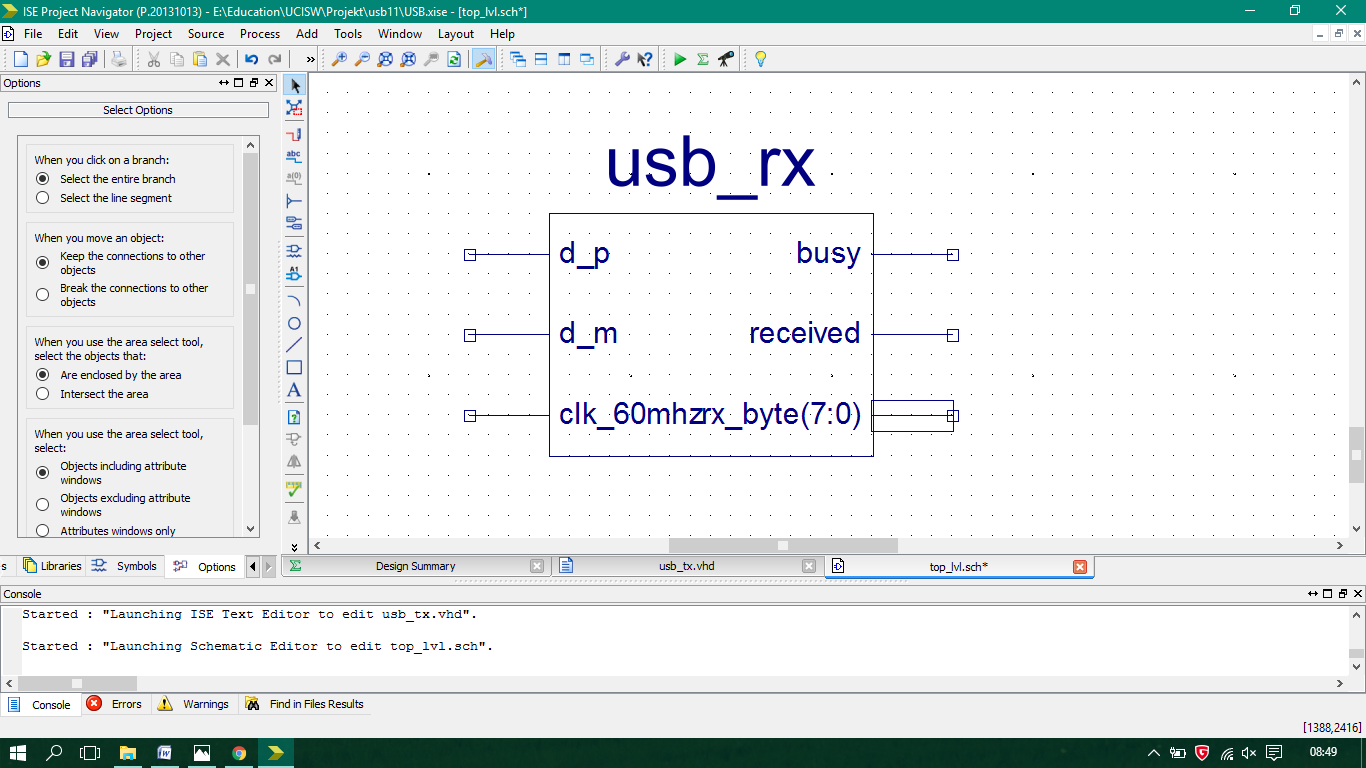


Rysunek 1. Schemat układu odbierającego pakiety z interfejsu USB 1.1 Full Speed

**Opisy modułów**

Poniżej zostały opisane moduły wykonane przez grupę:

* usb\_rx



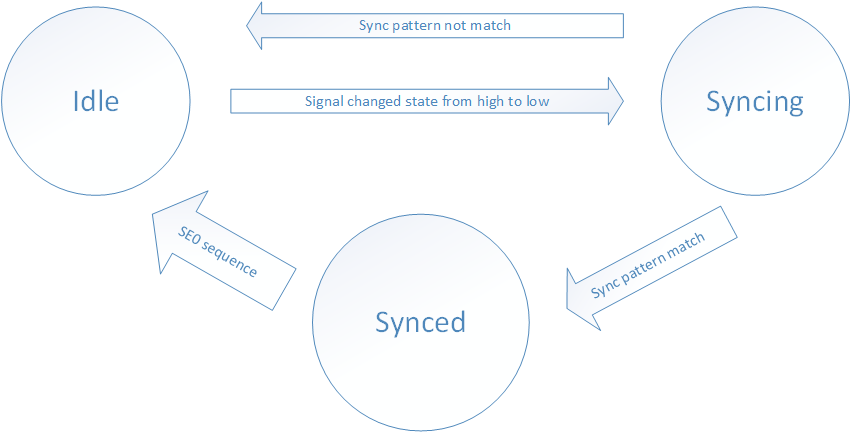
Rysunek 3. Symbol układu.

Wejścia i wyjścia układu:

* d\_p i d\_m – są to bezpośrednie styki z przewodami D+ i D- interfejsu USB. W danym układzie są to wejścia.
* clk\_60mhz – wejście zegara o częstotliwości 60 Mhz.
* busy – wyjście układu informujące, że urządzenie odbiera dane.
* received – wyjście sygnalizujące gotowość bajtu do odbioru.
* rx\_byte – magistrala z odebranymi danymi.

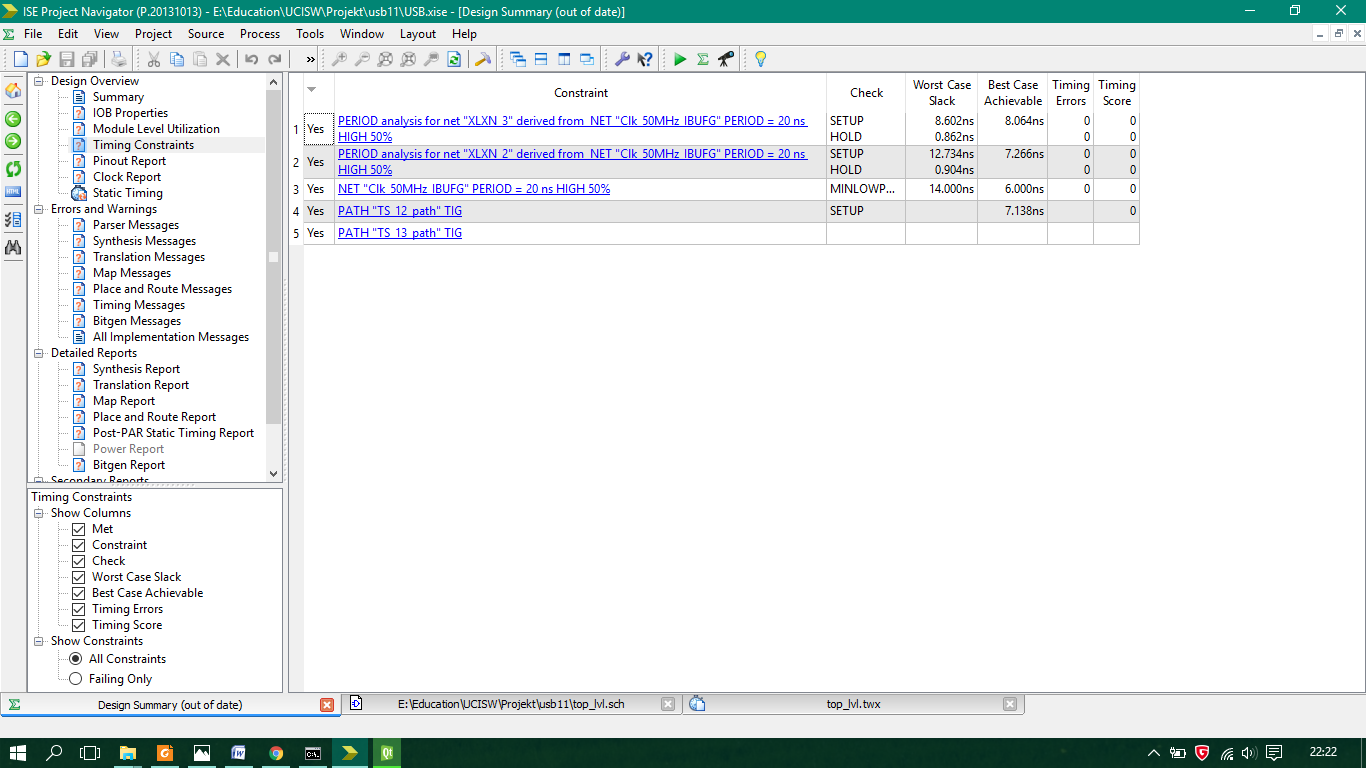
Maszyna stanów:

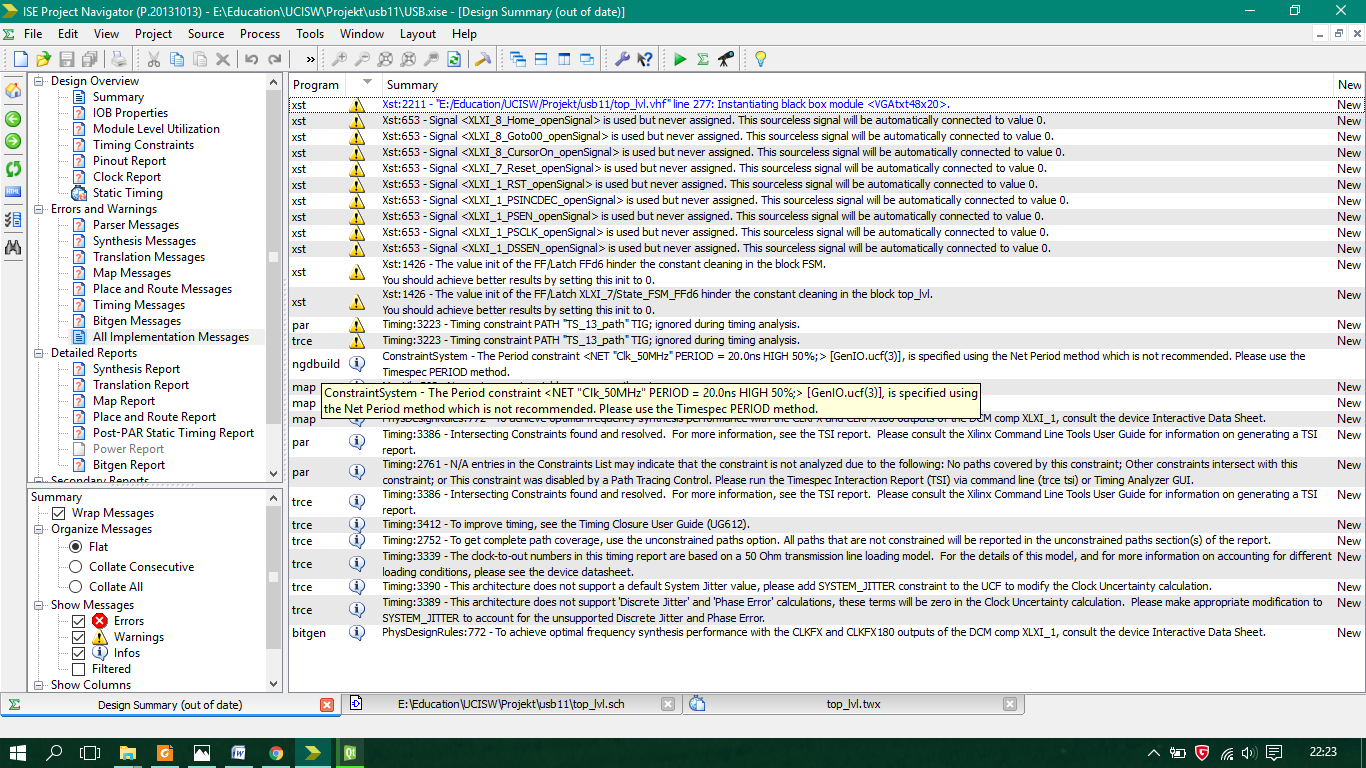
Maszyna stanów jest głównym elementem modułu usb\_rx (Rysunek 3) definiującym stan odbiornika:

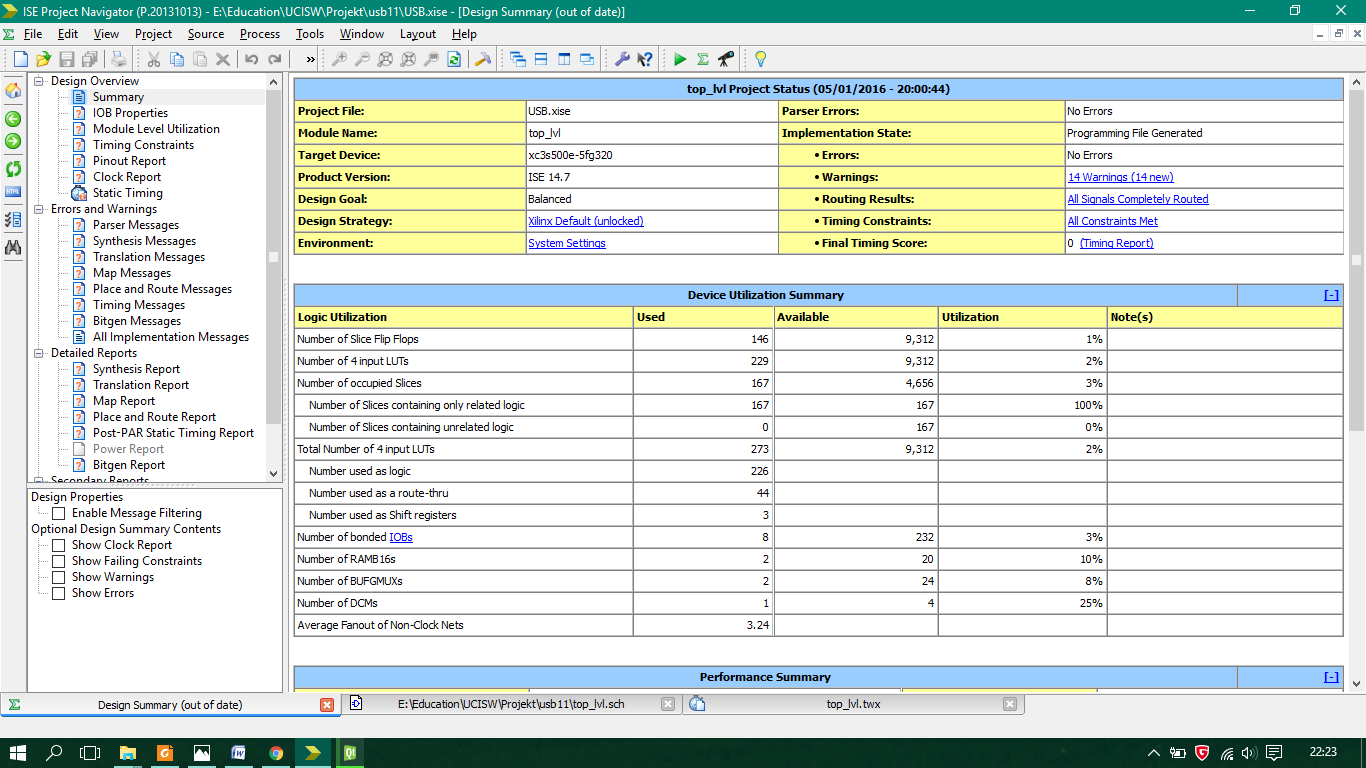


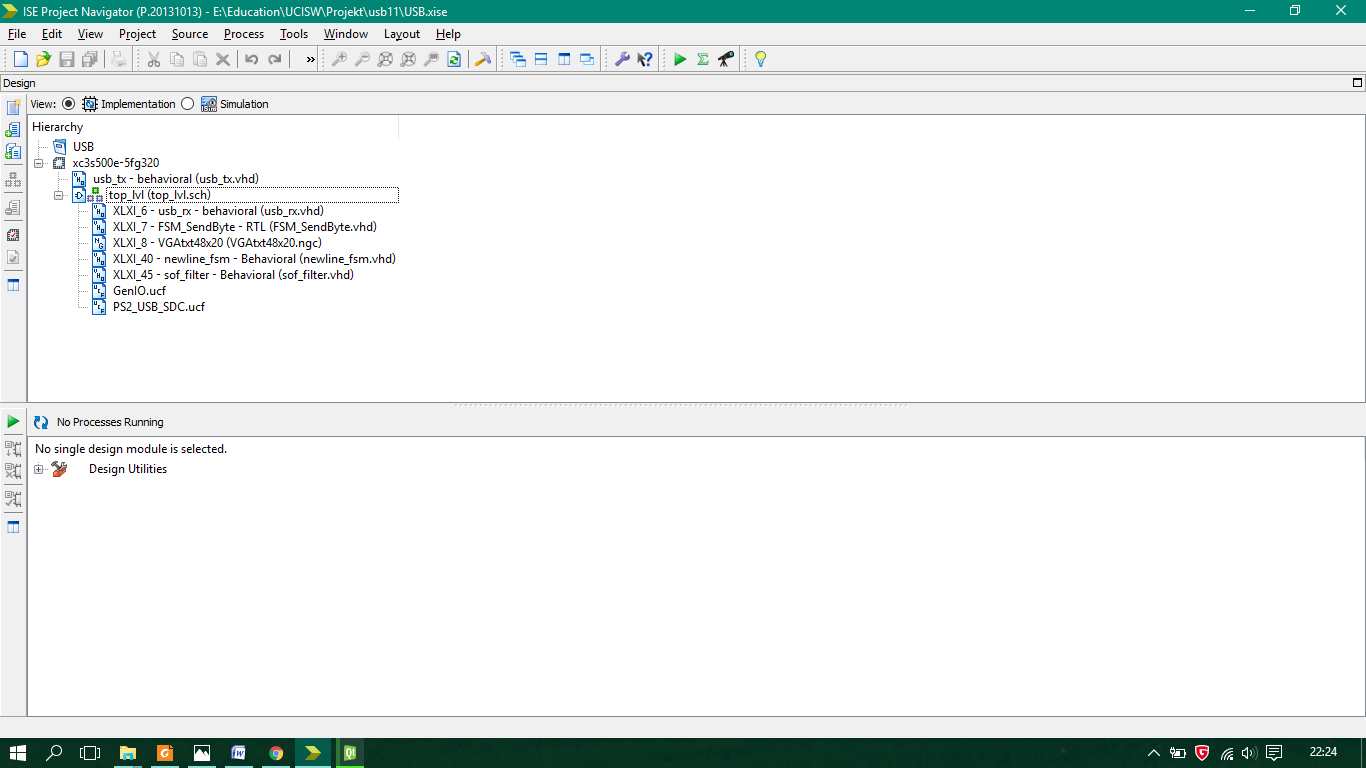
Rysunek 3. Maszyna stanów dla modułu usb\_rx.

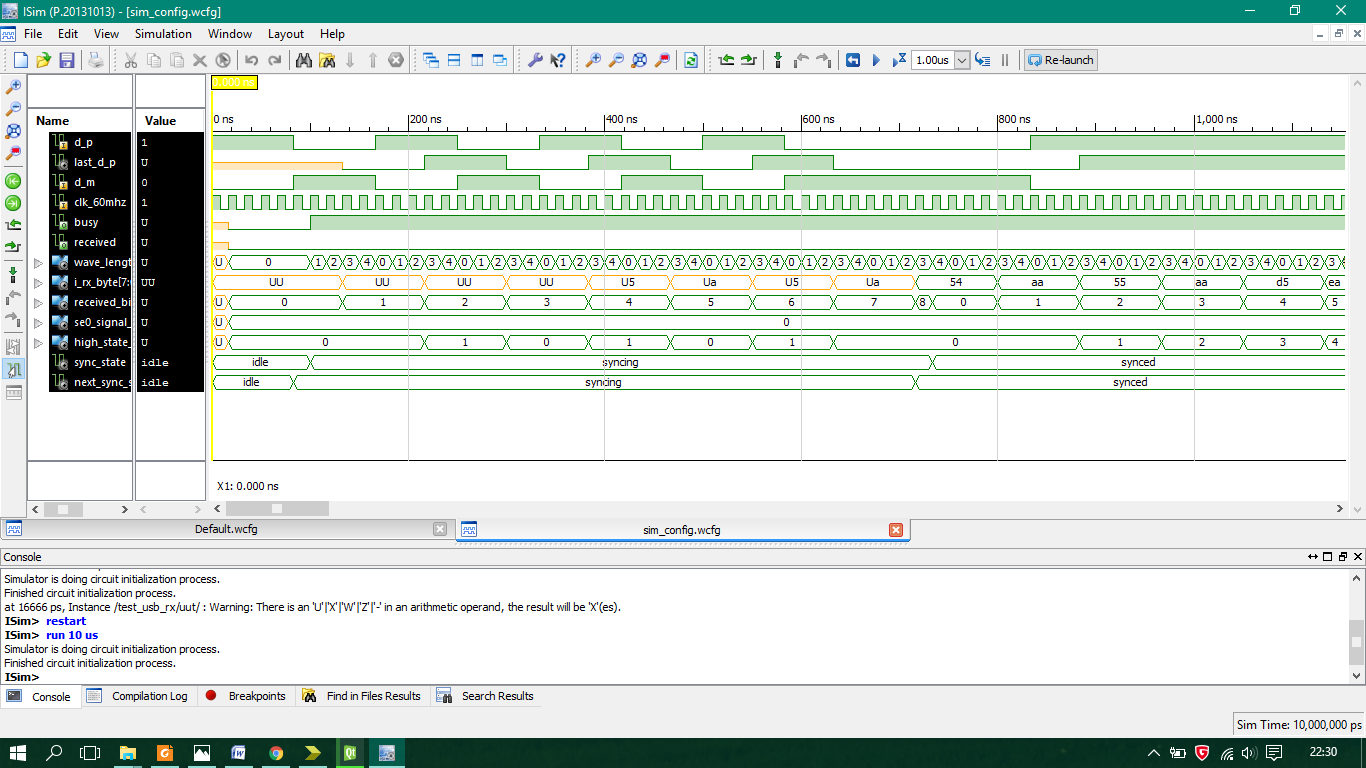
* sof\_filter
* newline\_fsm

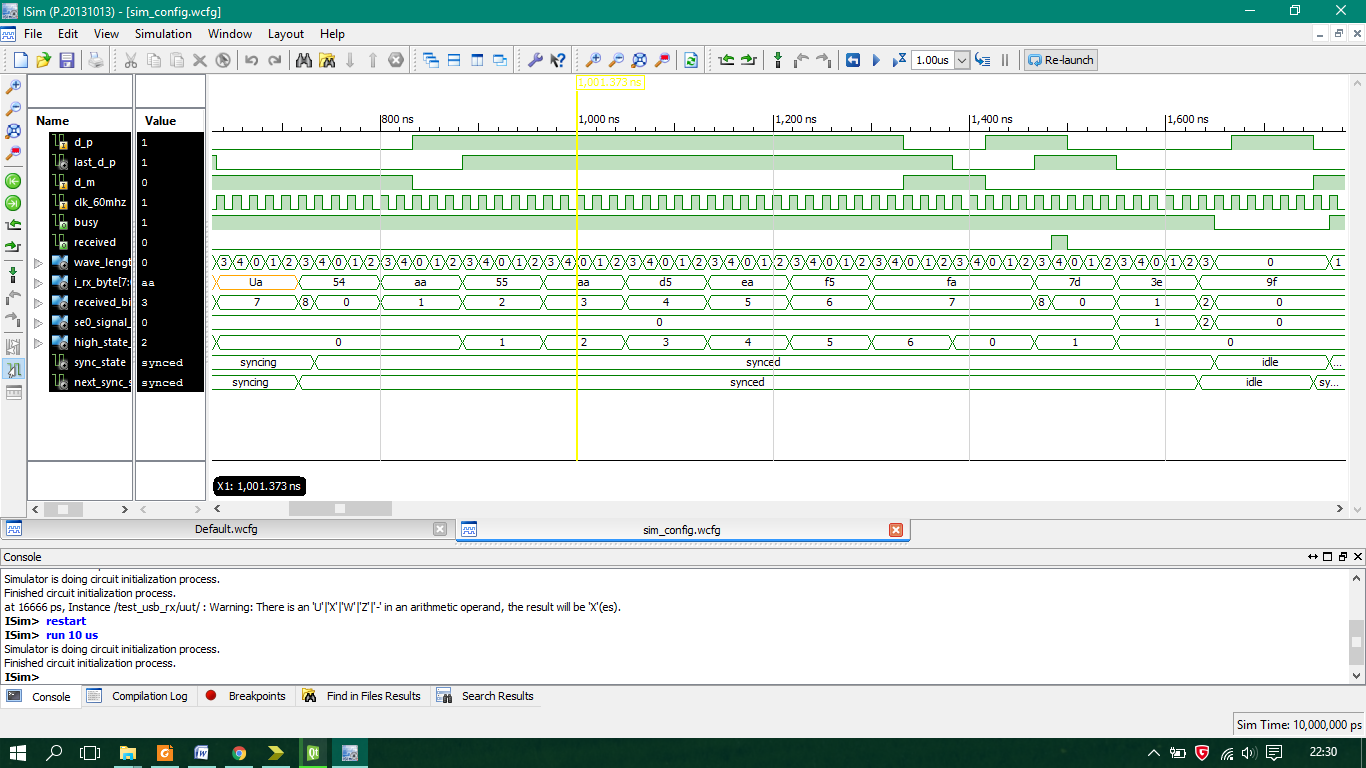


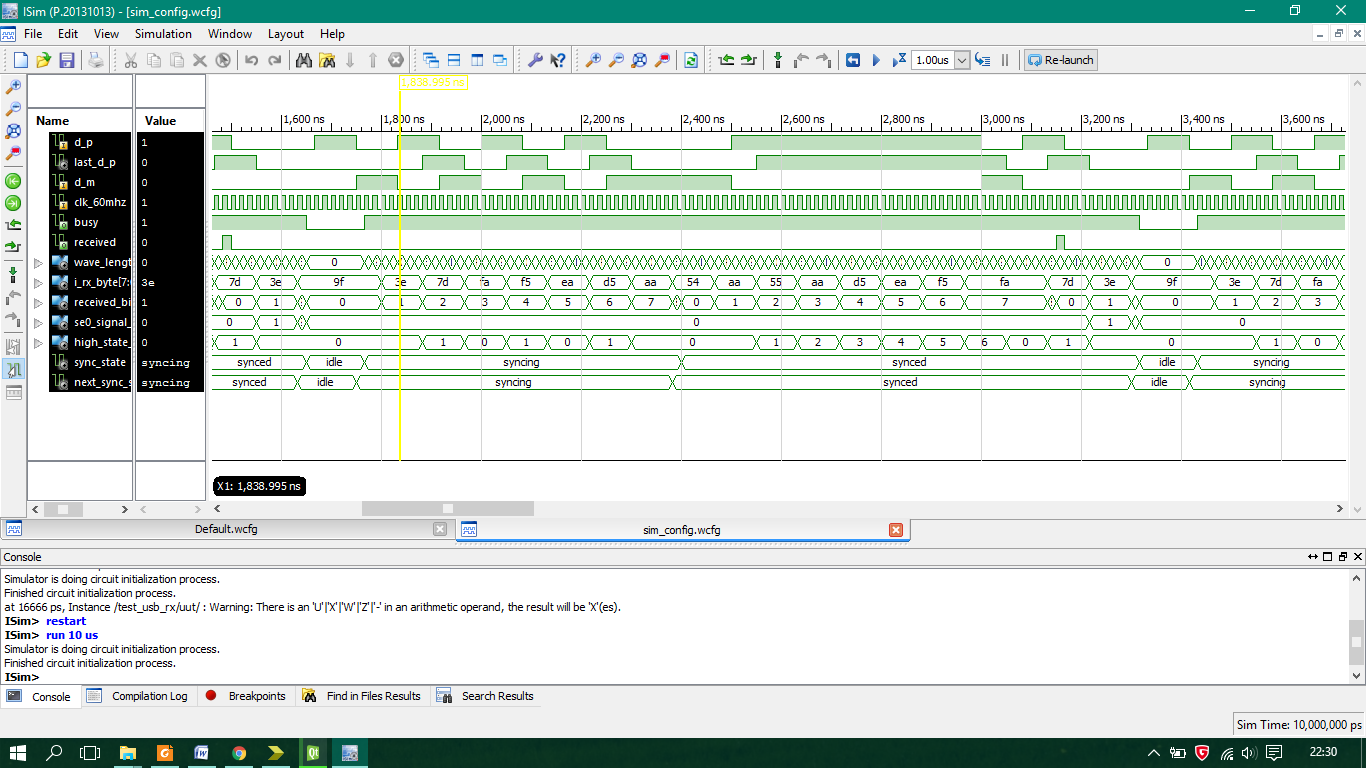












# 

# Implementacja

# Podsumowanie

# Bibliografia

1. Universal Serial Bus Specification (1.1) [Dostęp 01.05.2016]  
   <http://esd.cs.ucr.edu/webres/usb11.pdf>