IT-АКАДЕМИЯ ТУСУР

Логические схемы

Проектирование цифровой техники с применением ПЛИС и аппаратного языка разработки System Verilog

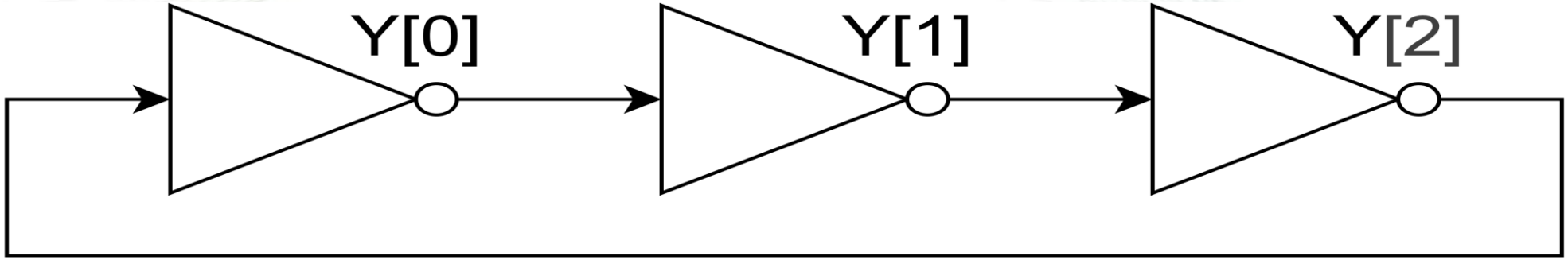
Максим Викторович Кулешов
Ведущий инженер-электроник ООО «ЛЭМЗ-Т»

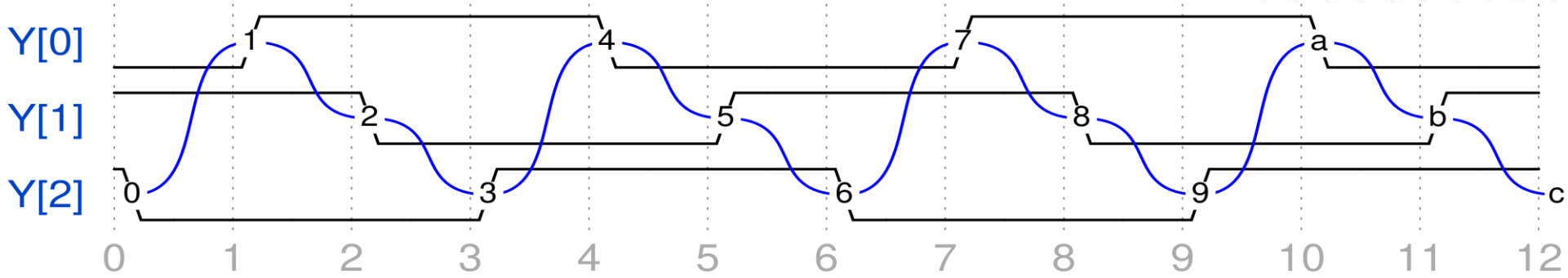
Рекомендуемые источники

IT-АКАДЕМИЯ ТУСУР

1. Харрис Дэвид М., Харрис Сара Л. Цифровая схемотехника и архитектура компьютера.
2. Бруно Ф., Программирование FPGA для начинающих
3. Соловьев В. В. Архитектуры ПЛИС фирмы Xilinx.
4. adaptivesupport.amd.com:
   - XST User Guide (UG687),
   - Vivado Design Suite User Guide: Synthesis (UG901)

Кольцо из трёх инверторов или Как собрать кольцевой генератор





Временные диаграммы кольцевого генератора

Симуляция кольцевого генератора в Vivado

```
1  `timescale 1ns / 1ps
2  // A ring oscillator is a loop of cascaded inverters
3  // whose feedback causes the signal to continuously toggle,
4  // producing a periodic oscillation.
5  module ring_osc #(
6      int N = 3 // number of stages (inverters)
7  );
8
9  (* dont_touch = "true" *) logic [N-1:0] Y;
10
11 // I. Simulation behavioral model
12 `ifdef XILINX_SIMULATOR
13     initial begin: p_sim
14         // Initialize in alternating pattern (even = 0, odd = 1)
15         for (int i = 0; i < N; i++)
16             Y[i] = i % 2;
17         // Simulate post-power-up behavior in an infinite loop
18         forever
19             for (int i = 0; i < N; i++)
20                 #1 Y[i] = (i == 0) ? !Y[N-1] : !Y[i-1];
21     end: p_sim
22
23 // II. Actual pseudo-synthesizable ring oscillator
24 `else
25     for (genvar i = 0; i < N; i++)
26         assign Y[i] = (i == 0) ? !Y[N-1] : !Y[i-1];
27 `endif
28
29 endmodule: ring_osc
```

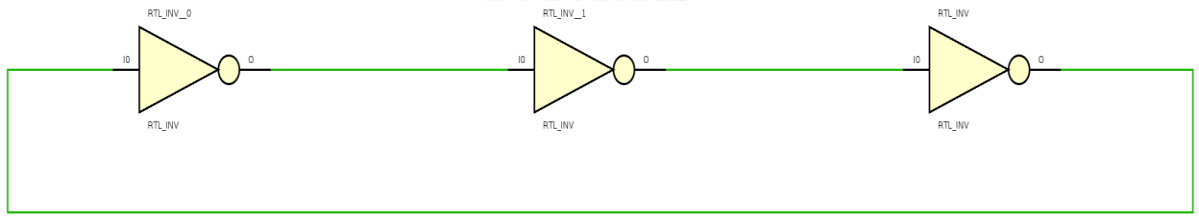
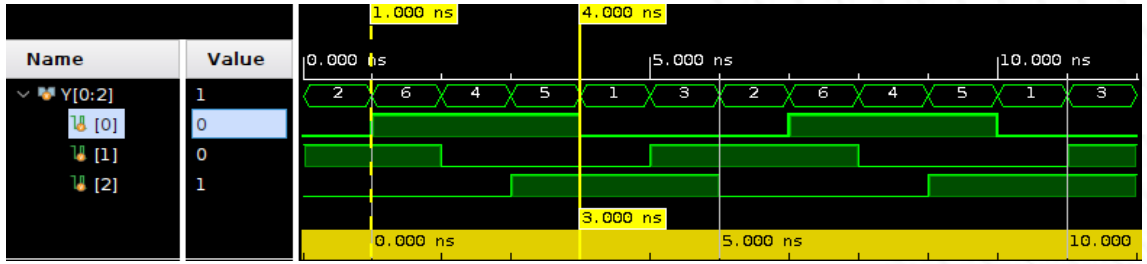
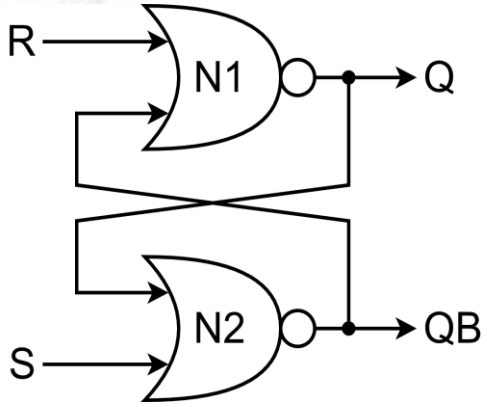


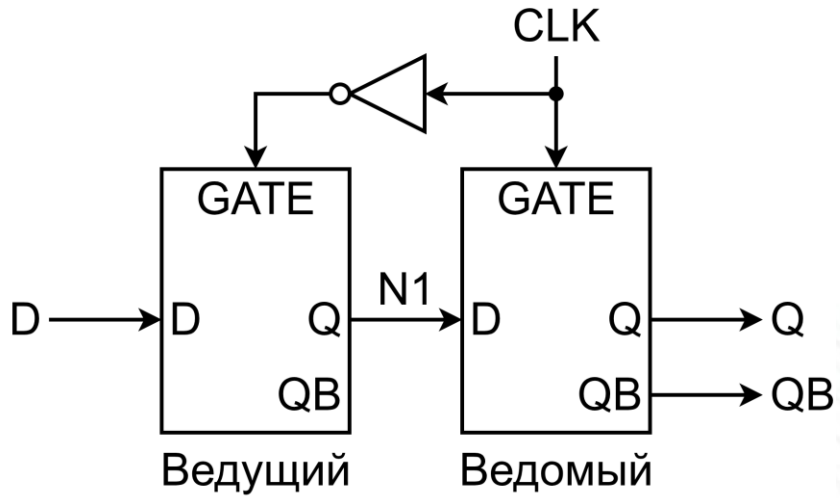
Схема модуля после элаборации (вкладка «Elaboration»)

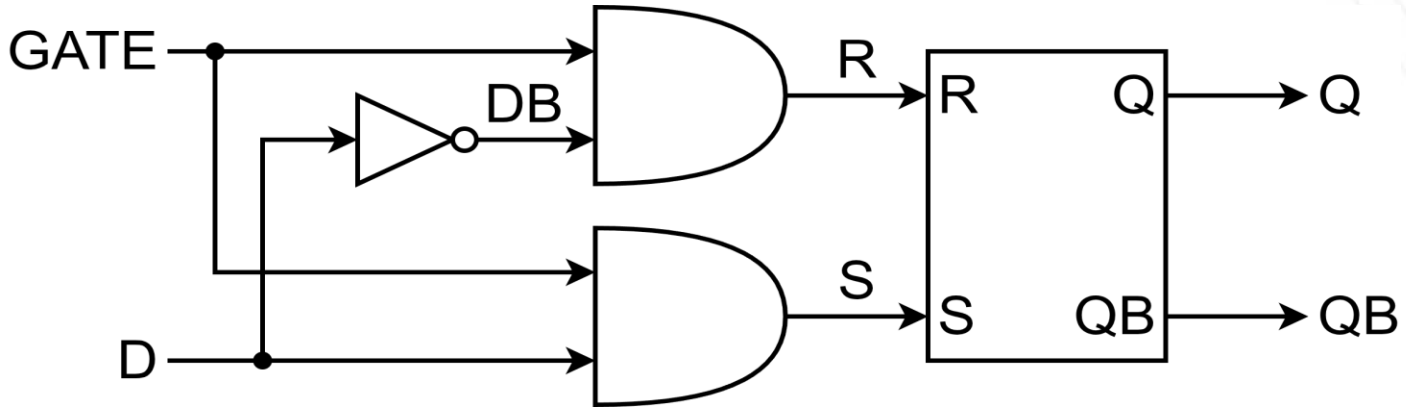


Результат симуляции в Vivado Sim

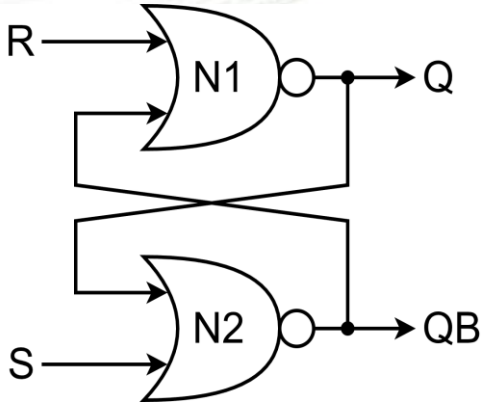
Защёлки и триггеры: где какой элемент?



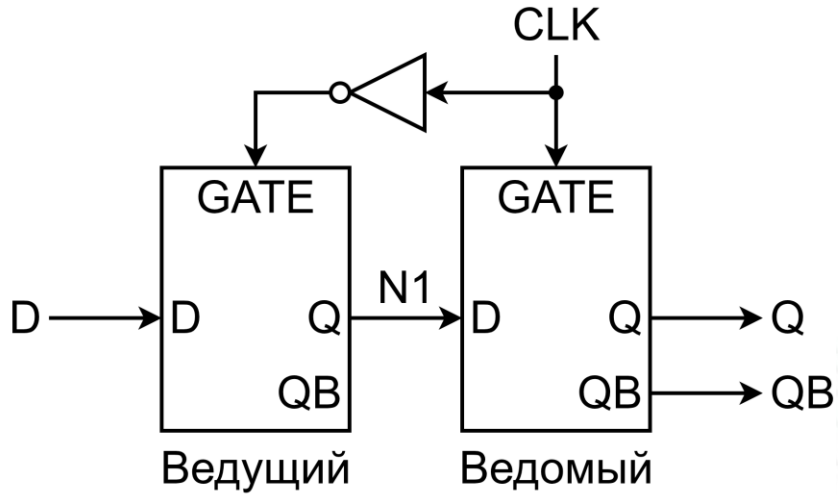




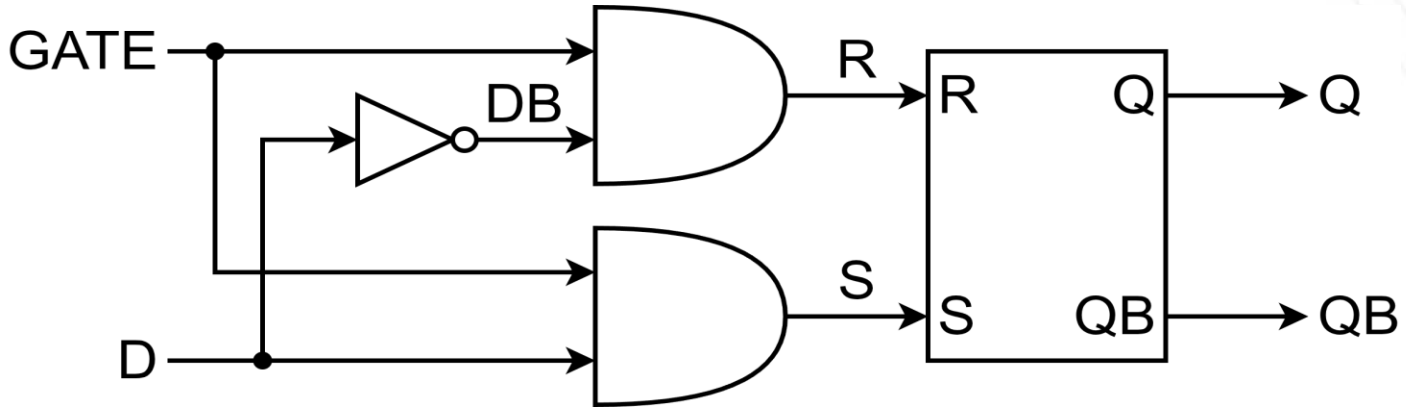
Защёлки и триггеры



RS-триггер



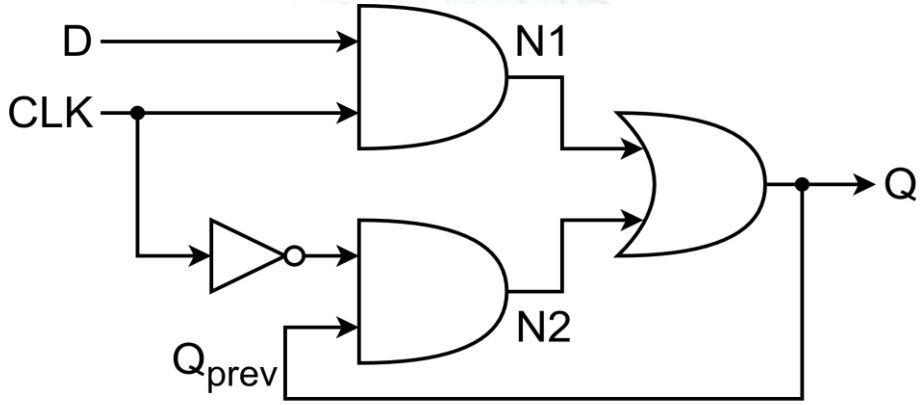
D-триггер

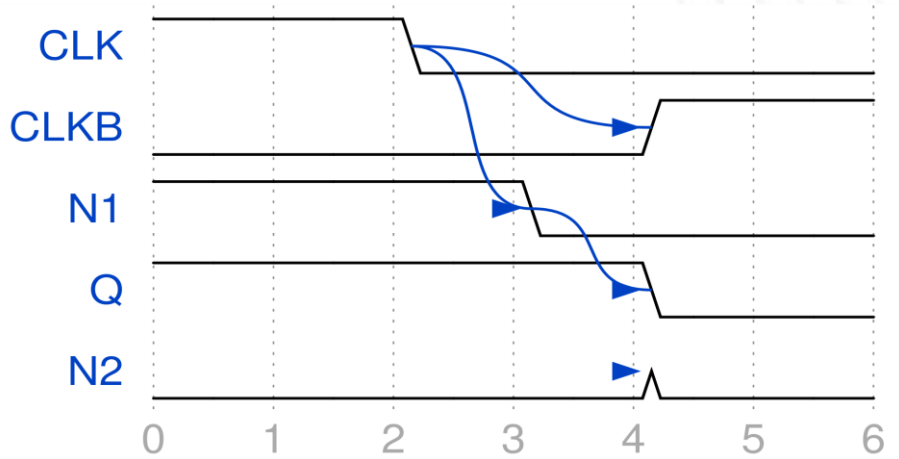


D-защёлка

Пример асинхронной защёлки

CLK	D	Q_{prev}	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1





Временные диаграммы защёлки, иллюстрирующие гонки

Разновидности логических схем

IT-АКАДЕМИЯ ТУСУР

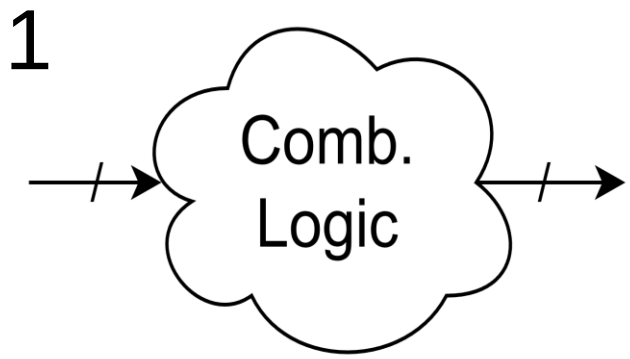
Комбинационные схемы	Последовательные схемы	Синхронные схемы
Выход зависит только от текущих входных сигналов, без памяти о прошлых состояниях	Выход зависит как от текущих входов, так и от предыдущих состояний (есть память)	Выход изменяется только по фронту тактовой частоты

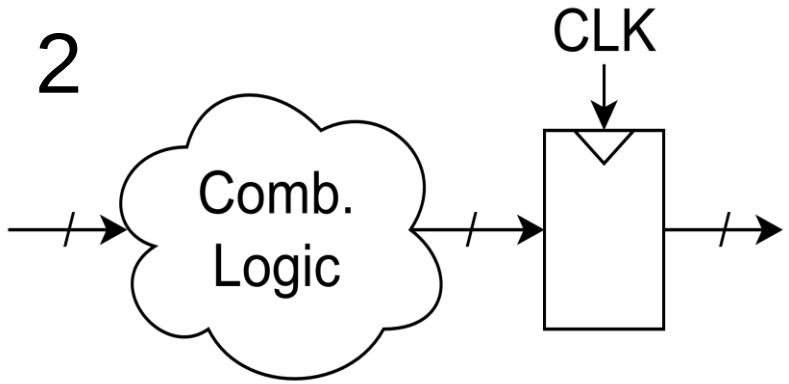
Синхронные последовательностные схемы

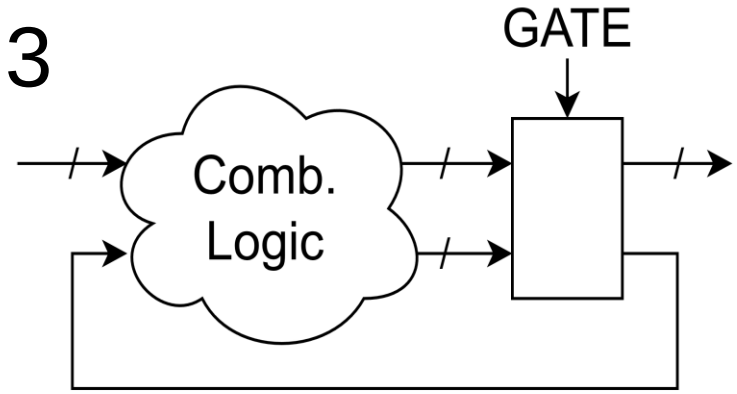
Схема является синхронной последовательностной (строгое определение), если

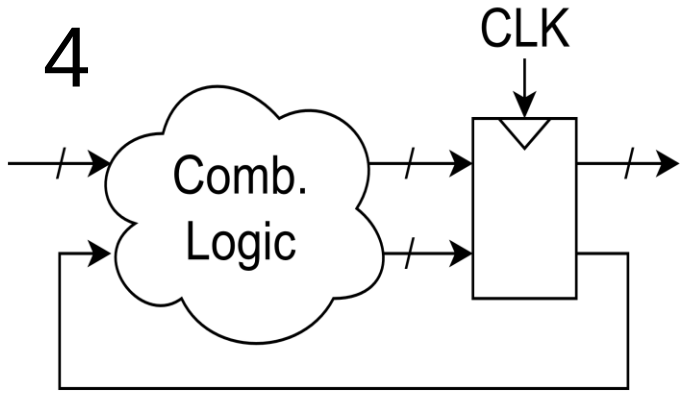
- каждый элемент схемы является либо регистром, либо комбинационной схемой;
- как минимум один элемент схемы является регистром;
- все регистры тактируются единственным тактовым сигналом;
- в каждом циклическом пути присутствует как минимум один регистр.

Примеры схем 1-4: вопросы



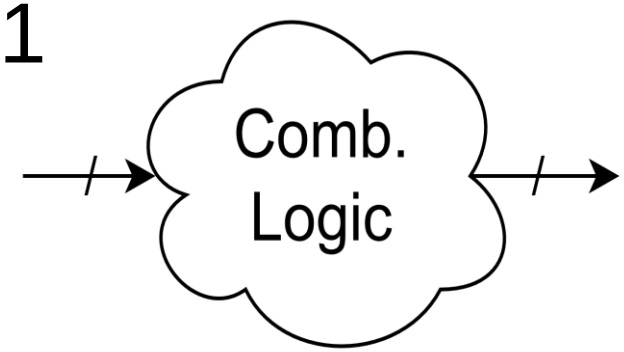






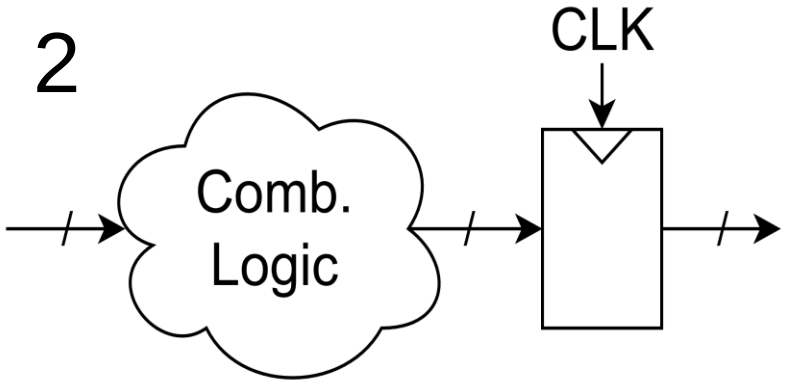
Примеры схем 1-4: ответы

1



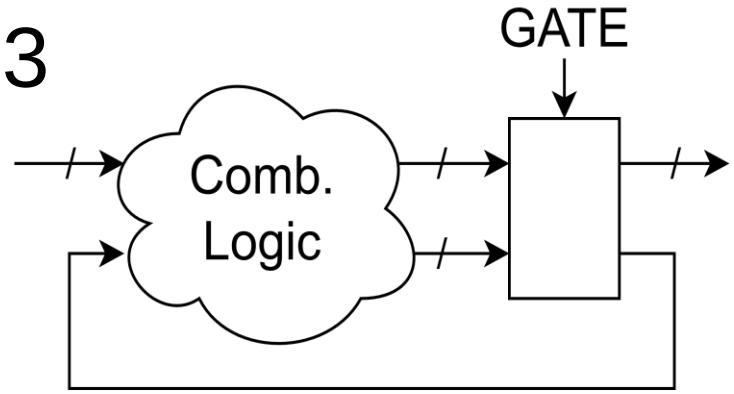
Комбинационная

2



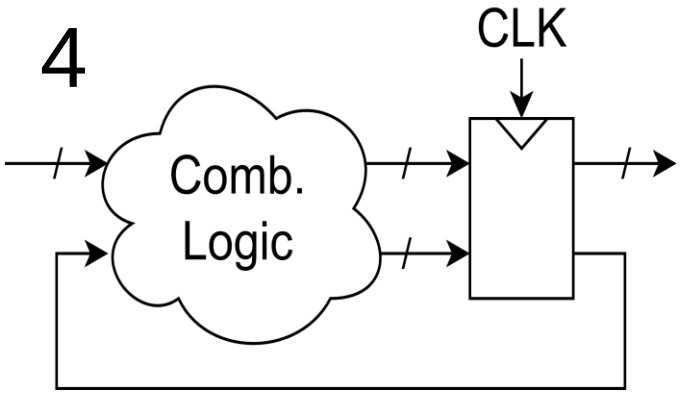
Последовательностная без обратной связи

3



Комбинационная с защёлкой, так что, строго говоря, ни комбинационная, ни последовательностная

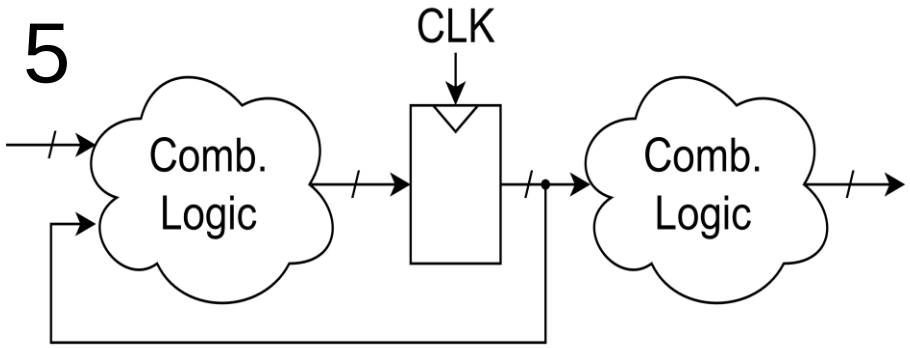
4



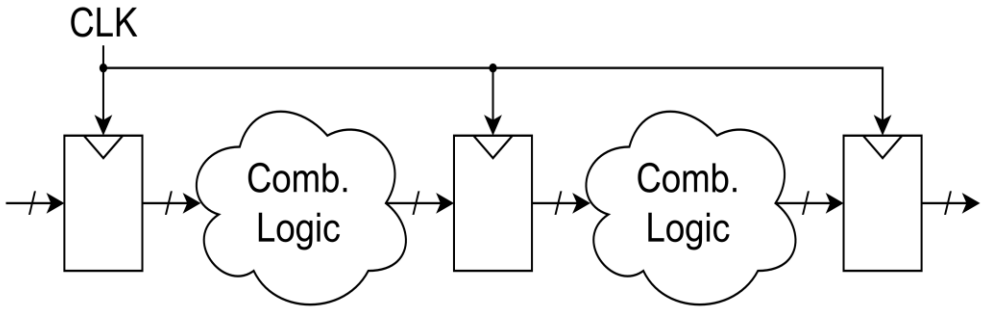
Синхронная последовательностная с обратной связью

Примеры схем 5-8: вопросы

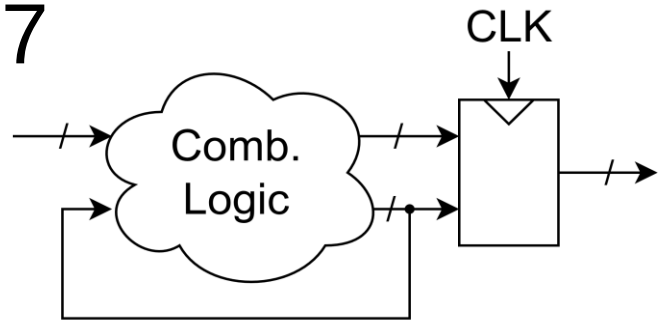
5



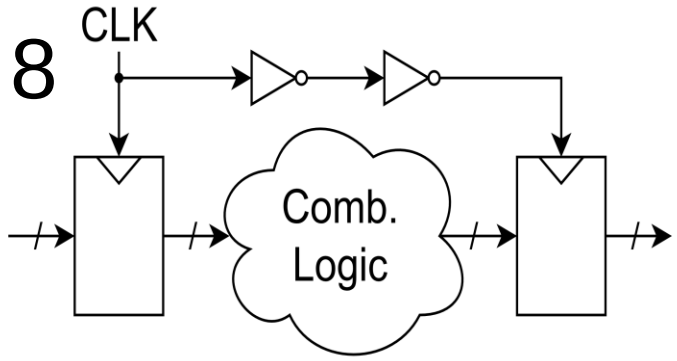
6



7

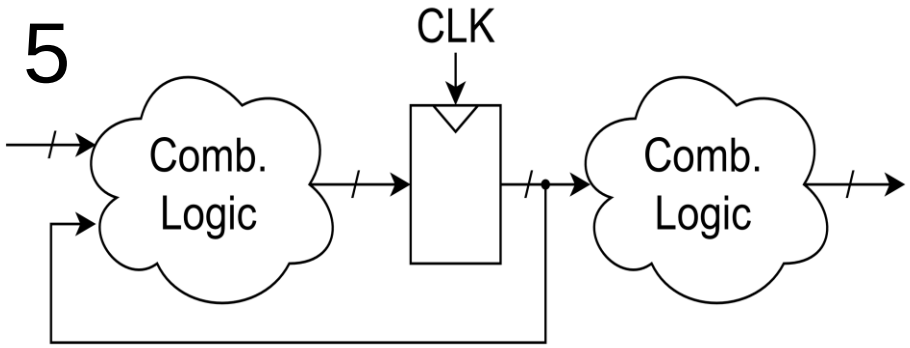


8



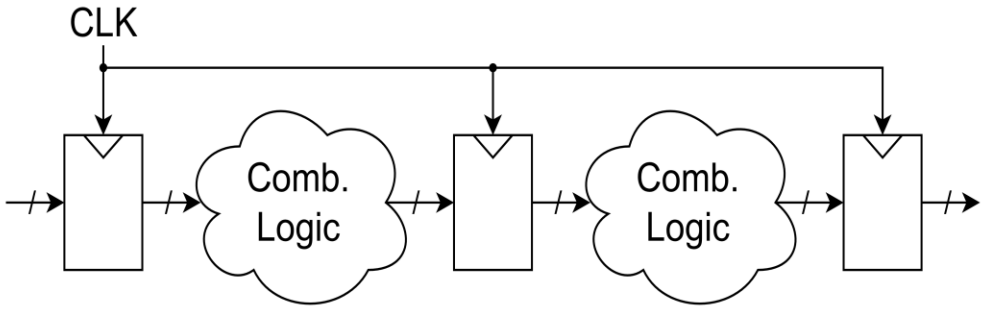
Примеры схем 5-8: ответы

5



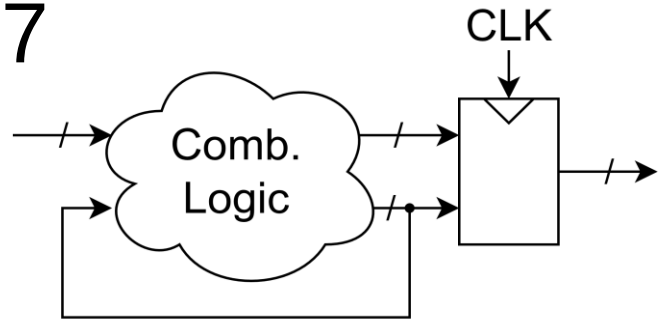
Синхронная последовательностная с обратной связью

6



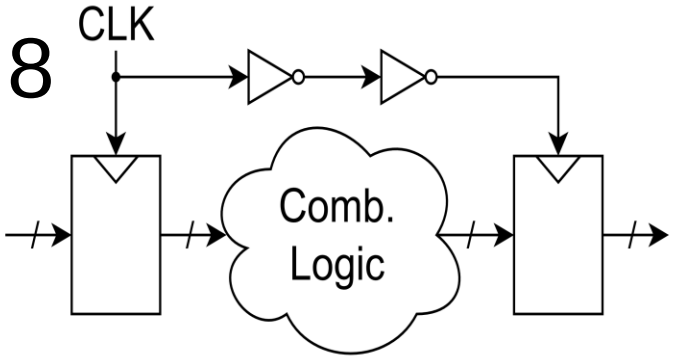
Синхронная последовательностная (конвейер)

7



Некорректная (комбинационная с обратной связью)

8



Синхронная с двумя тактовыми доменами (различаются фазы тактовых частот)

Синхронные или асинхронные схемы?

IT-АКАДЕМИЯ ТУСУР

В этом курсе рассматриваются преимущественно синхронные схемы, так как они применяются в большинстве цифровых систем:

- хорошо поддерживаются инструментами проектирования,
- предсказуемое стабильное поведение,
- простые верификация и тестирование.

Асинхронные как правило применяются в специализированных случаях или специализированных системах:

- при пересечении тактовых доменов (CDC),
- высокоскоростных блоках с переменной задержкой (например, примитив IDELAY в ПЛИС Xilinx)
- в низкопотребляющих устройствах с продолжительными периодами непрерывной работы (мониторы, датчики).

Констрейнты (временные ограничения)

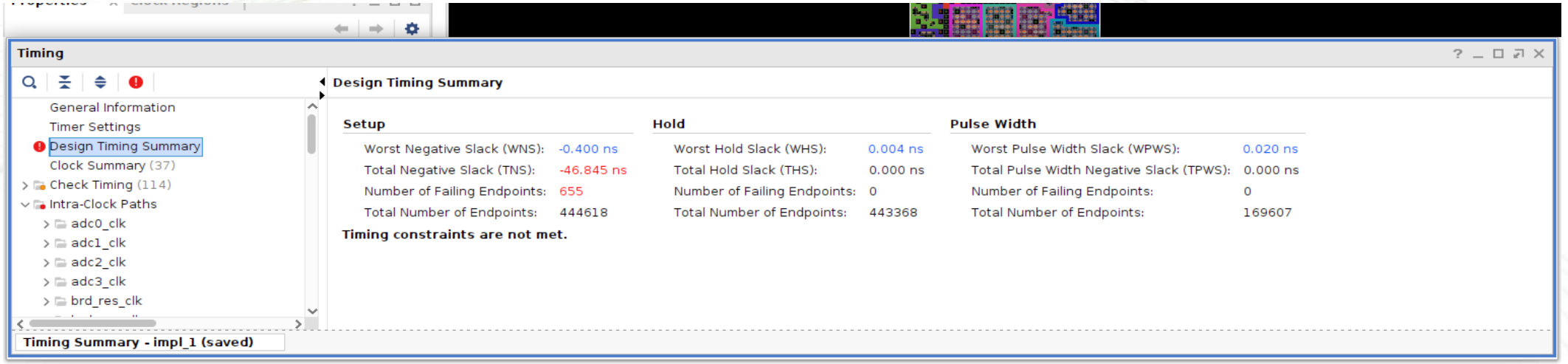
IT-АКАДЕМИЯ ТУСУР

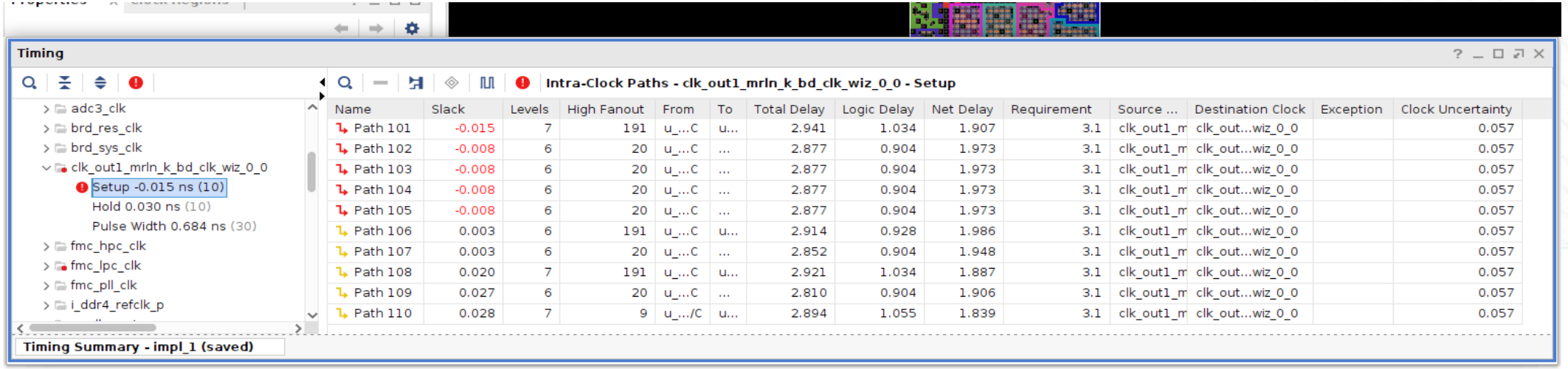
1. Временной анализатор – Timing Analyser.
2. Файлы ограничений (UCF, XDC).

Пример из реального проекта:

```
create_clock -period 2.000 -name sys_clk -waveform {0.000 1.000} [get_ports i_sys_clk]
```

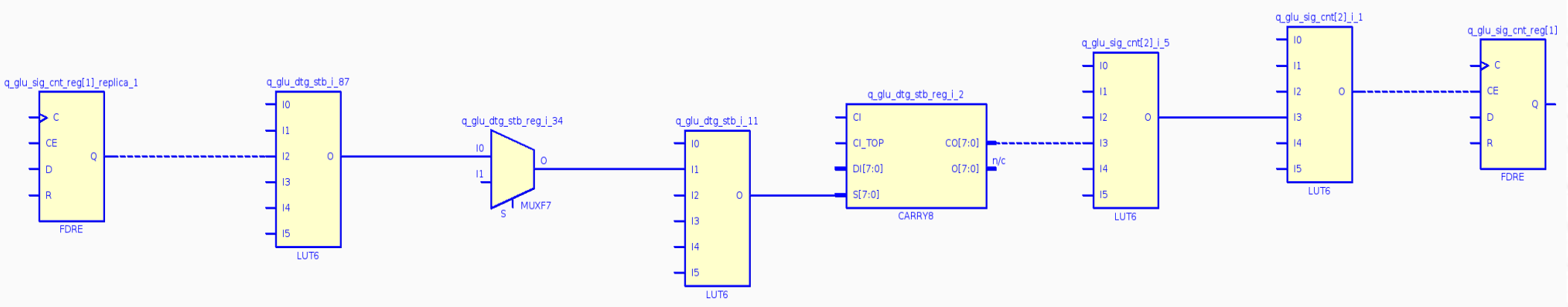
Пример временного анализа



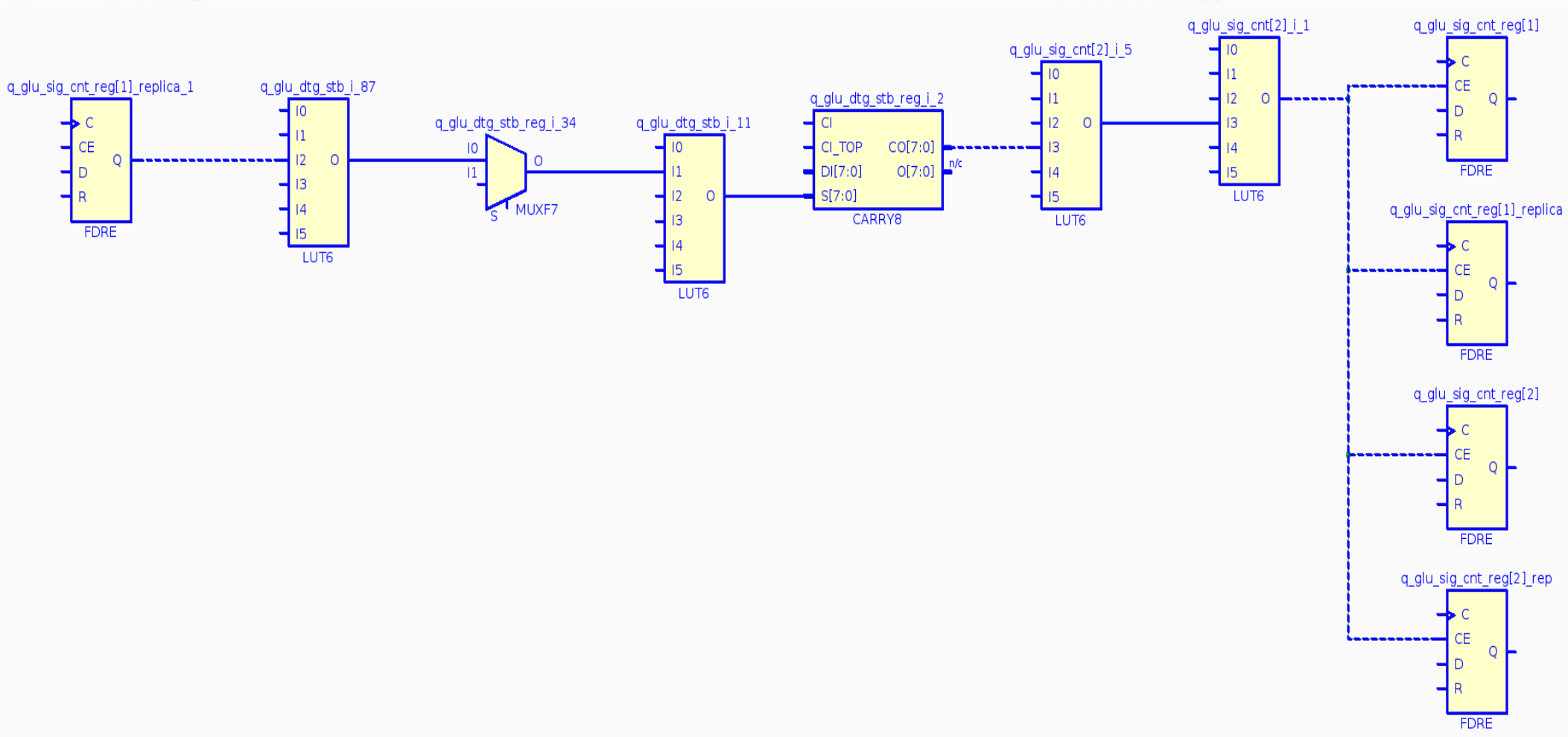


Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source ...	Destination Clock	Exception	Clock Uncertainty
Path 101	-0.015	7	191	u_...C	u...	2.941	1.034	1.907	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 102	-0.008	6	20	u_...C	...	2.877	0.904	1.973	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 103	-0.008	6	20	u_...C	...	2.877	0.904	1.973	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 104	-0.008	6	20	u_...C	...	2.877	0.904	1.973	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 105	-0.008	6	20	u_...C	...	2.877	0.904	1.973	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 106	0.003	6	191	u_...C	u...	2.914	0.928	1.986	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 107	0.003	6	20	u_...C	...	2.852	0.904	1.948	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 108	0.020	7	191	u_...C	u...	2.921	1.034	1.887	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 109	0.027	6	20	u_...C	...	2.810	0.904	1.906	3.1	clk_out1_m	clk_out...wiz_0_0		0.057
Path 110	0.028	7	9	u_.../C	u...	2.894	1.055	1.839	3.1	clk_out1_m	clk_out...wiz_0_0		0.057

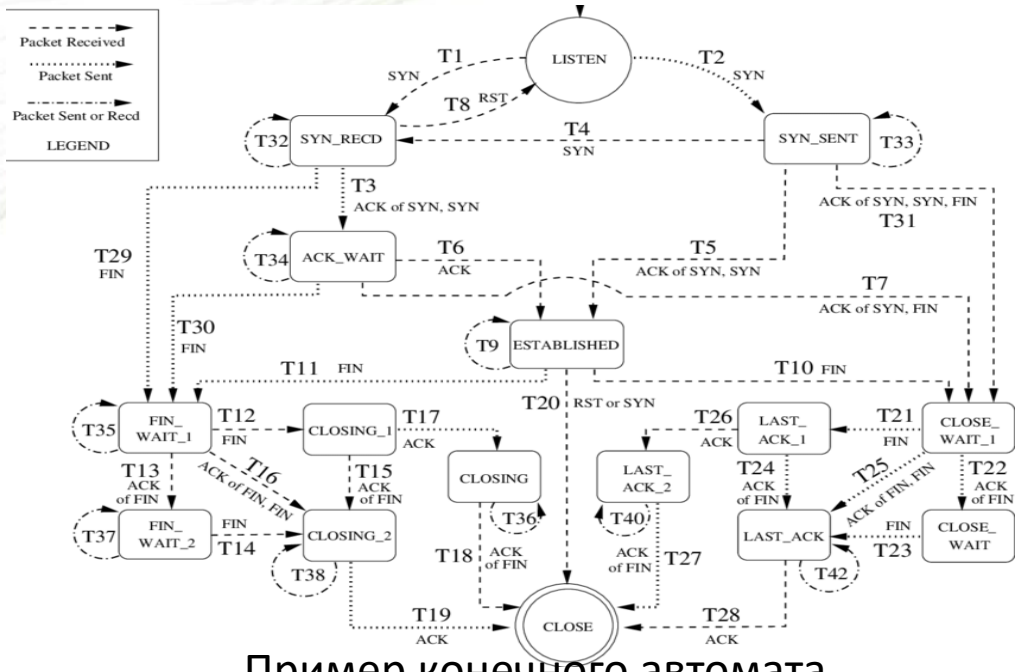
Логические уровни (logic levels)



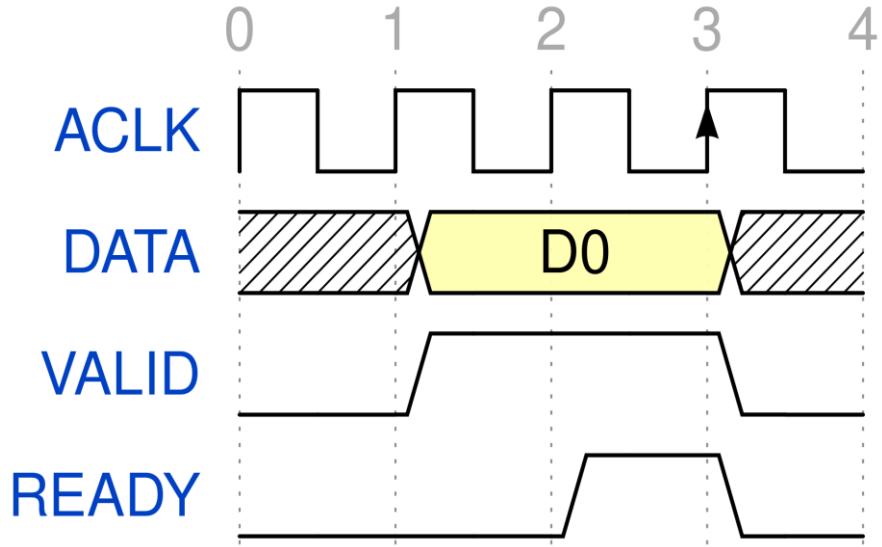
Фанаут (fanout, ветвление)



Рукопожатие (handshake)

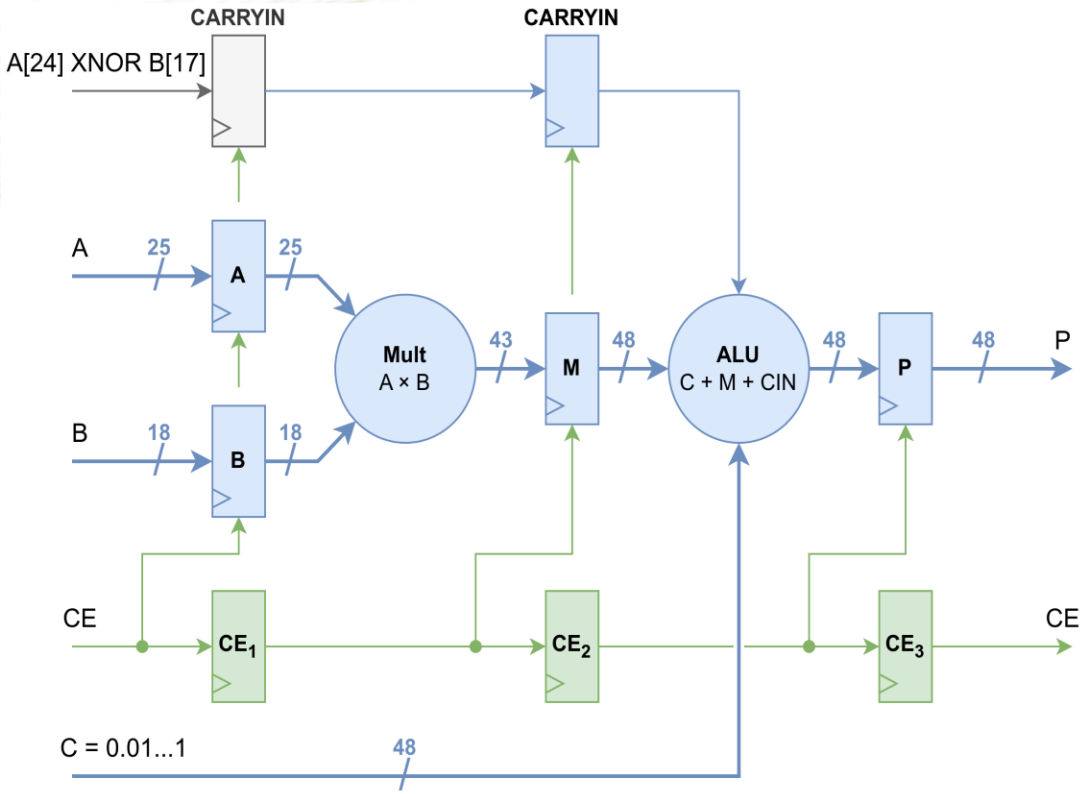


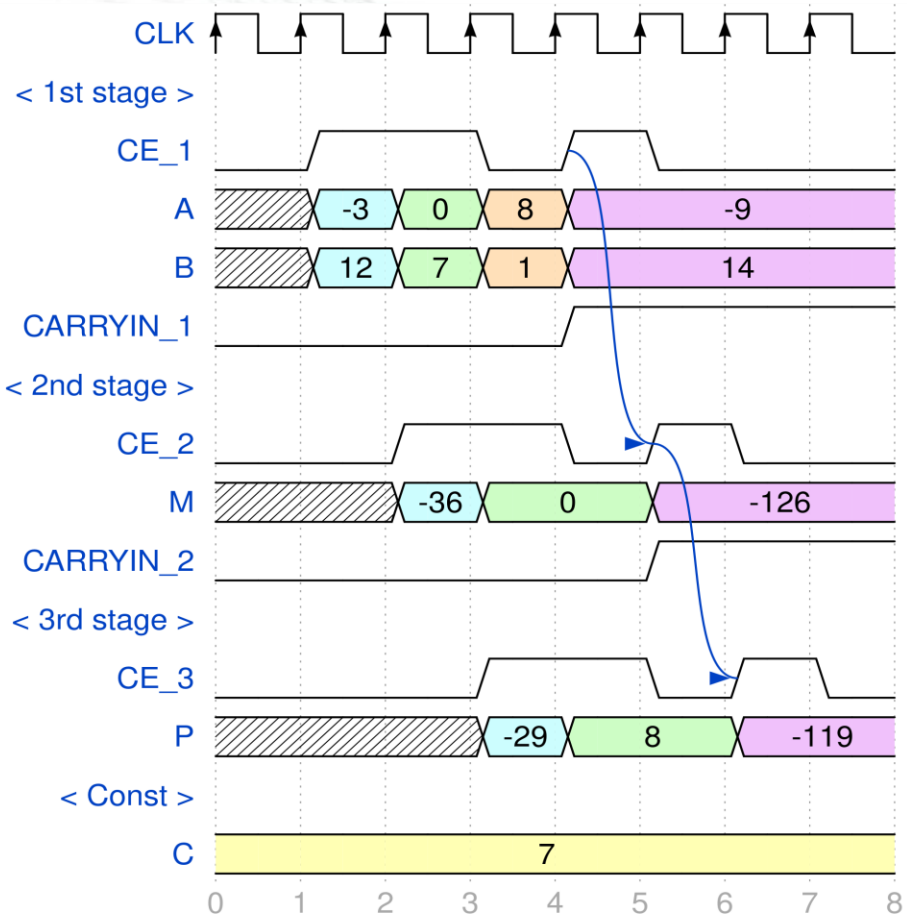
Пример конечного автомата рукопожатия для Ethernet протокола



Пример рукопожатия в AXI4 интерфейсе

Конвейер на примере умножителя с усечением с округлением на DSP48





Временные диаграммы умножителя

IT-АКАДЕМИЯ ТУСУР

Проектирование цифровой техники с применением ПЛИС и аппаратного языка разработки System Verilog