

Навигация по тесту

- 1

2

3

4

5

6

Показать одну страницу

Закончить обзор

Тест начат	суббота, 27 декабря 2025, 14:12
Состояние	Завершены
Завершен	суббота, 27 декабря 2025, 14:17
Прошло времени	4 мин. 32 сек.
Оценка	6,00 из 6,00 (100%)

Вопрос 1

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Где расположена «запретная зона» (forbidden zone) приемника?

1. Между VIL и VIH
2. Между VOL и VON
3. Между VIH и VCC
4. Между 0 В и VIL



Ваш ответ верный.

Вопрос 2

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Почему в цифровых схемах нужны допуски по напряжениям для логического «0» и «1»?

1. Потому что переключения не мгновенные из-за паразитных емкостей/индуктивностей (реактивности)
2. Потому что логические уровни определяются только программно
3. Потому что питание всегда строго фиксировано и идеальное
4. Потому что запрещено использовать пороги VIL/VIH



Ваш ответ верный.

Вопрос 3

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Что наиболее точно описывает принцип работы LVDS?

1. Передача по одной линии с амплитудой около 5 В
2. Передача током через дифференциальную пару; на приемнике (терминатор 100–120 Ом) формируется около 350 мВ, приемник определяет полярность
3. Передача через открытую коллекторную схему с подтяжкой
4. Передача напряжением 3.3 В без согласования линии



Ваш ответ верный.

Вопрос 4

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Выберите верное соответствие типов I/O банков FPGA Xilinx 7-series

1. HR: до 1.8 В, HP: до 3.3 В
2. HR и HP не поддерживают LVDS
3. HP предназначены только для устаревших интерфейсов
4. HR: универсальные, широкий диапазон, VCCO до 3.3 В; HP: высокоскоростные, VCCO до 1.8 В



Ваш ответ верный.

Вопрос 5

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Какой параметр сильнее всего влияет на динамическую мощность ПЛИС?

1. Частота f
2. Напряжение питания V
3. Емкость нагрузки C
4. Коэффициент активности α



Ваш ответ верный.

Вопрос 6

Верно  
Баллов: 1,00 из 1,00  
Отметить вопрос

Что такое время предустановки (setup time) триггера?

1. Минимальное время до переднего фронта такта, когда вход D должен быть стабилен
2. Время, за которое сигнал с тактового входа доходит до выхода Q
3. Минимальное время, в течение которого выход должен быть стабилен после тактового фронта
4. Время, за которое сигнал распространяется через комбинационную логику



Ваш ответ верный.

Закончить обзор