



ЗНАКОМСТВО С САПР. СОЗДАЕМ СВОЙ ПРОЕКТ

Проектирование цифровой
техники с применением ПЛИС
и аппаратного языка разработки
System Verilog

Н. Г. Зайцев

Кандидат технических наук, преподаватель кафедры КИПР ТУСУР,
начальник сектора цифровой электроники ООО «ЛЭМЗ-Т»

М. В. Кулешов

Ведущий инженер-электроник ООО «ЛЭМЗ-Т»

Я. В. Непомнящих

Ведущий инженер-программист ООО «ЛЭМЗ-Т»

Знакомство с САПР. Создаем свой проект



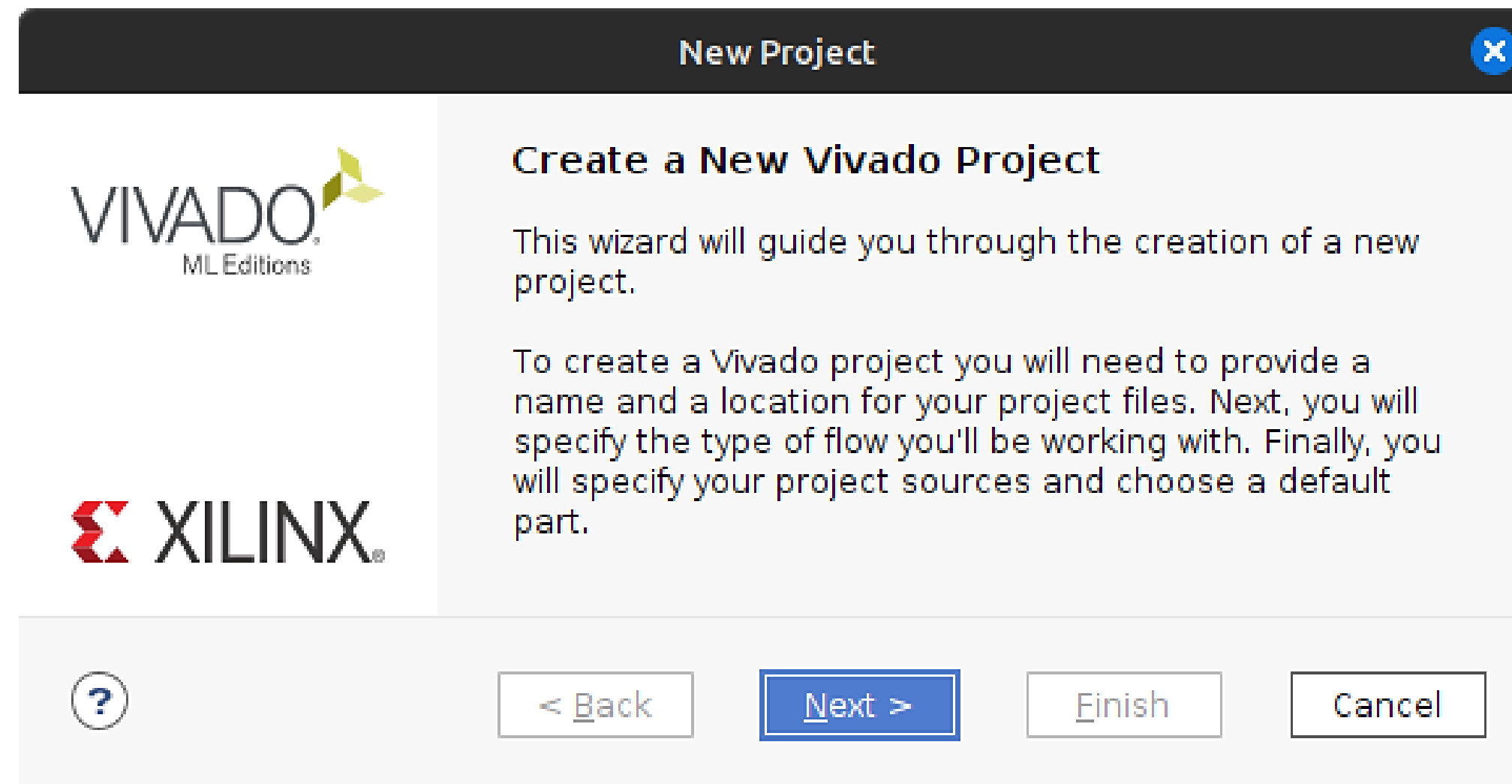
Quick Start

Create Project >

Open Project >

Open Example Project >

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



New Project

Project Name

Enter a name for your project and specify a directory where the project data files will be stored.

Project name: project_2

Project location: /home/neya/tmp

☒ Create project subdirectory

Project will be created at: /home/neya/tmp/project_2

?

< Back

Next >

Finish

Cancel

Знакомство с САПР. Создаем свой проект



New Project

Project Type

Specify the type of project to create.

☒ RTL Project

You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.

☐ Do not specify sources at this time

☐ Project is an extensible Vitis platform

☐ Post-synthesis Project

You will be able to add sources, view device resources, run design analysis, planning and implementation.

☐ Do not specify sources at this time

☐ I/O Planning Project

Do not specify design sources. You will be able to view part/package resources.

☐ Imported Project

Create a Vivado project from a Synplify Project File.

☐ Example Project

Create a new Vivado project from a predefined template.

?

< Back

Next >

Finish

Cancel

Знакомство с САПР. Создаем свой проект



New Project

Add Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those files, to add to your project. Create a new source file on disk and add it to your project. You can also add

+ | - | ↑ | ↓

Use Add Files, Add Directories or Create File buttons below

Add Files

Add Directories

Create File

☐ Scan and add RTL include files into project

☐ Copy sources into project

☒ Add sources from subdirectories

Target language: Verilog

Simulator language: Mixed

?

< Back

Next >

Finish

Cancel

Знакомство с САПР. Создаем свой проект



New Project

Add Constraints (optional)

Specify or create constraint files for physical and timing constraints.

Use Add Files or Create File buttons below

Add Files

Create File

☐ Copy constraints files into project

?

< Back

Next >

Finish

Cancel

Знакомство с САПР. Создаем свой проект



New Project

Add Constraints (optional)

Specify or create constraint files for physical and timing constraints.

Constraint File	Location
Zybo-Z7-Master.xdc	/home/neya/work/tusur/academy/hw/zybo/xdc/digilent-xdc

Add Files

Create File

☐ Copy constraints files into project

?

< Back

Next >

Finish

Cancel

8

Знакомство с САПР. Создаем свой проект



New Project

Default Part

Choose a default Xilinx part or board for your project.

Parts | Boards

To fetch the latest available boards from git repository, click on 'Refresh' button. [Dismiss](#)

[Reset All Filters](#)

Vendor:

All

 Name:

All

 Board Rev:

Latest

Search:

Q

Display Name

Preview

Status

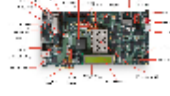
Vendor

File Version

Part

Artix-7 AC701 Evaluation Platform

Add Companion Card [Connections](#)



Installed

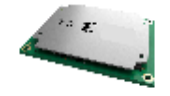
xilinx.com

1.4

xc7a200tfbg676

Kria K26C SOM

Add Companion Card [Connections](#)



Installed

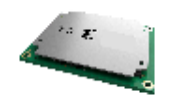
xilinx.com

1.4

Commercial tem

Kria K26I SOM

Add Companion Card [Connections](#)



Installed


xilinx.com

1.4

Industrial tempe

Kintex-7 KC705 Evaluation Platform

Add Companion Card [Connections](#)



Installed


xilinx.com

1.6

xc7k325tffg900-

Kintex-UltraScale KCU105 Evaluation Platform

Add Companion Card [Connections](#)



Installed

xilinx.com

1.7

xc7k325tffg900-

Refresh

?

< Back

Next >

Finish

Cancel

9

Знакомство с САПР. Создаем свой проект



New Project

Default Part

Choose a default Xilinx part or board for your project.

Parts | **Boards**

To fetch the latest available boards from git repository, click on 'Refresh' button. [Dismiss](#)

[Reset All Filters](#)

Vendor: Name: Board Rev:

Search: (3 matches)

Display Name	Preview	Status	Vendor	File Version	Part
Zybo Z7-10		Installed	digilentinc.com	1.2	xc7z010clg400-1
Zybo Z7-20		Installed	digilentinc.com	1.2	xc7z020clg400-1
Zybo		Installed	digilentinc.com	2.0	xc7z010clg400-1

Refresh

< Back

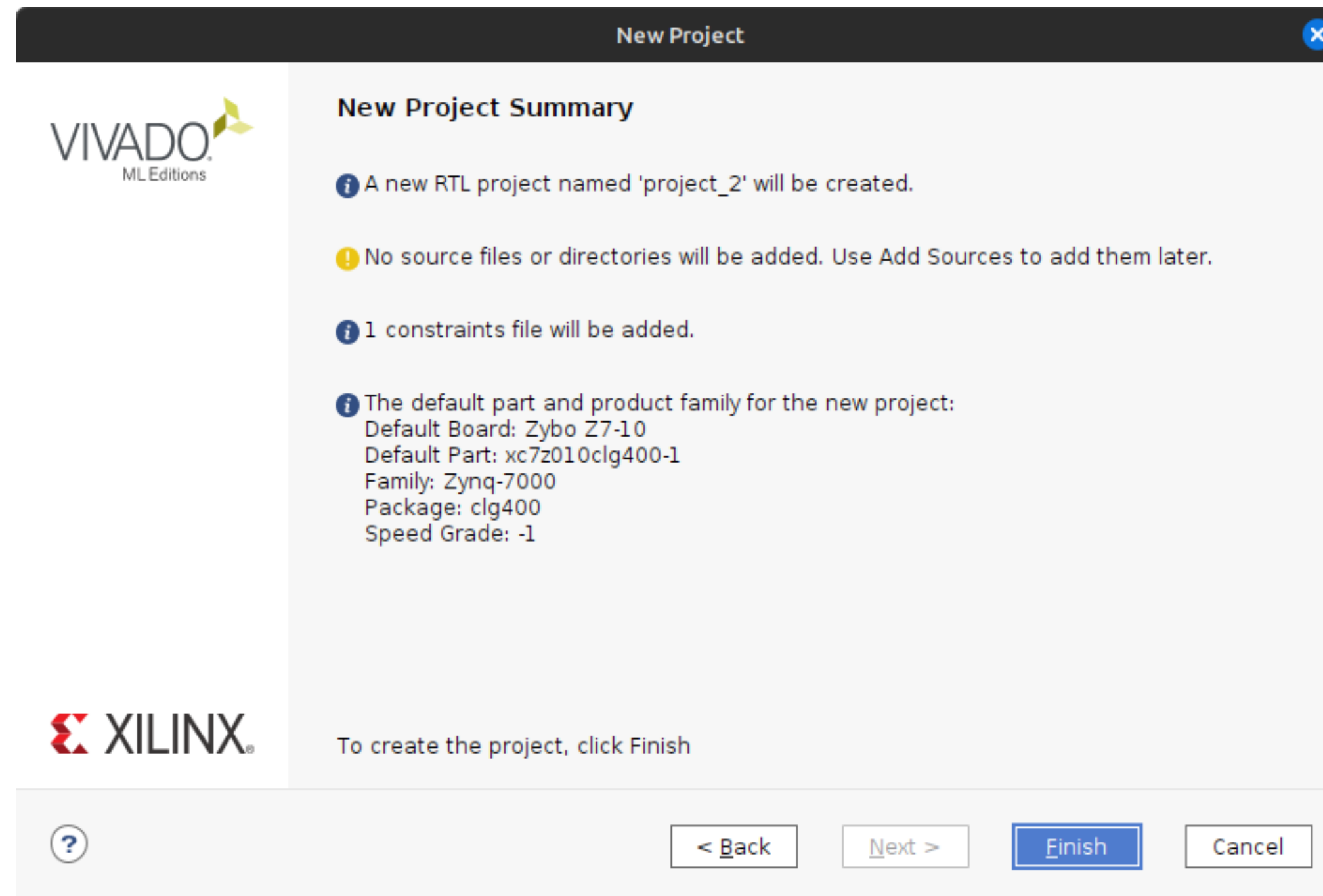
Next >

Finish

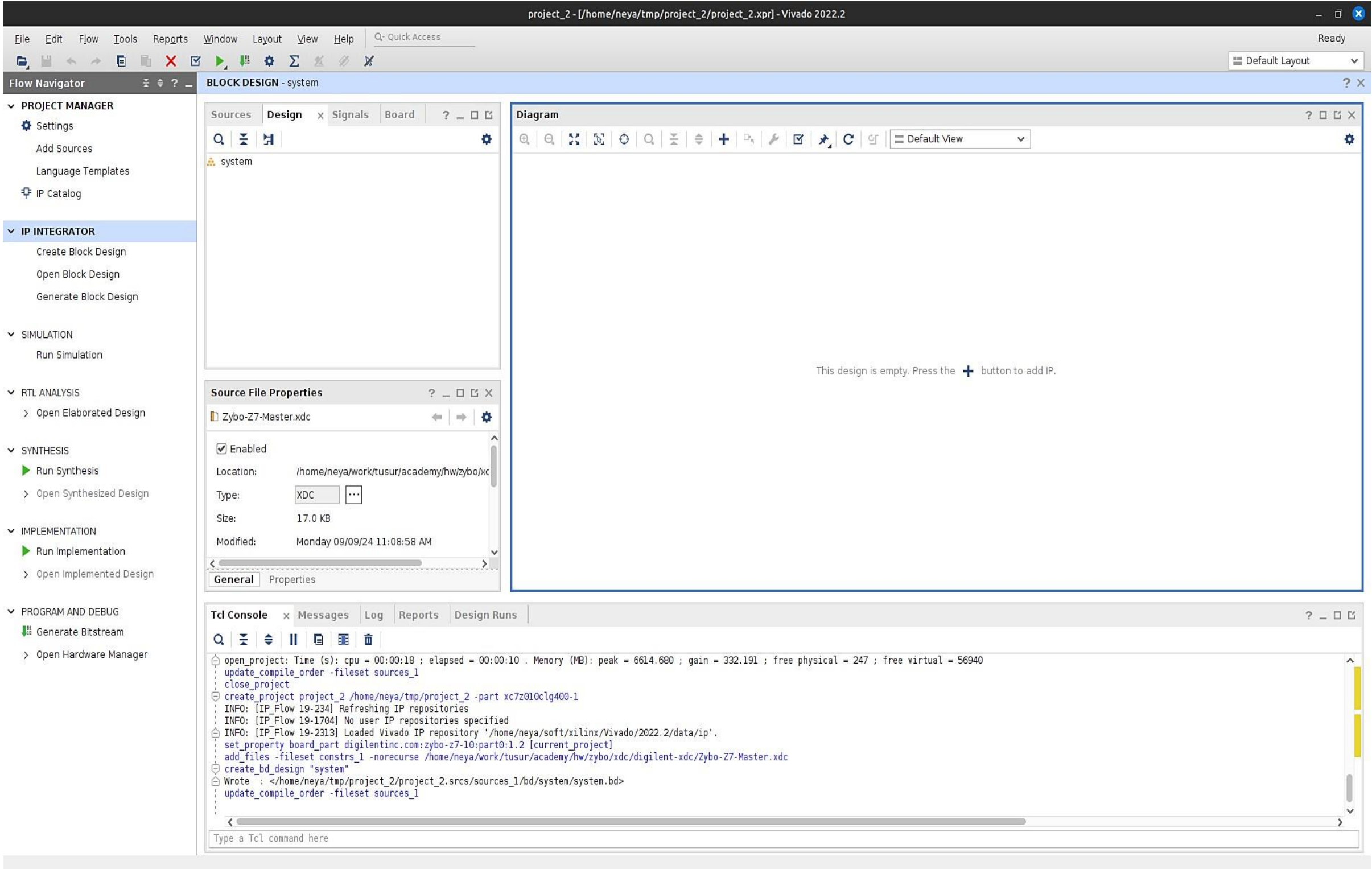
Cancel

10

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект

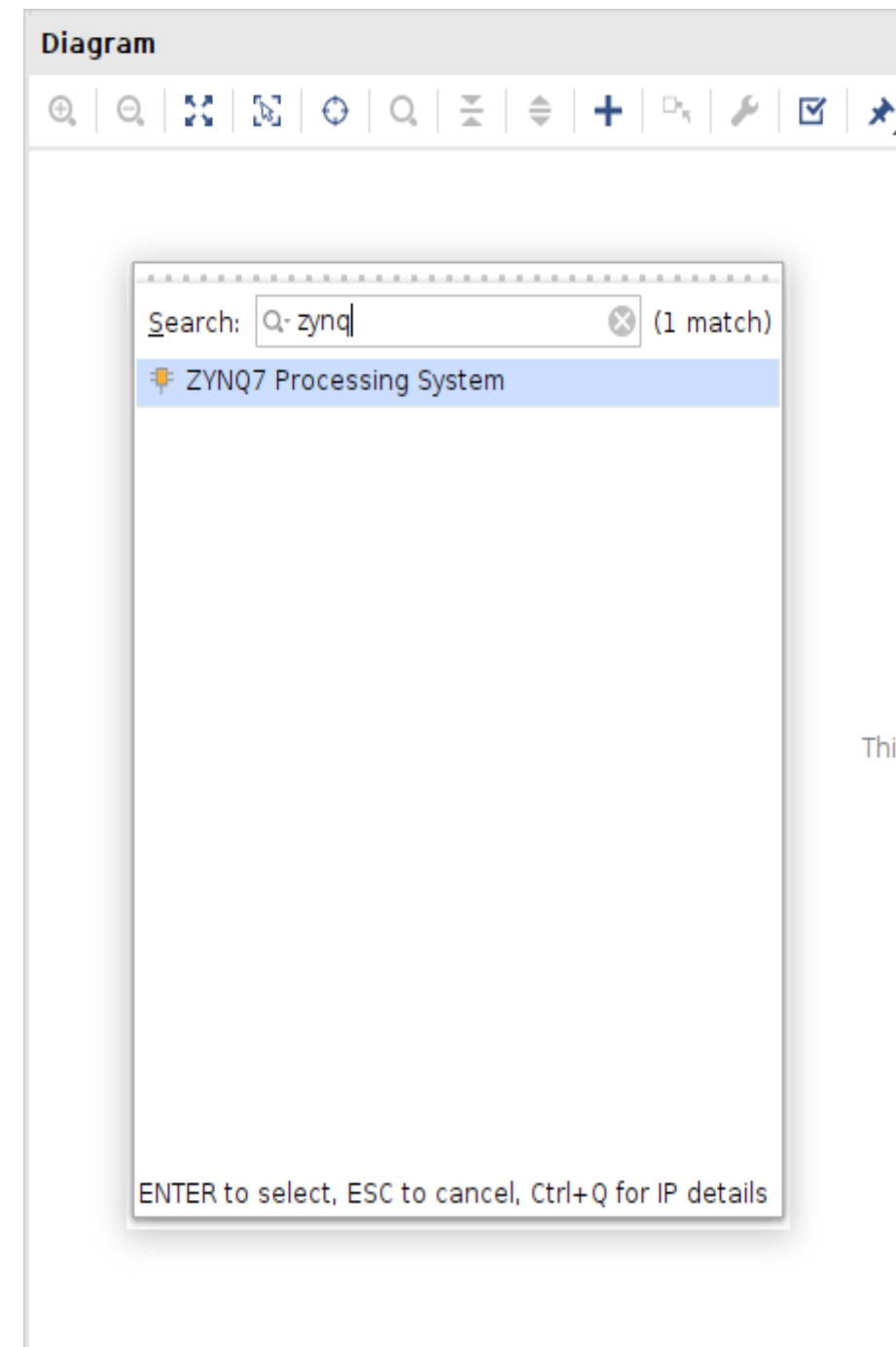


```
Zybo-Z7-Master.xdc
/home/neya/work/tusur/academy/hw/zybo/xdc/digilent-xdc/Zybo-Z7-Master.xdc

1  ## This file is a general .xdc for the Zybo Z7 Rev. B
2  ## It is compatible with the Zybo Z7-20 and Zybo Z7-10
3  ## To use it in a project:
4  ## - uncomment the lines corresponding to used pins
5  ## - rename the used ports (in each line, after get_ports) according to the top level signal names in the project
6
7  ##Clock signal
8  #set_property -dict { PACKAGE_PIN K17 IOSTANDARD LVCMOS33 } [get_ports { sysclk }]; #IO_L12P_T1_MRCC_35 Sch=sysclk
9  #create_clock -add -name sys_clk_pin -period 8.00 -waveform {0 4} [get_ports { sysclk }];
10
11
12  ##Switches
13  #set_property -dict { PACKAGE_PIN G15 IOSTANDARD LVCMOS33 } [get_ports { sw[0] }]; #IO_L19N_T3_VREF_35 Sch=sw[0]
14  #set_property -dict { PACKAGE_PIN P15 IOSTANDARD LVCMOS33 } [get_ports { sw[1] }]; #IO_L24P_T3_34 Sch=sw[1]
15  #set_property -dict { PACKAGE_PIN W13 IOSTANDARD LVCMOS33 } [get_ports { sw[2] }]; #IO_L4N_T0_34 Sch=sw[2]
16  #set_property -dict { PACKAGE_PIN T16 IOSTANDARD LVCMOS33 } [get_ports { sw[3] }]; #IO_L9P_T1_DQS_34 Sch=sw[3]
17
18
19  #Buttons
20  set_property -dict { PACKAGE_PIN K18 IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[0] }]; #IO_L12N_T1_MRCC_35 Sch=btn[0]
21  set_property -dict { PACKAGE_PIN P16 IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[1] }]; #IO_L24N_T3_34 Sch=btn[1]
22  set_property -dict { PACKAGE_PIN K19 IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[2] }]; #IO_L10P_T1_AD11P_35 Sch=btn[2]
23  set_property -dict { PACKAGE_PIN Y16 IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[3] }]; #IO_L7P_T1_34 Sch=btn[3]
24
25
26  #LEDs
27  set_property -dict { PACKAGE_PIN M14 IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[0] }]; #IO_L23P_T3_35 Sch=led[0]
28  set_property -dict { PACKAGE_PIN M15 IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[1] }]; #IO_L23N_T3_35 Sch=led[1]
29  set_property -dict { PACKAGE_PIN G14 IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[2] }]; #IO_Q_35 Sch=led[2]
30  set_property -dict { PACKAGE_PIN D18 IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[3] }]; #IO_L3N_T0_DQS_AD1N_35 Sch=led[3]
31
32
33  ##RGB LED 5 (Zybo Z7-20 only)
34  #set_property -dict { PACKAGE_PIN Y11 IOSTANDARD LVCMOS33 } [get_ports { led5_r }]; #IO_L18N_T2_13 Sch=led5_r
35  #set_property -dict { PACKAGE_PIN T5 IOSTANDARD LVCMOS33 } [get_ports { led5_g }]; #IO_L19P_T3_13 Sch=led5_g
36  #set_property -dict { PACKAGE_PIN Y12 IOSTANDARD LVCMOS33 } [get_ports { led5_b }]; #IO_L20P_T3_13 Sch=led5_b
```

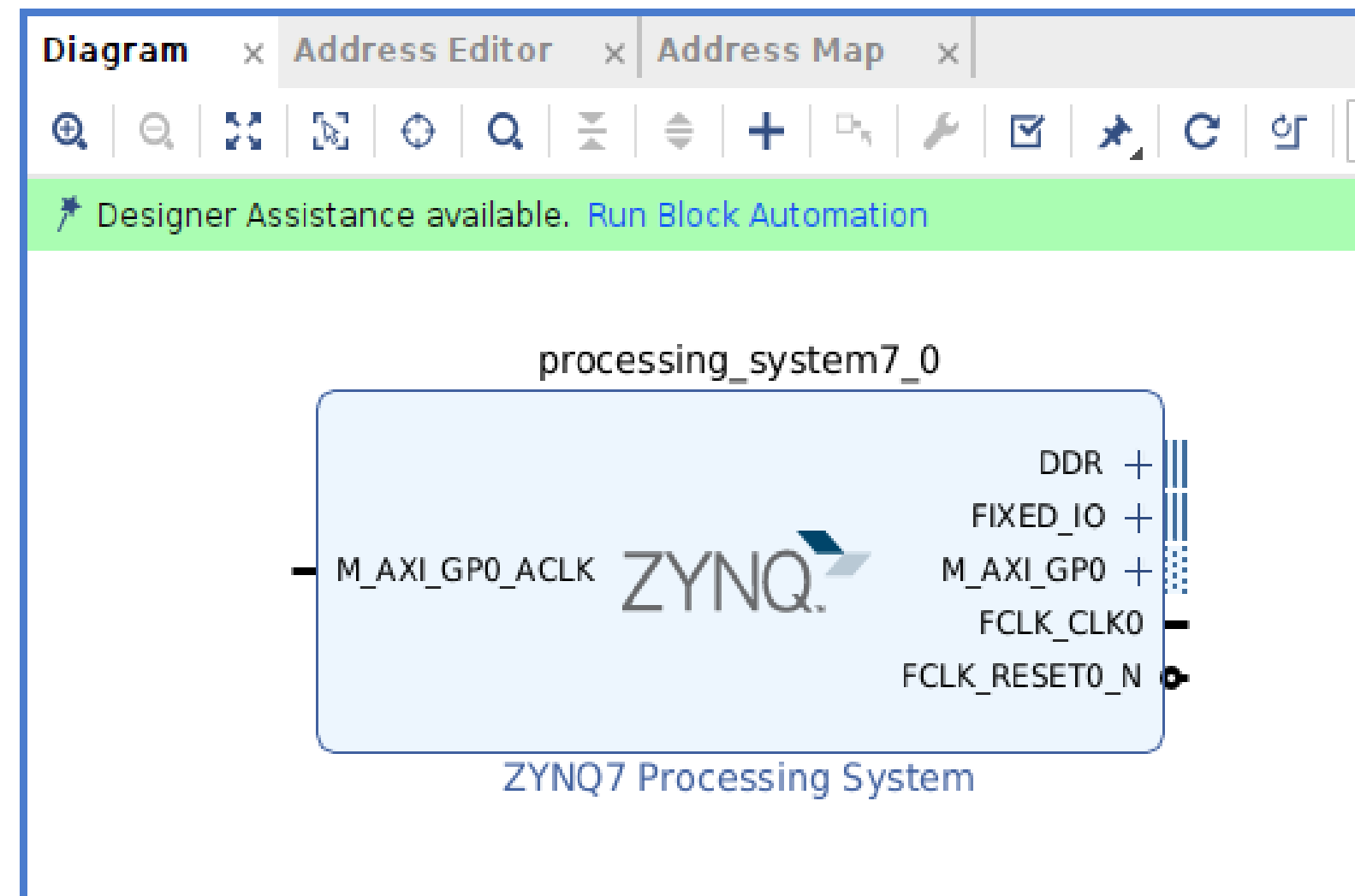
В проекте пока ничего нет кроме файла ограничений с описанием LED-индикаторов и клавиш.

Знакомство с САПР. Создаем свой проект



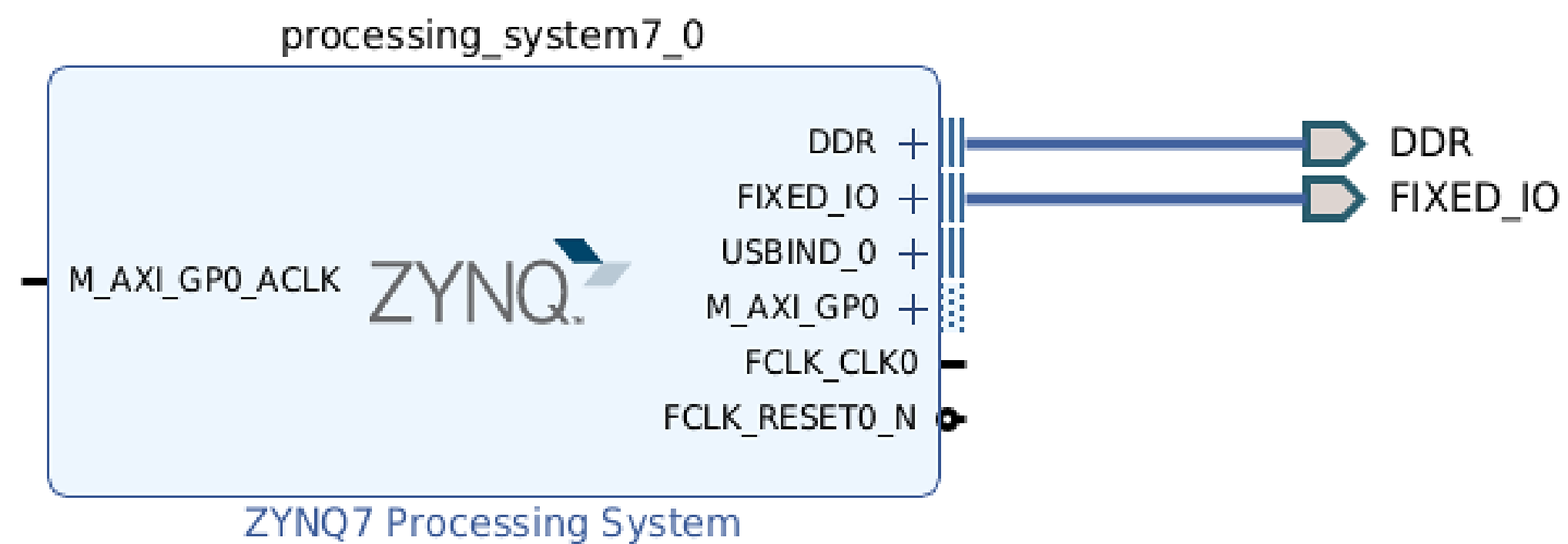
Добавляем описание процессорной системы и ее периферии.

Знакомство с САПР. Создаем свой проект

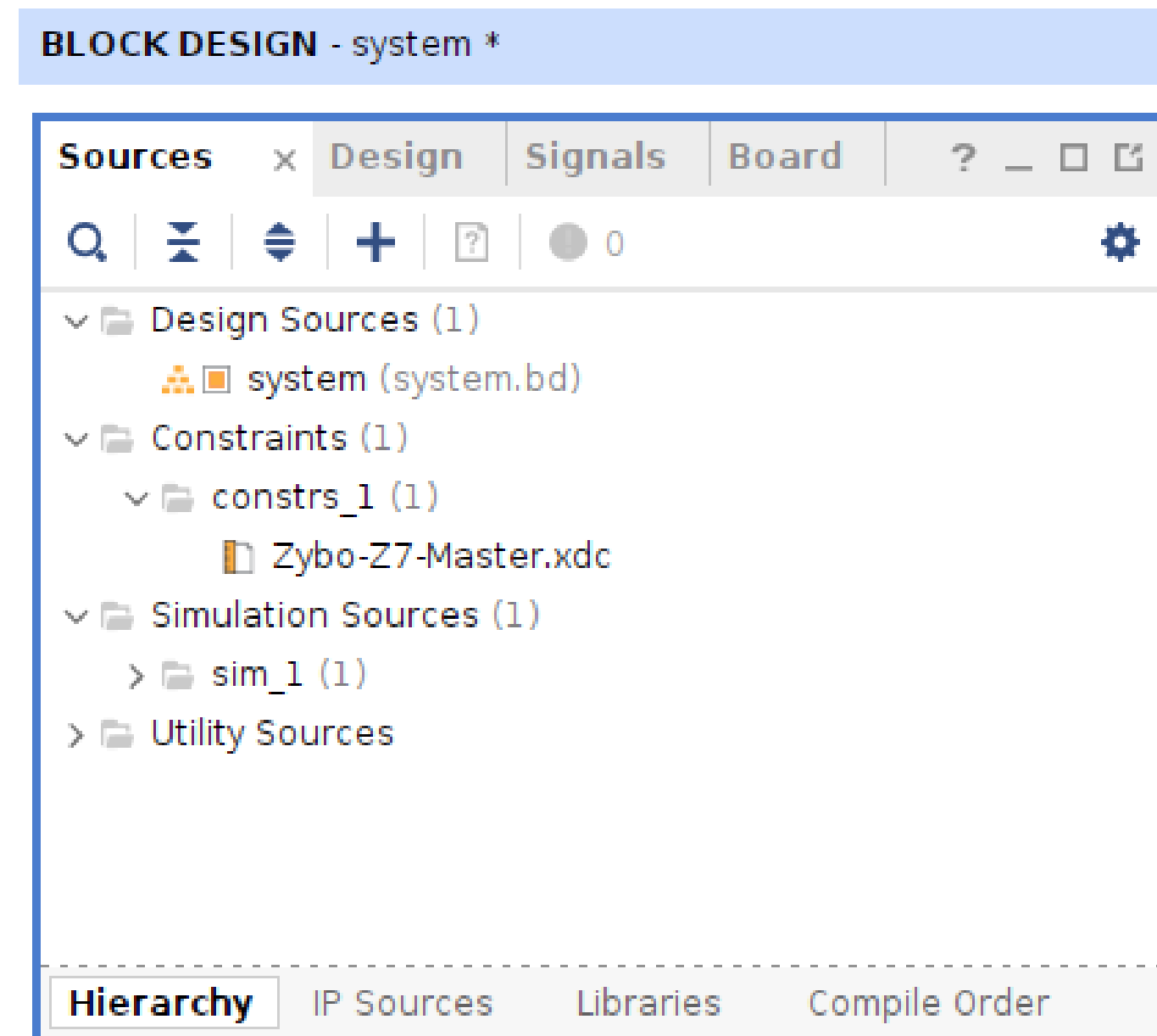


Пользуемся помощником.

Знакомство с САПР. Создаем свой проект

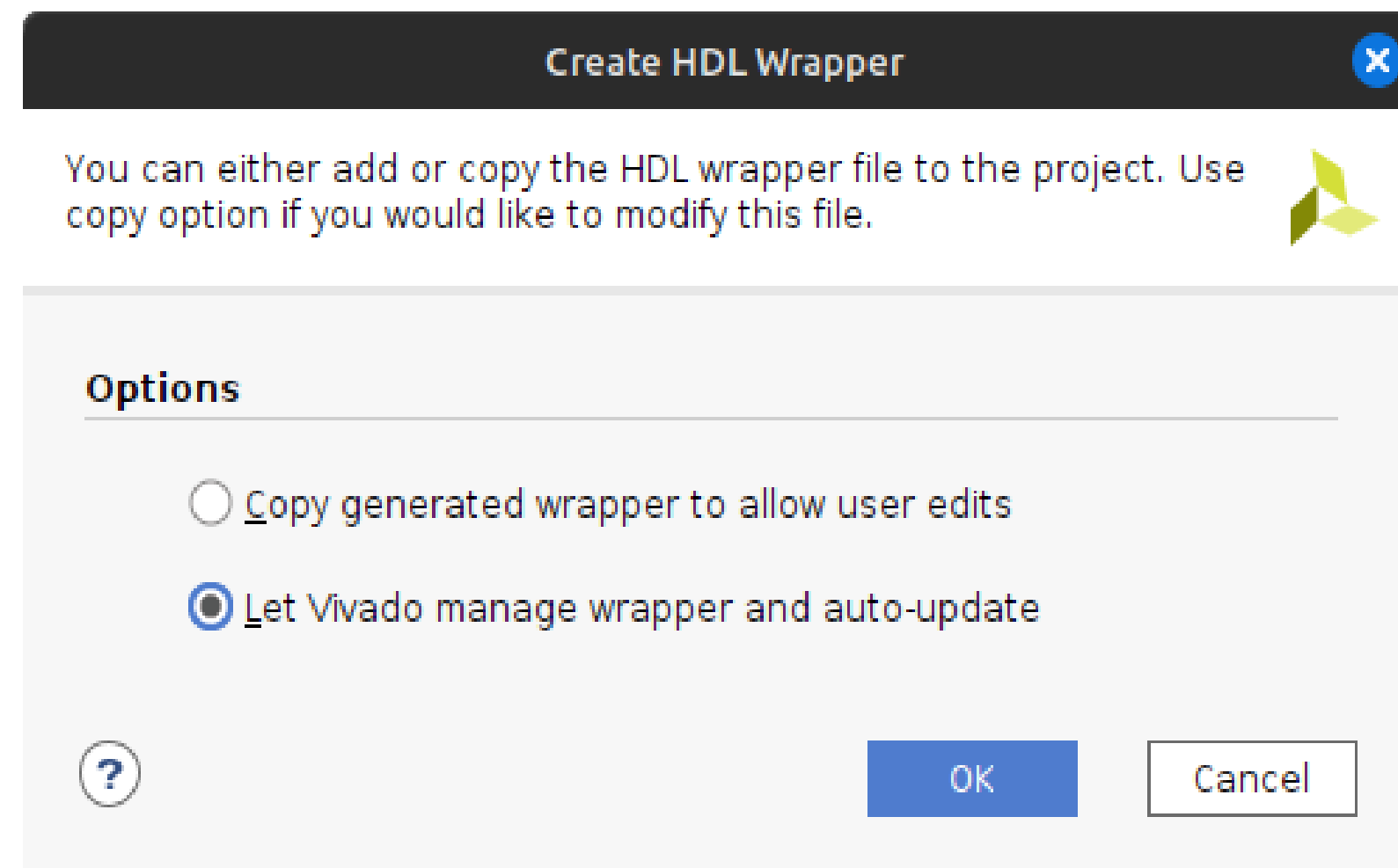


Знакомство с САПР. Создаем свой проект

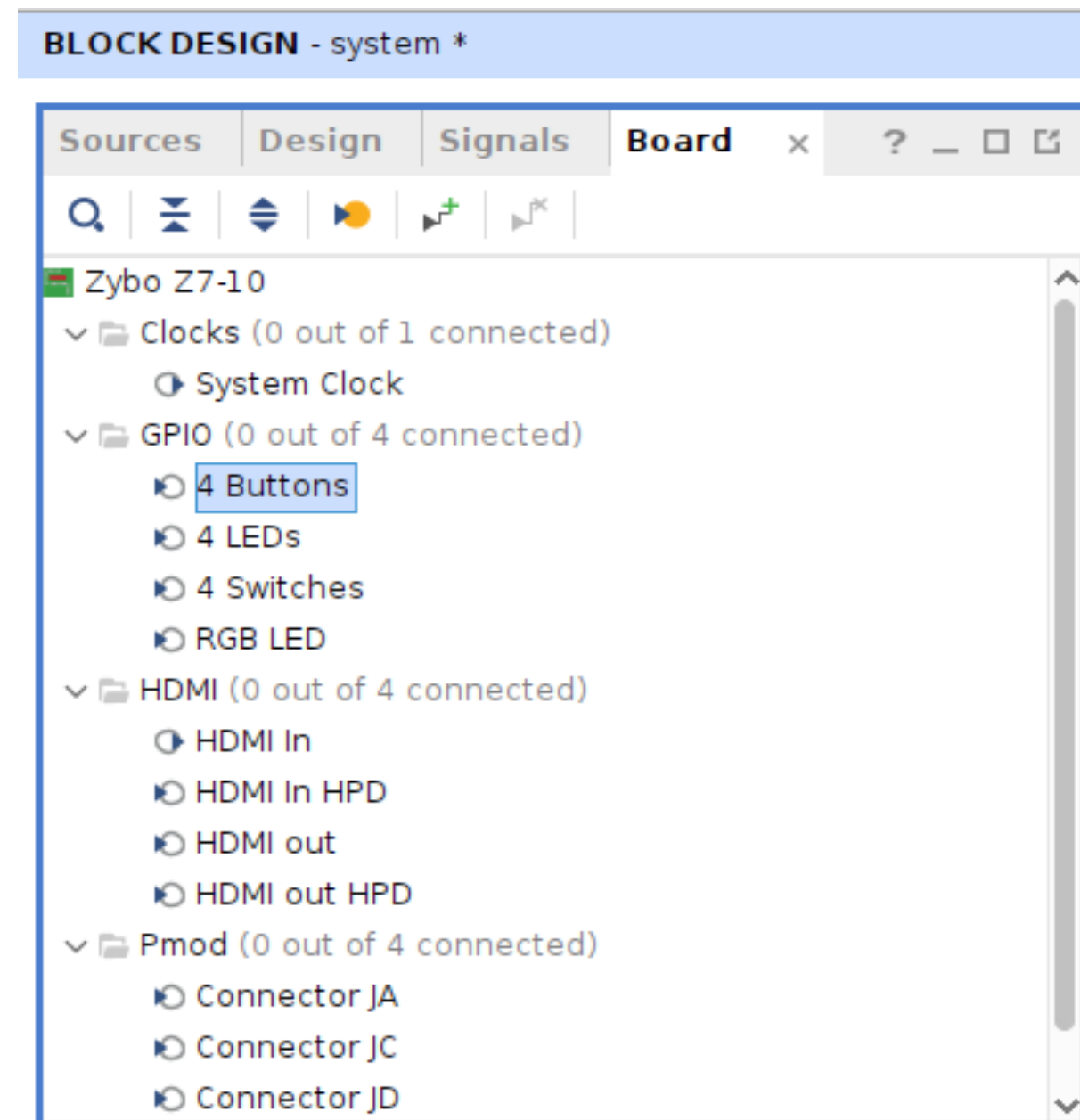


Создаем файл-обертку для Block Design.
В контекстном меню на system.bd есть нужная команда.

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



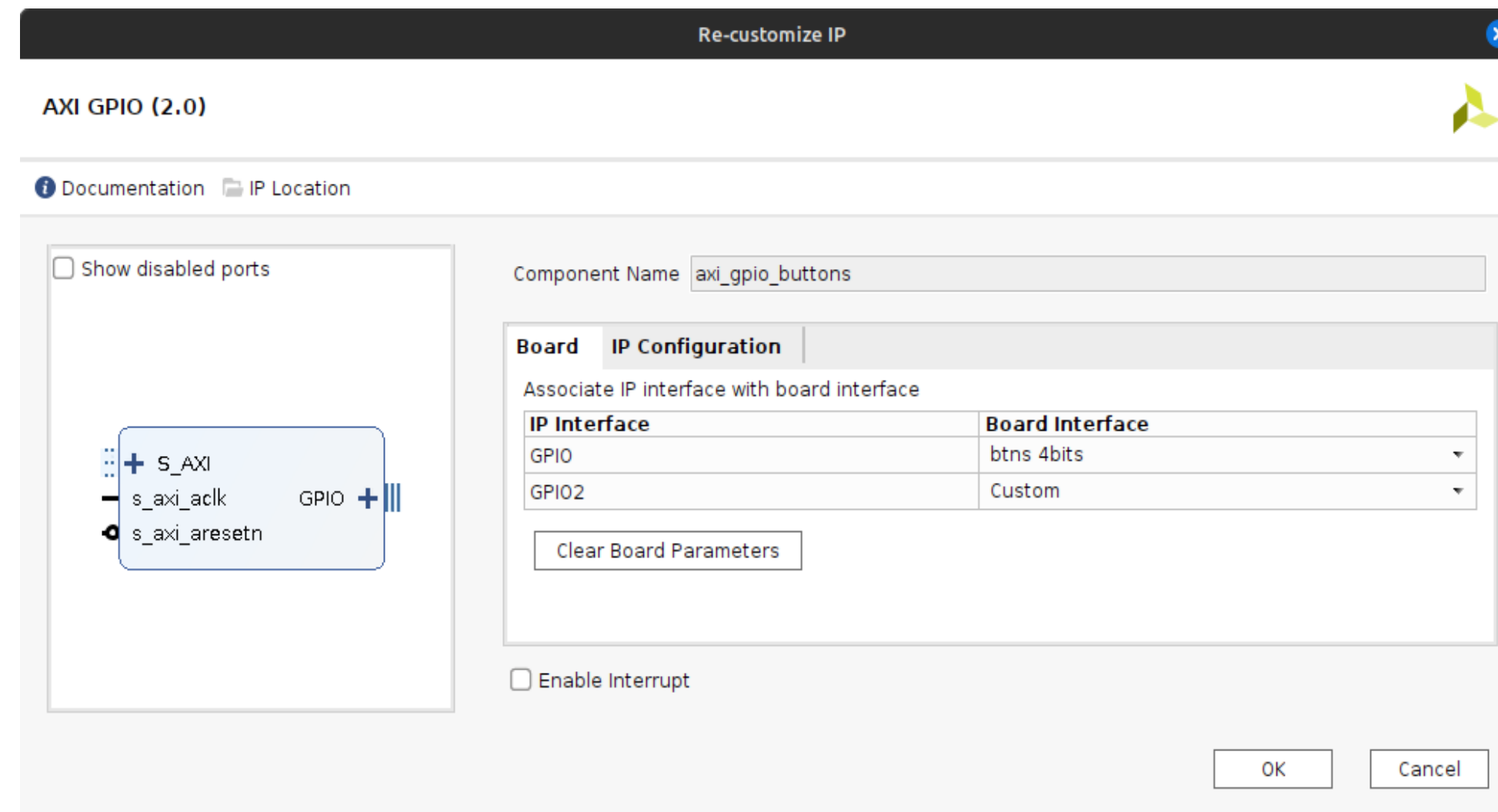
В контекстном меню выбираем Connect Board Component.

Знакомство с САПР. Создаем свой проект



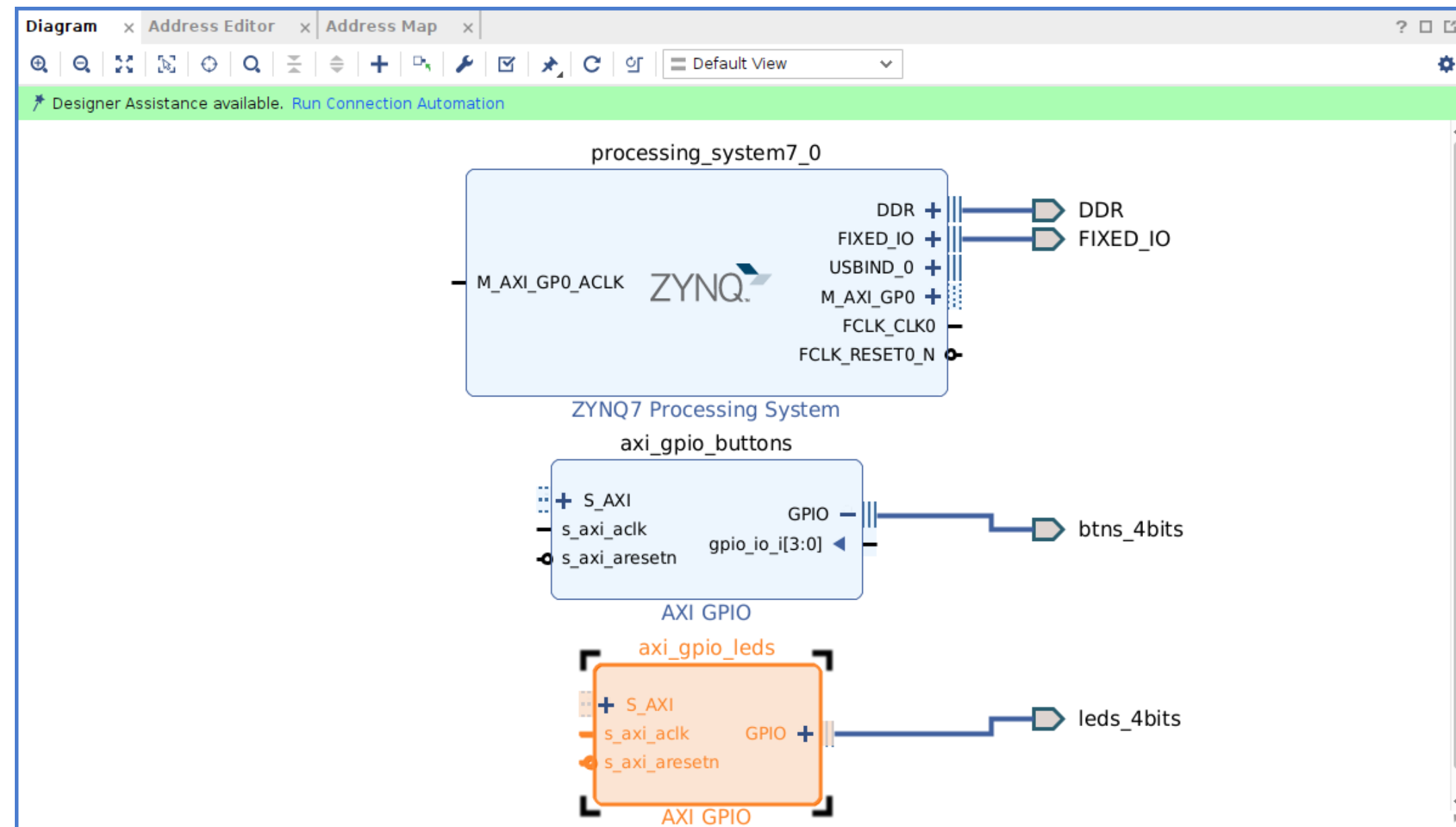
Добавлен компонент, позволяющий программе использовать и создавать пользовательские входы и выходы (сейчас они виртуальные).

Знакомство с САПР. Создаем свой проект



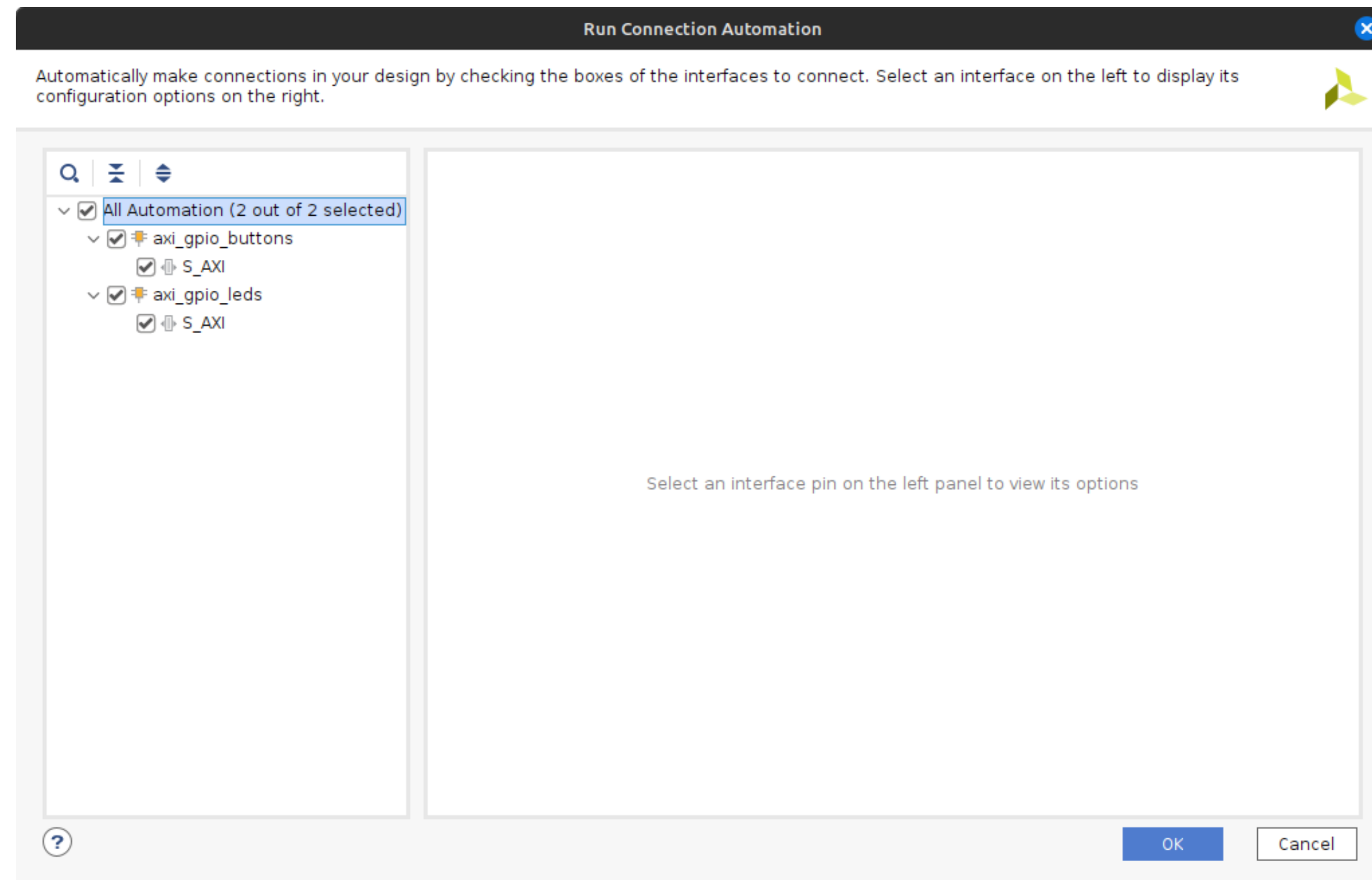
Настраивать пока ничего не будем.
Вперед!

Знакомство с САПР. Создаем свой проект

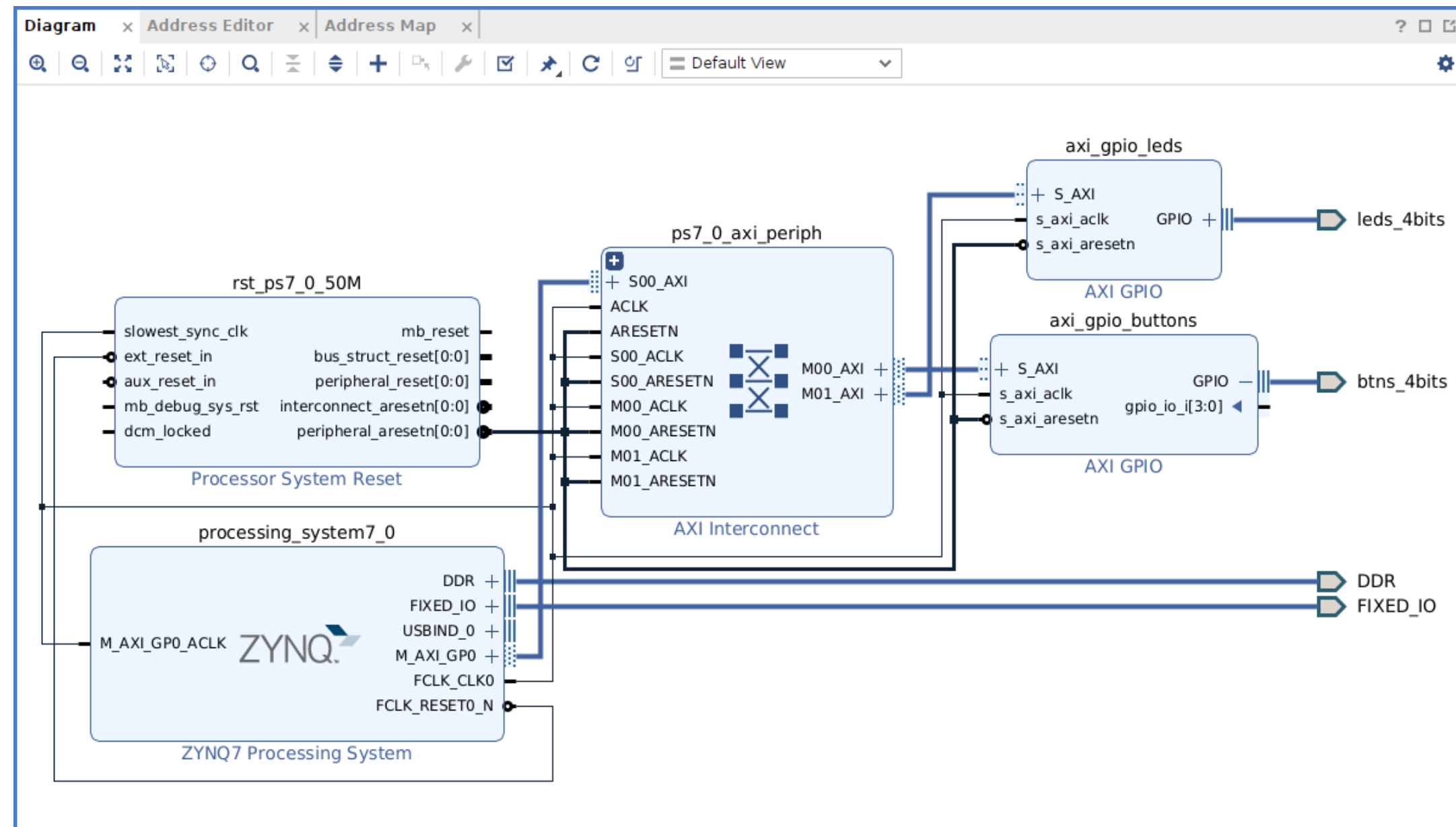


Снова помощник в деле.

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Итог наших созидательных движений.

Знакомство с САПР. Создаем свой проект



```
36      inout [14:0]DDR_addr;
37      inout [2:0]DDR_ba;
38      inout DDR_cas_n;
39      inout DDR_ck_n;
40      inout DDR_ck_p;
41      inout DDR_cke;
42      inout DDR_cs_n;
43      inout [3:0]DDR_dm;
44      inout [31:0]DDR_dq;
45      inout [3:0]DDR_dqs_n;
46      inout [3:0]DDR_dqs_p;
47      inout DDR_odt;
48      inout DDR_ras_n;
49      inout DDR_reset_n;
50      inout DDR_we_n;
51      inout FIXED_IO_dds_vrn;
52      inout FIXED_IO_dds_vrp;
53      inout [53:0]FIXED_IO_mio;
54      inout FIXED_IO_ps_clk;
55      inout FIXED_IO_ps_porb;
56      inout FIXED_IO_ps_srstb;
57      input [3:0]btns_4bits_tri_i;
58      output [3:0]leds_4bits_tri_o;
--
```

Файл-обертка сформировался автоматически.

Синтаксис - Verilog.

Интерфейс соответствует Block Design.

Знакомство с САПР. Создаем свой проект

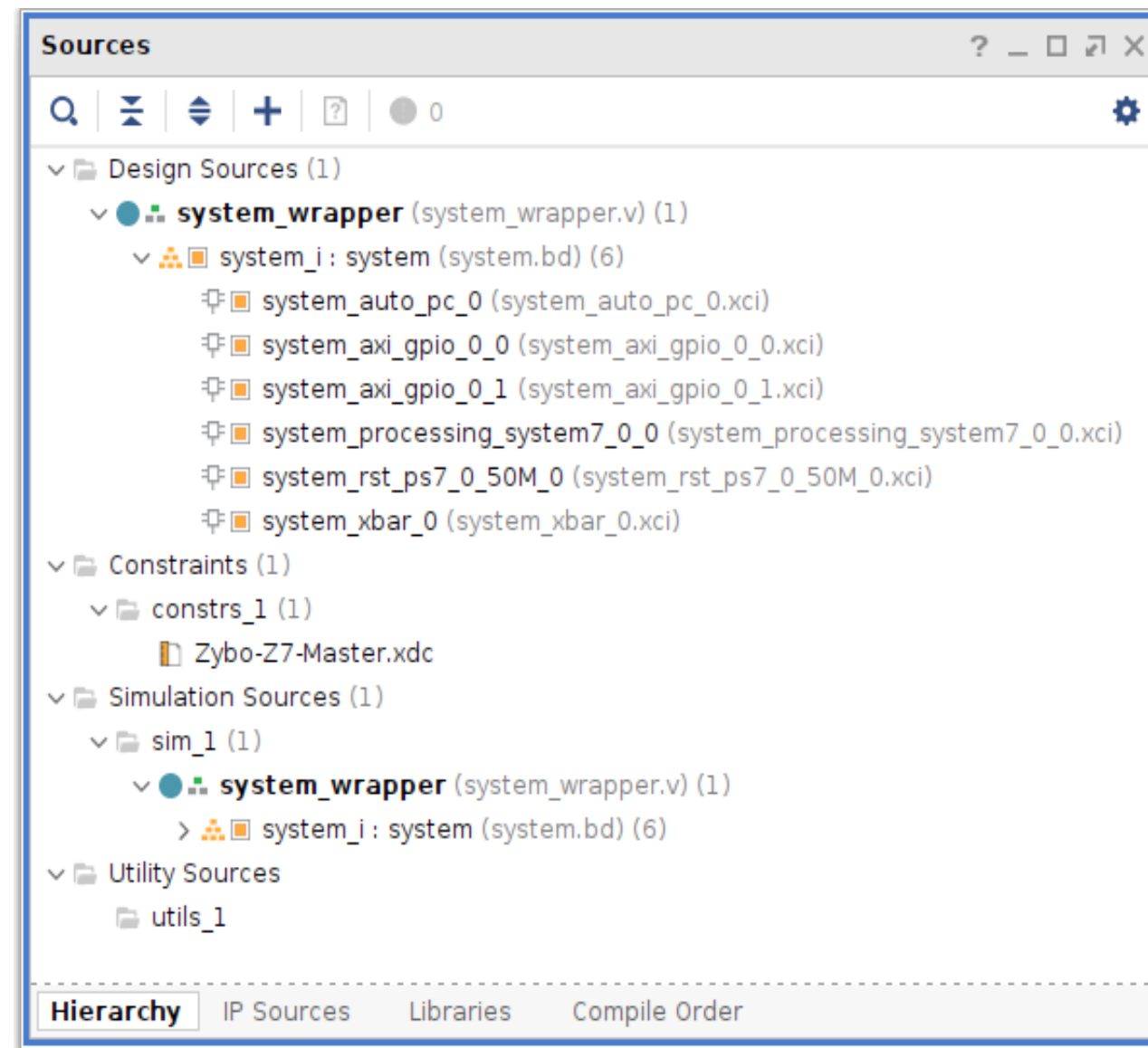


```
#Buttons
set_property -dict { PACKAGE_PIN K18      IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[0] }]; #IO_L12N_T1_MRCC_35 Sch=btn[0]
set_property -dict { PACKAGE_PIN P16      IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[1] }]; #IO_L24N_T3_34 Sch=btn[1]
set_property -dict { PACKAGE_PIN K19      IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[2] }]; #IO_L10P_T1_AD11P_35 Sch=btn[2]
set_property -dict { PACKAGE_PIN Y16      IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[3] }]; #IO_L7P_T1_34 Sch=btn[3]

#LEDs
set_property -dict { PACKAGE_PIN M14      IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[0] }]; #IO_L23P_T3_35 Sch=led[0]
set_property -dict { PACKAGE_PIN M15      IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[1] }]; #IO_L23N_T3_35 Sch=led[1]
set_property -dict { PACKAGE_PIN G14      IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[2] }]; #IO_0_35 Sch=led[2]
set_property -dict { PACKAGE_PIN D18      IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[3] }]; #IO_L3N_T0_DQS_AD1N_35 Sch=led[3]
```

Зачем нам эти ограничения?
Здесь дружится логика наших бизнес-задач с холодным бездушным железом!
Разогреем его градусов до 70?

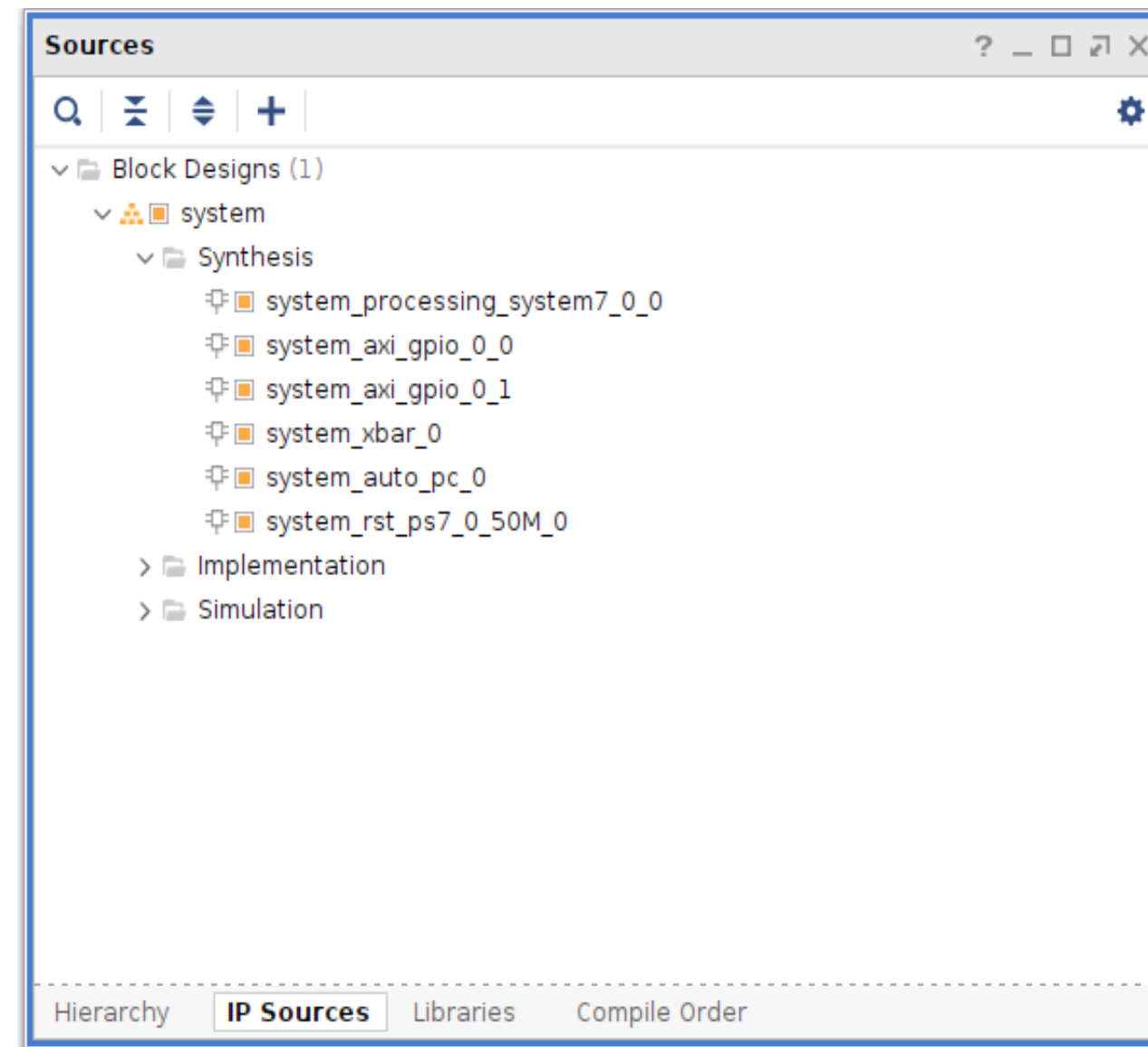
Знакомство с САПР. Создаем свой проект



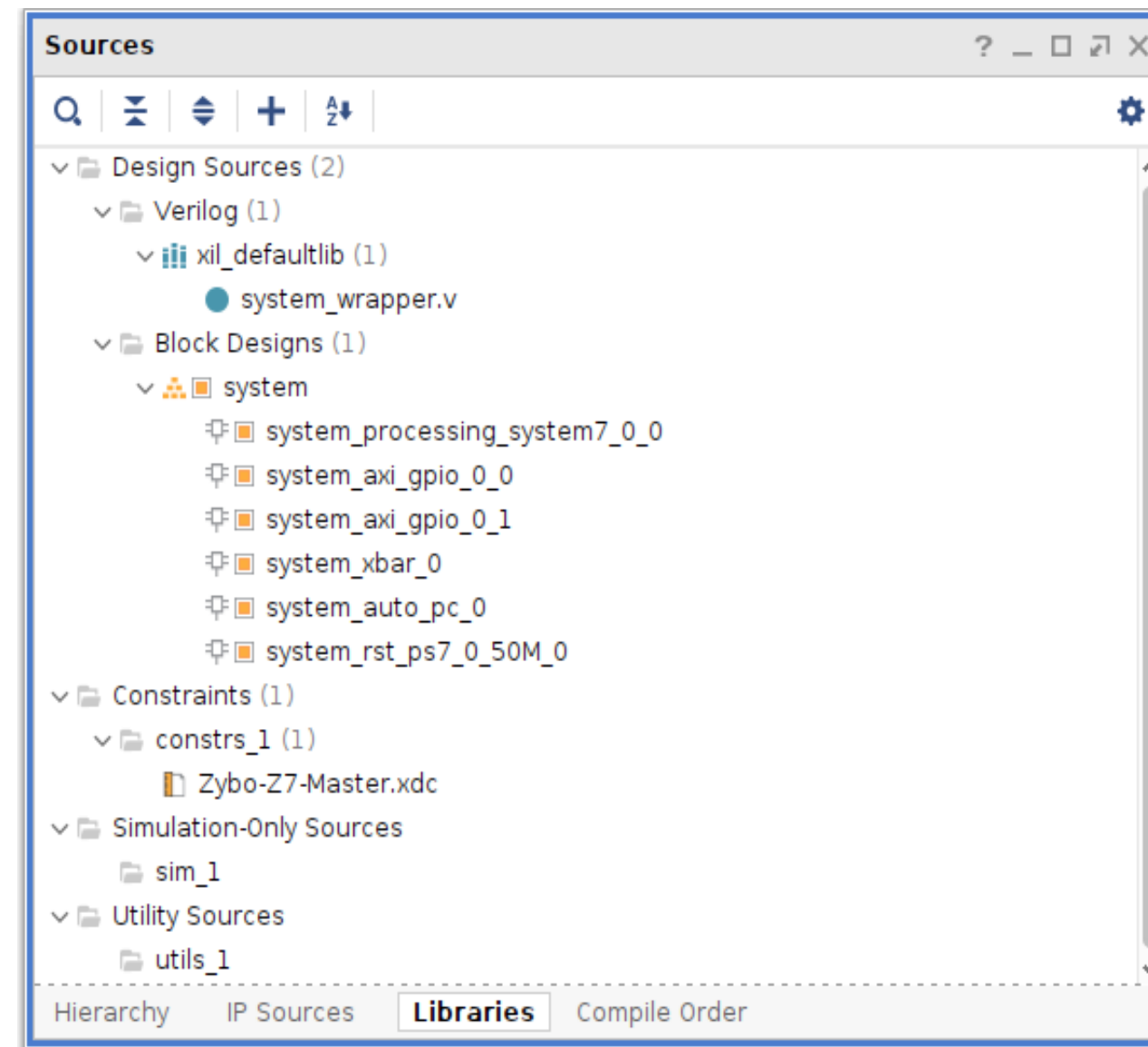
Итого имеем:

1. Block Design (*.bd) вместе с оберткой (*.sv, *.v или *.vhd).
2. Файл ограничений (*.xdc).
3. Не хватает тестов (Testbench может иметь расширение: *.sv, *.v или *.vhd).

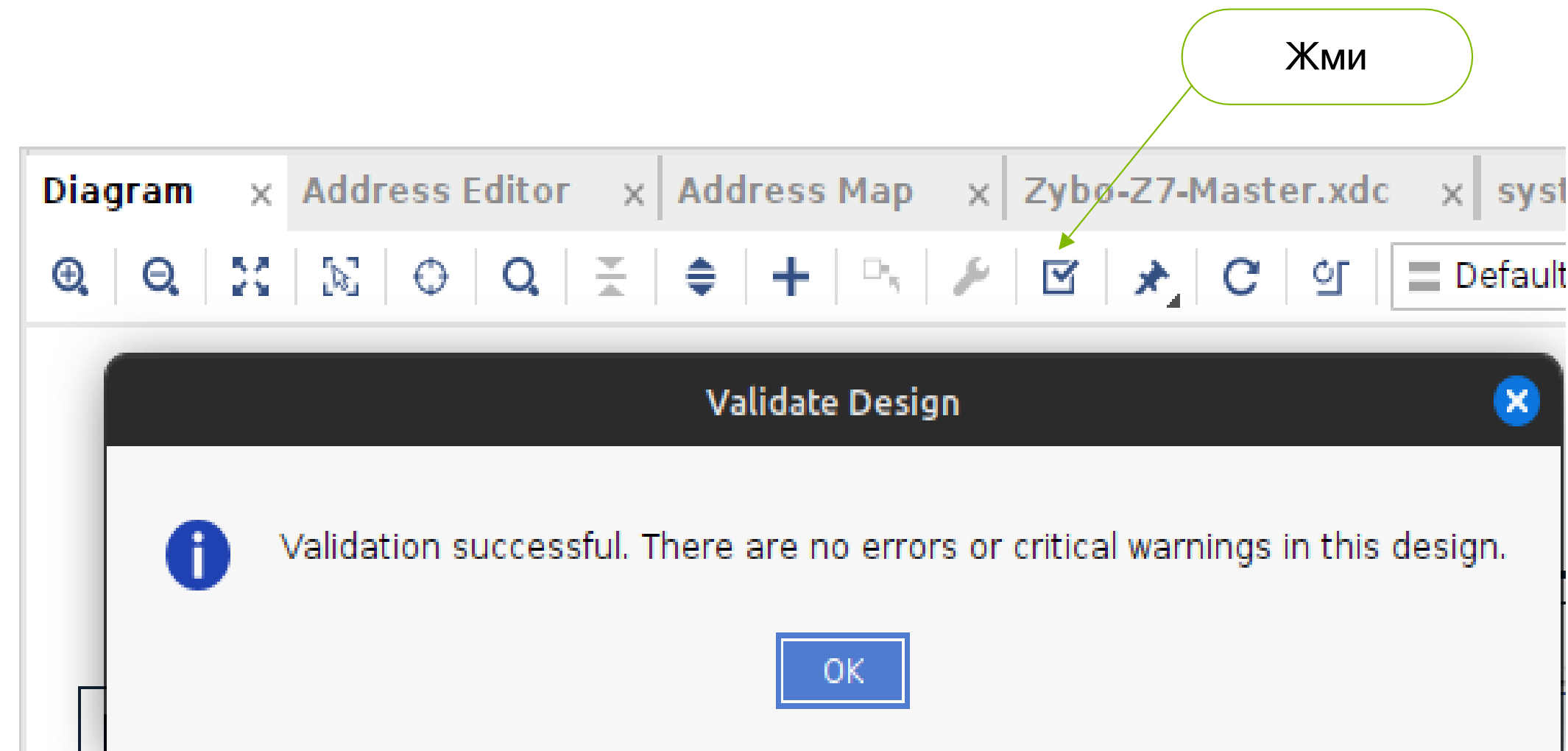
Знакомство с САПР. Создаем свой проект



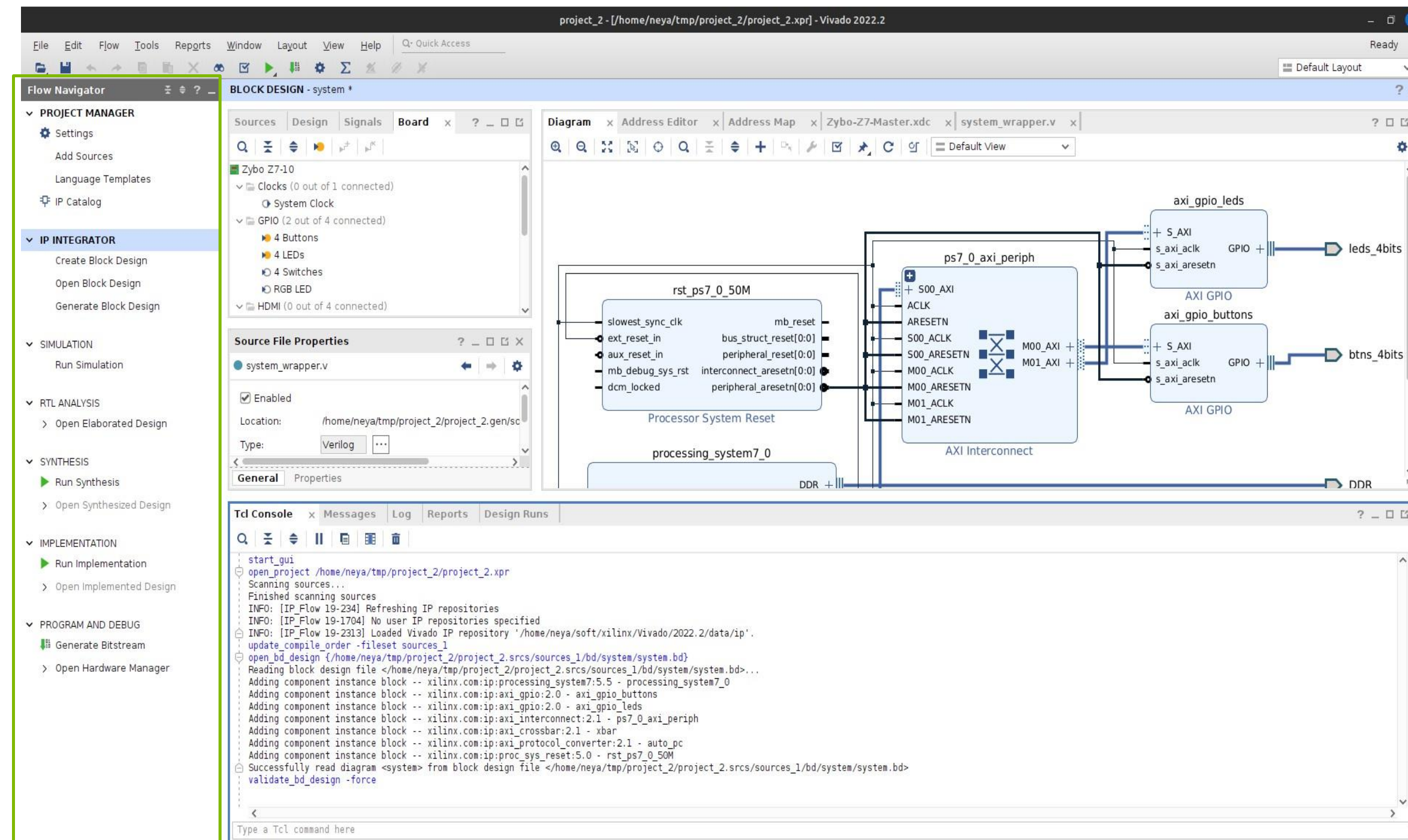
Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект

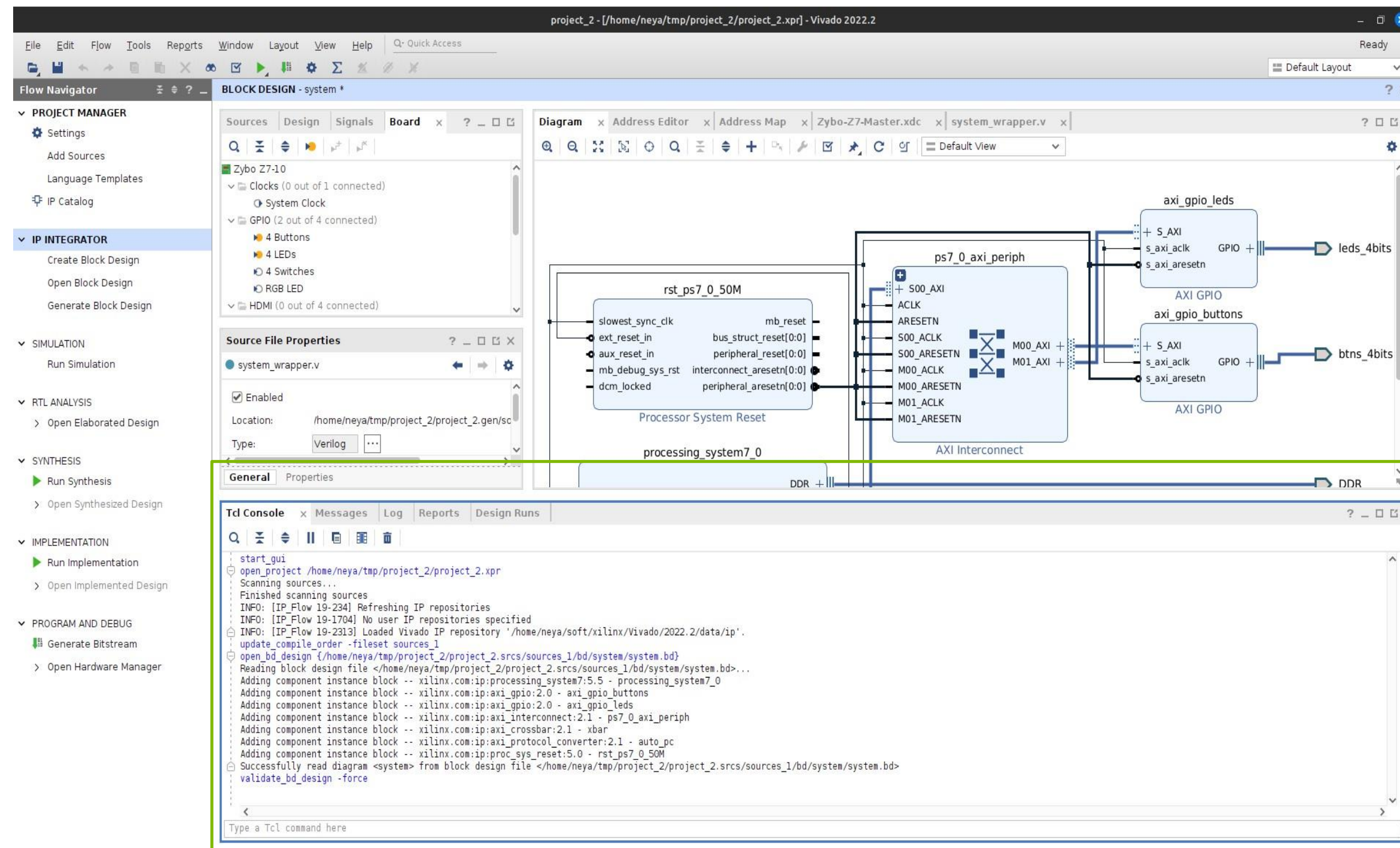


Знакомство с САПР. Создаем свой проект



Порядок работы сверху вниз

Знакомство с САПР. Создаем свой проект

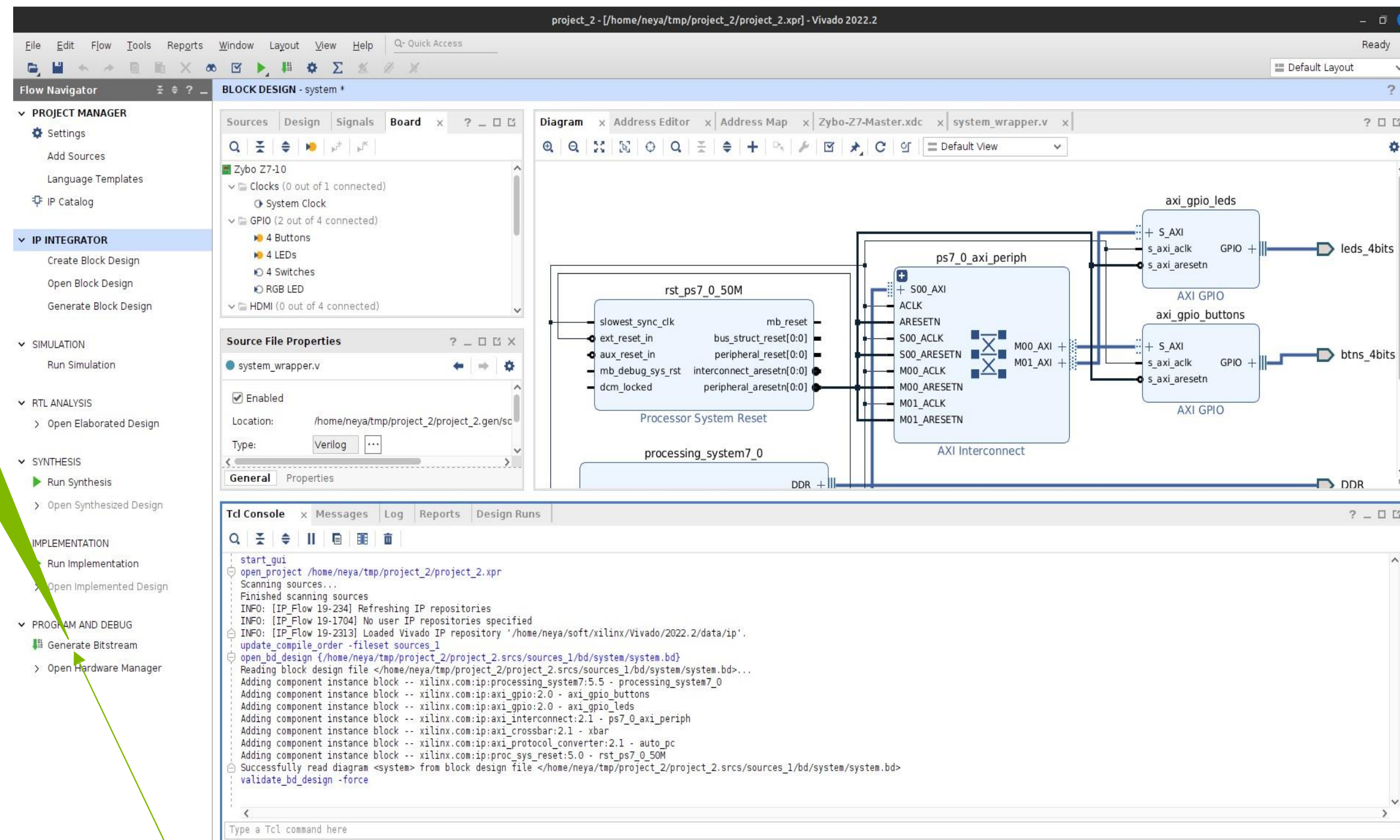


TCL - мощный инструмент автоматизации

Знакомство с САПР. Создаем свой проект



Generate Bitstream



Можно сразу попросить прошивку

Знакомство с САПР. Создаем свой проект



Launch Runs

Launch the selected synthesis or implementation runs and generate bitstream.

Launch directory:

<Default Launch Directory>

Options

☒ Launch runs on local host: Number of jobs: 4

☐ Launch runs on remote hosts Configure Hosts

☐ Launch runs on Cluster Isf

☐ Generate scripts only

☐ Don't show this dialog again

?

OK

Cancel

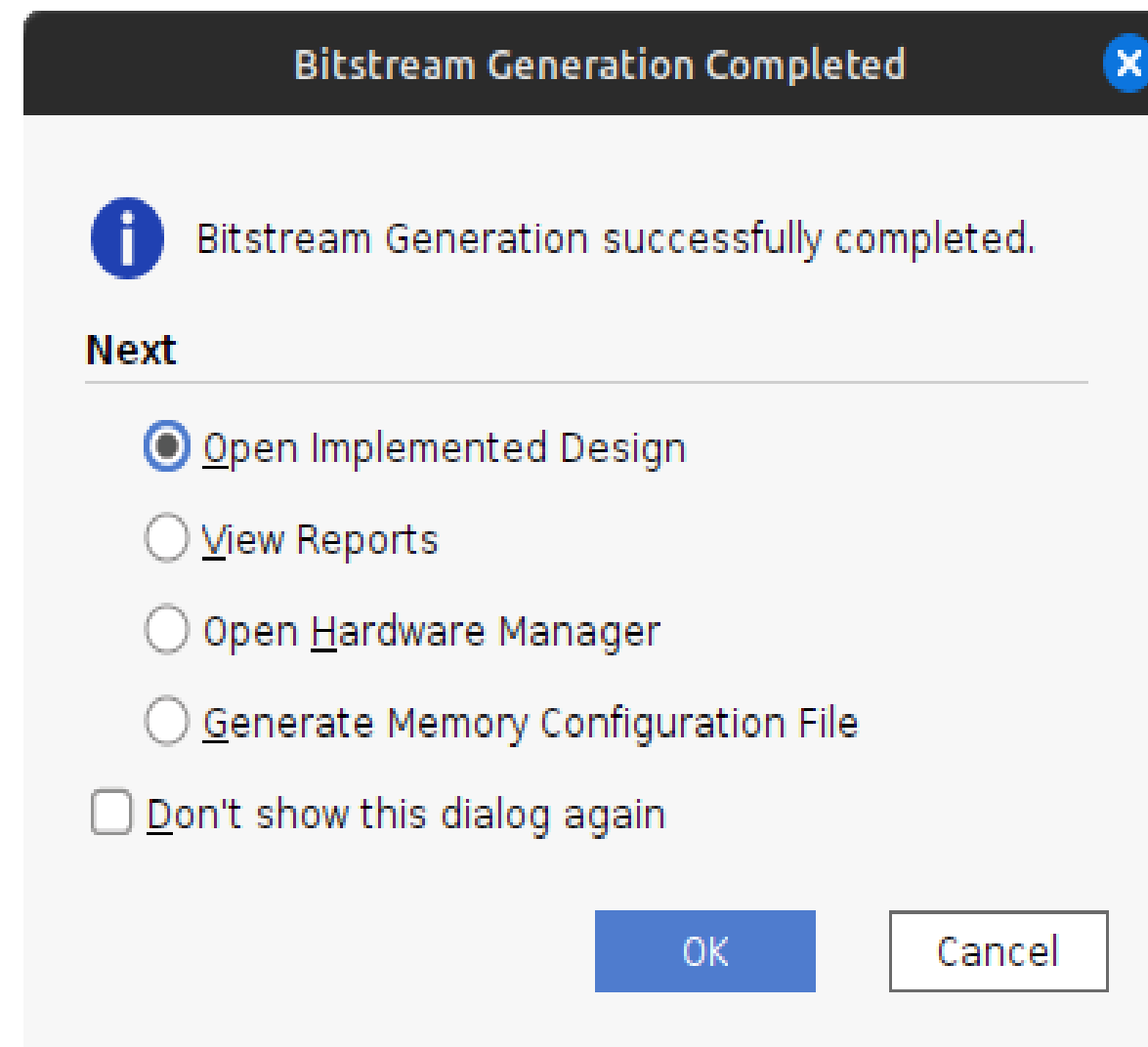
Знакомство с САПР. Создаем свой проект



```
Tcl Console x Messages Log Reports Design Runs
[Mon Sep 16 15:08:24 2024] Launched system_processing_system7_0_0
Run output will be captured here:
system_processing_system7_0_0_synth_1: /home/neya/tmp/project_2/p
system_axi_gpio_0_0_synth_1: /home/neya/tmp/project_2/project_2.r
system_axi_gpio_0_1_synth_1: /home/neya/tmp/project_2/project_2.r
system_xbar_0_synth_1: /home/neya/tmp/project_2/project_2.runs/sy
system_rst_ps7_0_50M_0_synth_1: /home/neya/tmp/project_2/project_
system_auto_pc_0_synth_1: /home/neya/tmp/project_2/project_2.runs
synth_1: /home/neya/tmp/project_2/project_2.runs/synth_1/runme.l
[Mon Sep 16 15:08:24 2024] Launched impl_1...
Run output will be captured here: /home/neya/tmp/project_2/projec
launch_runs: Time (s): cpu = 00:00:30 ; elapsed = 00:00:25 . Memo
launch_runs impl_1 -to_step write_bitstream -jobs 4
```

Или вот так,
по-хакерски

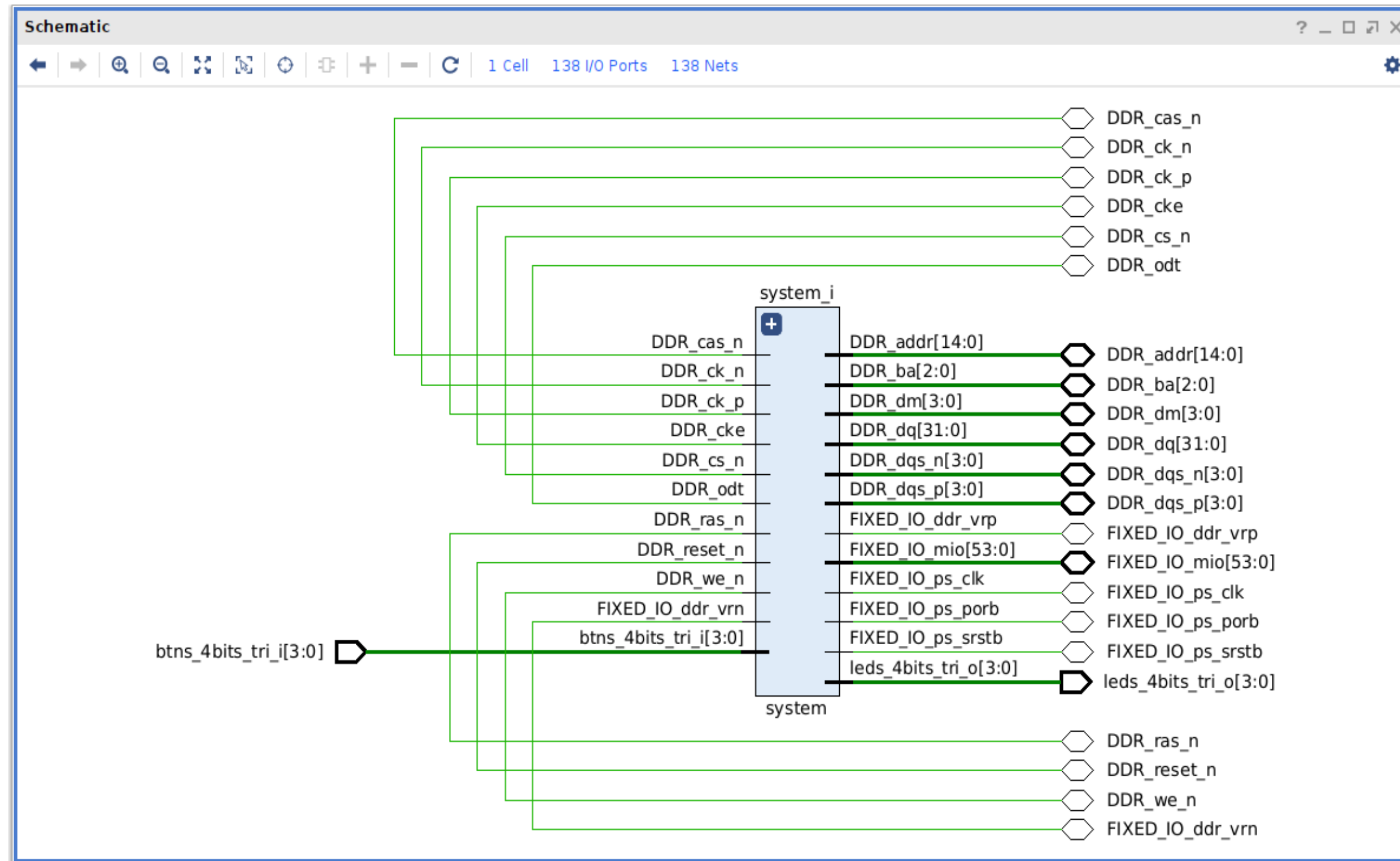
Знакомство с САПР. Создаем свой проект



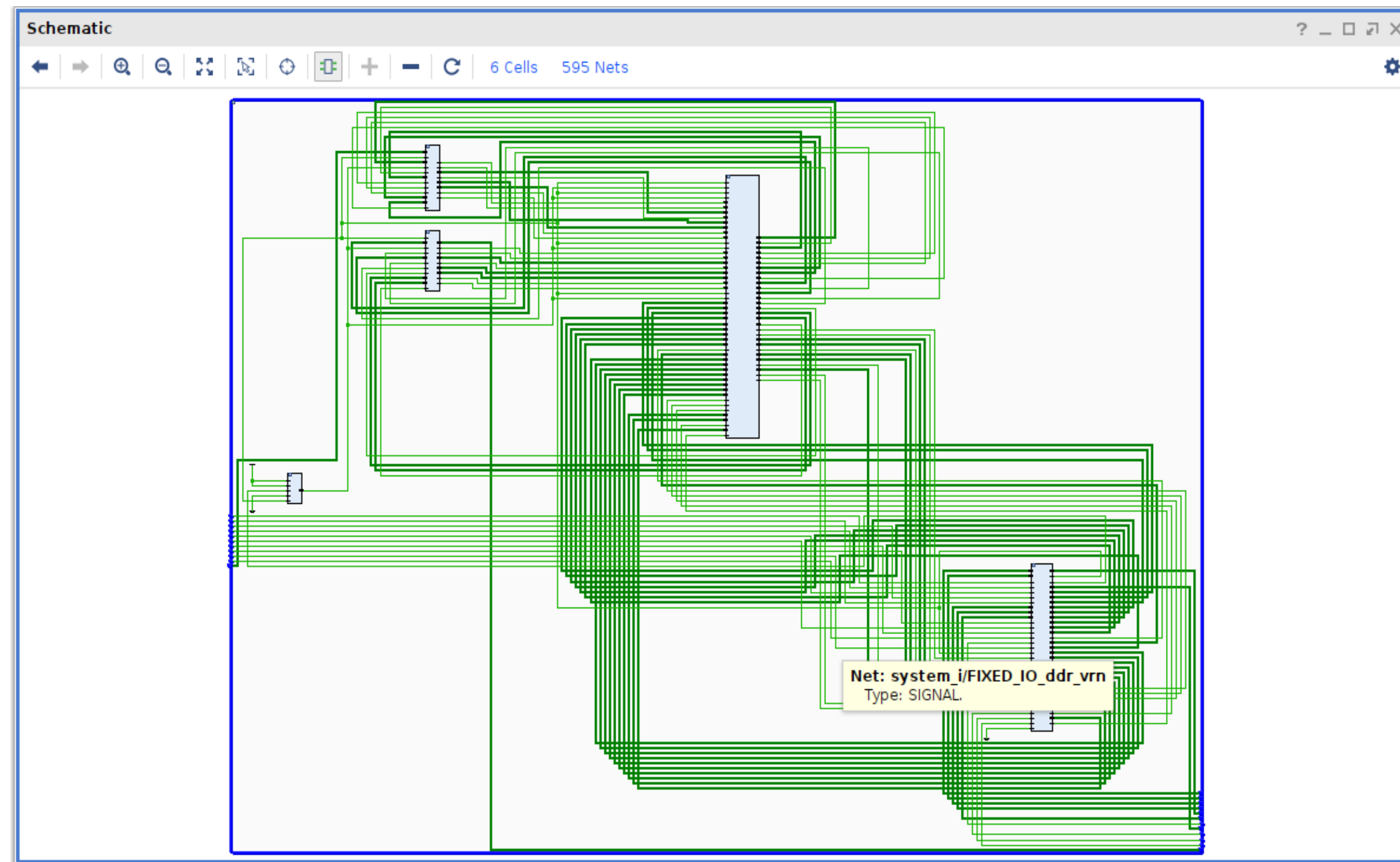
Результат один. Теперь можно посмотреть все промежуточные этапы:

1. Элаборация.
2. Синтез.
3. Имплементация.

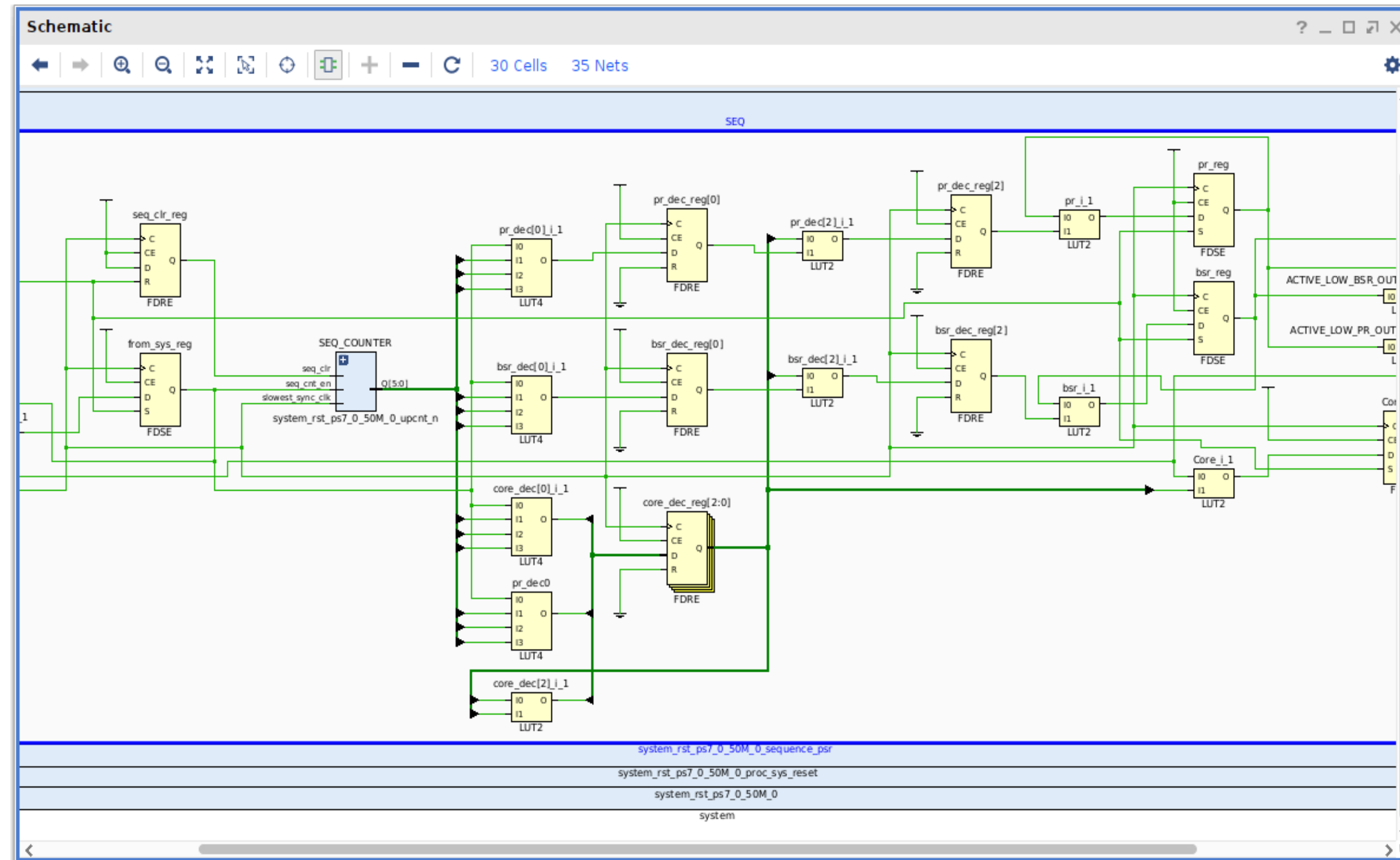
Знакомство с САПР. Создаем свой проект



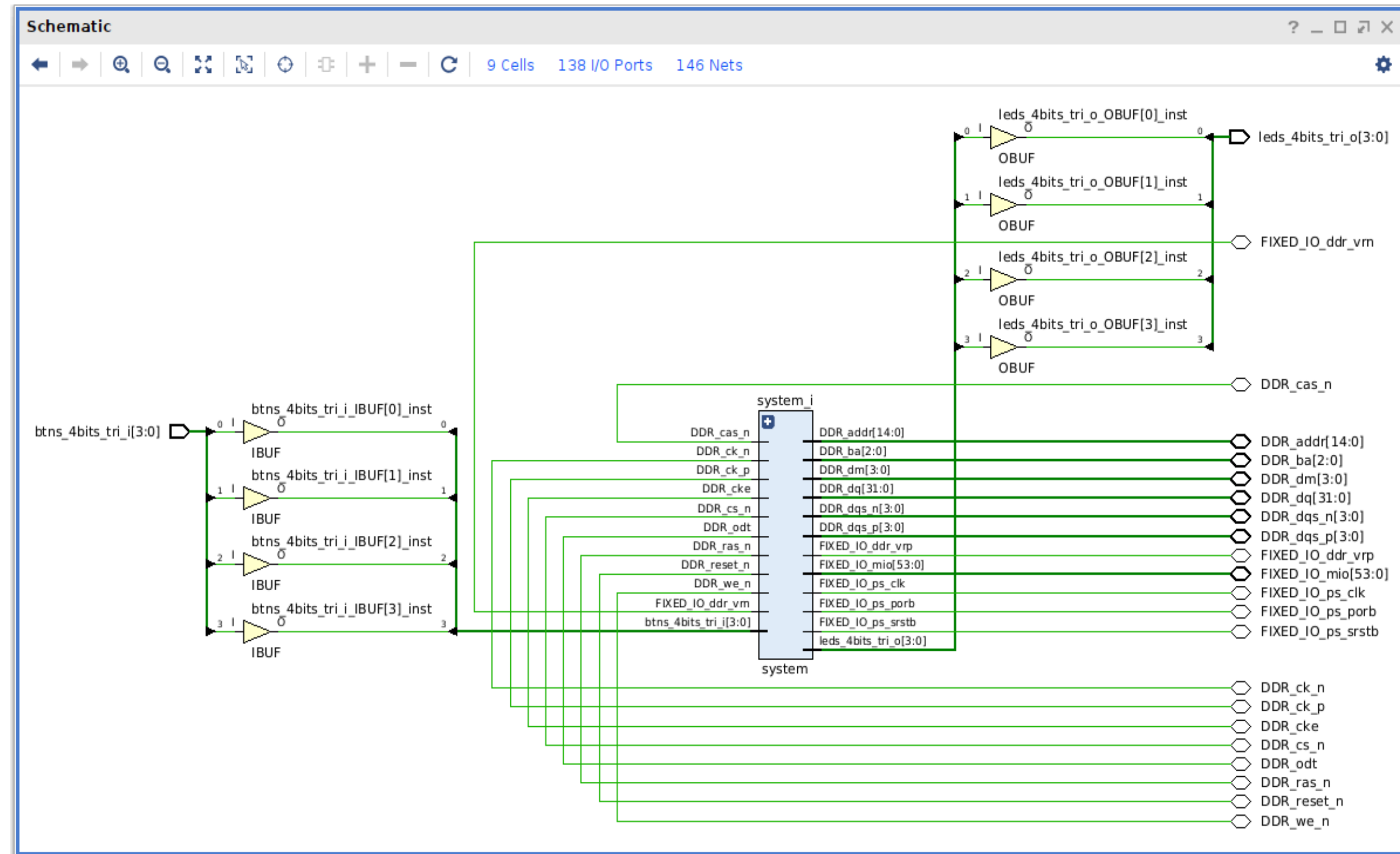
Знакомство с САПР. Создаем свой проект



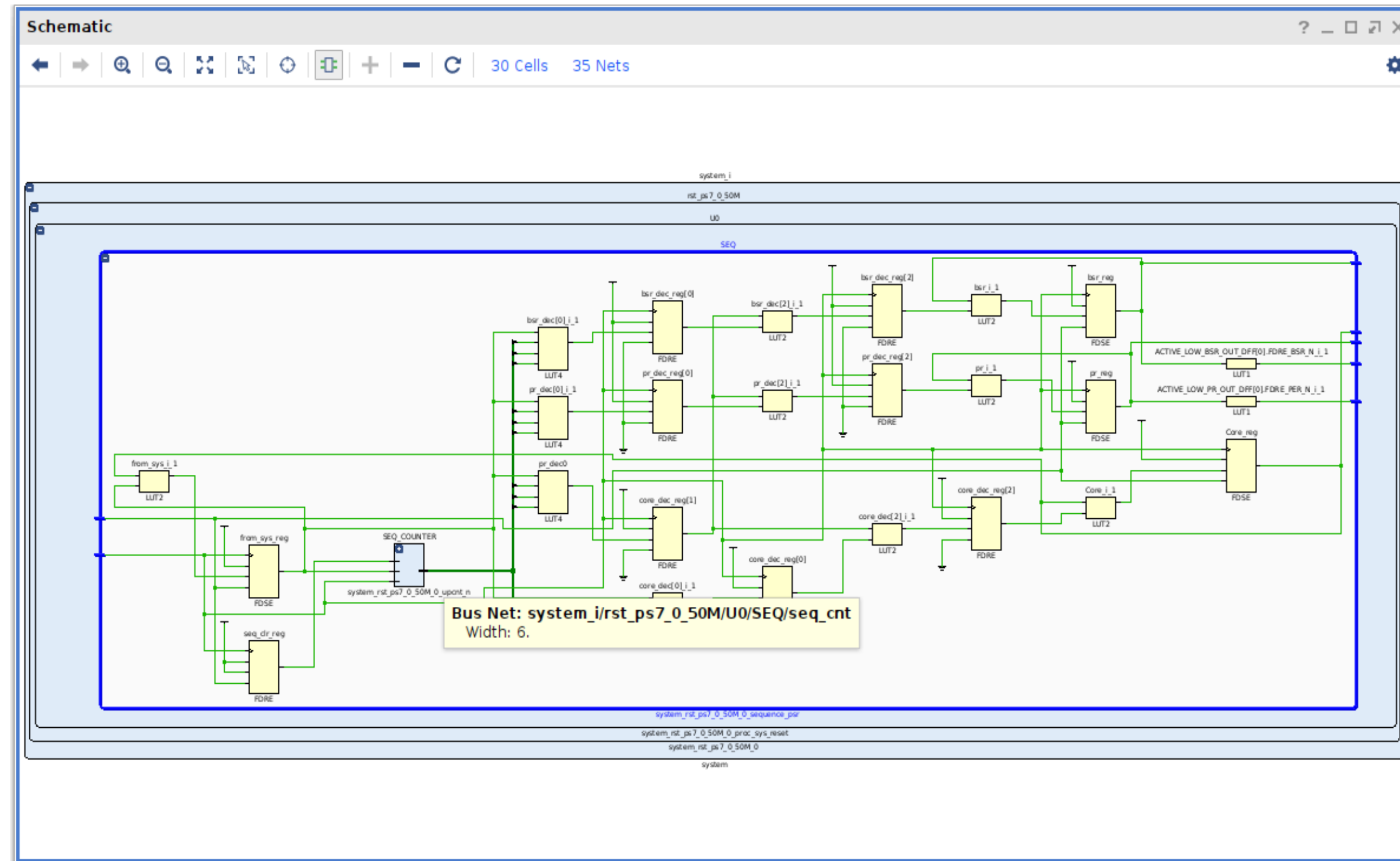
Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



project_2 - [I:/home/neya/tmp/project_2/project_2.xpr] - Vivado 2022.2

File Edit Flow Tools Reports Window Layout View Help Q- Quick Access write_bitstream Complete

Flow Navigator

- Open Block Design
- Generate Block Design
- SIMULATION
 - Run Simulation
- RTL ANALYSIS
 - Open Elaborated Design
 - Report Methodology
 - Report DRC
 - Report Noise
 - Schematic
 - Open Dataflow Design
- SYNTHESIS
 - Run Synthesis
 - Open Synthesized Design
 - Constraints Wizard
 - Edit Timing Constraints
 - Set Up Debug
 - Report Timing Summary
 - Report Clock Networks
 - Report Clock Interaction
 - Report Methodology
 - Report DRC
 - Report Noise
 - Report Utilization
 - Report Power
 - Schematic
- IMPLEMENTATION
 - Run Implementation
 - Open Implemented Design
 - Constraints Wizard
 - Edit Timing Constraints

IMPLEMENTED DESIGN - xc7z010clg400-1

Sources Netlist

- U0 (system_rst_ps7_0_50M_0_proc_sys_reset)
 - Nets (7)
 - peripheral_aresetn (1)
 - <const0>
 - <const1>
 - ext_reset_in
 - lpf_int
 - SEQ_n_4
 - slowest_sync_clk
 - Leaf Cells (3)
 - ACTIVE_LOW_PR_OUT_DFF[0],FDRE_PER_N (F
 - GND (GND)
 - VCC (VCC)
 - EXT_LPF (system_rst_ps7_0_50M_0_lpf)
 - SEQ (system_rst_ps7_0_50M_0_sequence_psr)

Cell Properties

SEQ

Name: system_l/rst_ps7_0_50M/U0/SEQ

Parent: system_l/rst_ps7_0_50M/U0

Reference name: system_rst_ps7_0_50M_0_seque

General Properties Statistics Nets

Project Summary Zybo-Z7-Master.xdc system_wrapper.v Device

Timing

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 12.412 ns	Worst Hold Slack (WHS): 0.023 ns	Worst Pulse Width Slack (WPWS): 9.020 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 1692	Total Number of Endpoints: 1692	Total Number of Endpoints: 868

All user specified timing constraints are met.

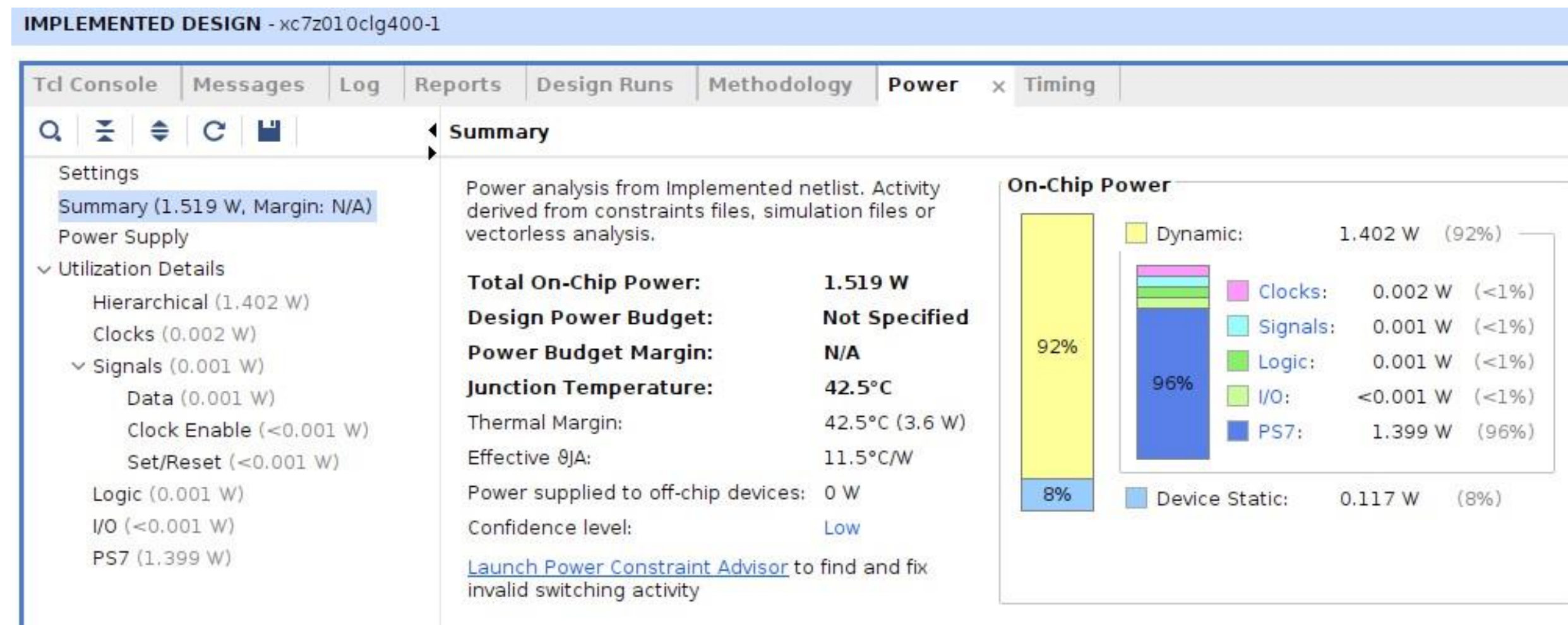
Timing Summary - impl_1 (saved)

Знакомство с САПР. Создаем свой проект

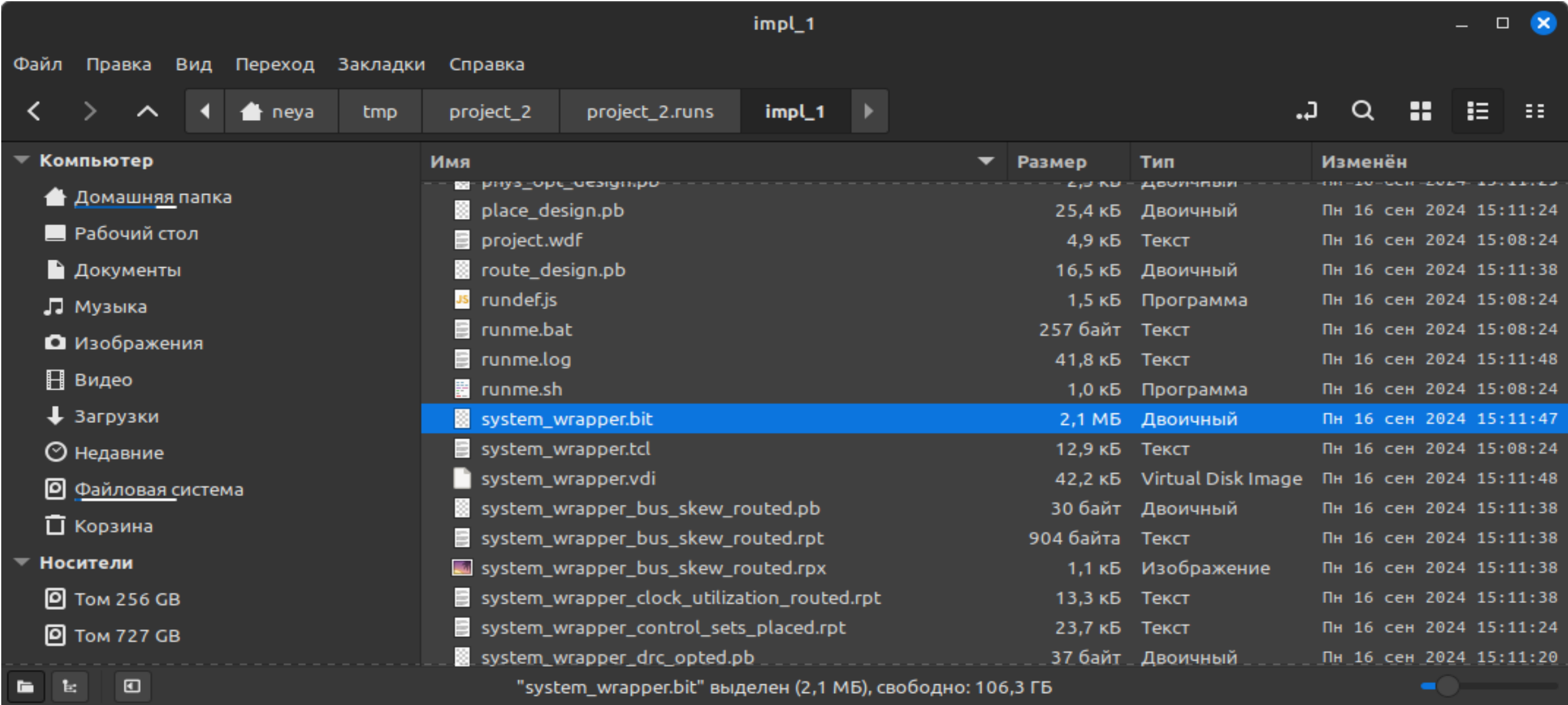


Utilization									
Hierarchy									
Name	Slice LUTs (17600)	Slice Registers (35200)	Slice (4400)	LUT as Logic (17600)	LUT as Memory (6000)	Bonded IOB (100)	Bonded IOPADs (130)	BUFGCTRL (32)	
system_wrapper	585	801	266	523	62	8	130	1	
system_i (system)	585	801	266	523	62	0	0	1	
axi_gpio_buttons	41	68	22	41	0	0	0	0	
U0 (system_axi_gpio_buttons)	41	68	22	41	0	0	0	0	
AXI_LITE_IPIF	30	31	13	30	0	0	0	0	
I_SLAVE_A	30	31	13	30	0	0	0	0	
I_DECO	13	6	7	13	0	0	0	0	
gpio_core_1	11	30	13	11	0	0	0	0	
Not_Dual	0	16	4	0	0	0	0	0	
axi_gpio_leds (system_axi_gpio_buttons)	37	52	18	37	0	0	0	0	
U0 (system_axi_gpio_leds)	37	52	18	37	0	0	0	0	
AXI_LITE_IPIF	29	31	13	29	0	0	0	0	
I_SLAVE_A	29	31	13	29	0	0	0	0	
I_DECO	12	6	7	12	0	0	0	0	
MEM	1	0	1	1	0	0	0	0	
MEM	1	0	1	1	0	0	0	0	
gpio_core_1	8	14	5	8	0	0	0	0	
processing_system7_0_axi_periph	0	0	0	0	0	0	0	1	
inst (system_processing_system7_0_axi_periph)	0	0	0	0	0	0	0	1	
ps7_0_axi_periph	491	648	221	430	61	0	0	0	
s00_couplers (system_processing_system7_0_axi_periph)	390	534	181	329	61	0	0	0	
auto_pc (system_processing_system7_0_axi_periph)	390	534	181	329	61	0	0	0	
inst (system_processing_system7_0_axi_periph)	390	534	181	329	61	0	0	0	
gen_axi	390	534	181	329	61	0	0	0	
xbar (system_processing_system7_0_axi_periph)	101	114	48	101	0	0	0	0	
inst (system_processing_system7_0_axi_periph)	101	114	48	101	0	0	0	0	
gen_sasdr	101	114	48	101	0	0	0	0	
rst_ps7_0_50M (system_processing_system7_0_axi_periph)	17	33	11	16	1	0	0	0	
U0 (system_processing_system7_0_axi_periph)	17	33	11	16	1	0	0	0	
EXT_LPF (system_processing_system7_0_axi_periph)	5	17	7	4	1	0	0	0	
ACTIVE_LC	1	4	1	1	0	0	0	0	
ACTIVE_LC	2	4	2	2	0	0	0	0	
SEQ (system_processing_system7_0_axi_periph)	12	15	5	12	0	0	0	0	
SEQ_COUNTER	5	6	2	5	0	0	0	0	

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Пример создания проекта Vivado:

https://digilent.com/reference/vivado/getting_started/2018.2.



Спасибо за внимание!