

Навигация по тесту

- 1

2

3

4

5

Показать одну страницу

Закончить обзор

Тест начат	суббота, 27 декабря 2025, 12:12
Состояние	Завершены
Завершен	суббота, 27 декабря 2025, 12:29
Прошло времени	17 мин. 5 сек.
Оценка	4,00 из 5,00 (80%)

Вопрос 1

Верно

Баллов: 1,00 из 1,00

Отметить  
вопрос

Что такое FPGA?

1.

Графический интерфейс среды Vivado
2.

Полевая программируемая вентильная матрица — цифровая схема, которую можно переопределять
3.

Специальный вид микроконтроллера с прошитой программой
4.

Память для хранения bitstream-файла

Ваш ответ верный.

Вопрос 2

Верно

Баллов: 1,00 из 1,00

Отметить  
вопрос

Какой правильный порядок этапов обработки проекта в Vivado?

1.

HDL/Block Design → Synthesis → Implementation → Bitstream
2.

HDL/Block Design → Implementation → Synthesis → Bitstream
3.

Implementation → Synthesis → Bitstream
4.

Synthesis → Bitstream → Implementation

Ваш ответ верный.

Вопрос 3

Неверно

Баллов: 0,00 из 1,00

Отметить  
вопрос

За что отвечает файл ограничений (.xdc) в проекте Vivado?

1.

Описывает логику работы схемы на уровне регистров
2.

Определяет только тактовую частоту системы
3.

Содержит исходный код программы для ARM-процессора
4.

Назначает физические выводы FPGA и параметры сигналов

Ваш ответ неправильный.

Вопрос 4

Верно

Баллов: 1,00 из 1,00

Отметить  
вопрос

Для чего используется Block Design в Vivado?

1.

Исключительно для генерации bitstream
2.

Для текстового описания логики на HDL
3.

Для графической сборки аппаратной системы из готовых блоков и IP-ядр
4.

Только для настройки таймингов

Ваш ответ верный.

Вопрос 5

Верно

Баллов: 1,00 из 1,00

Отметить  
вопрос

Как лучше описать роль Vivado и Vitis в системе на базе Zynq?

1.

Vivado создаёт аппаратную часть, Vitis — программную часть для ARM-процессора
2.

Vivado — софт, Vitis — железо
3.

Vivado и Vitis выполняют одинаковые функции
4.

Vivado отвечает только за загрузку прошивки в Flash, Vitis — только за JTAG

Ваш ответ верный.

Закончить обзор