ЗНАКОМСТВО С САПР. СОЗДАЕМ СВОЙ ПРОЕКТ

Проектирование цифровой техники с применением ПЛИС и аппаратного языка разработки System Verilog

Н. Г. Зайцев

Кандидат технических наук, преподаватель кафедры КИПР ТУСУР, начальник сектора цифровой электроники ООО «ЛЭМЗ-Т»

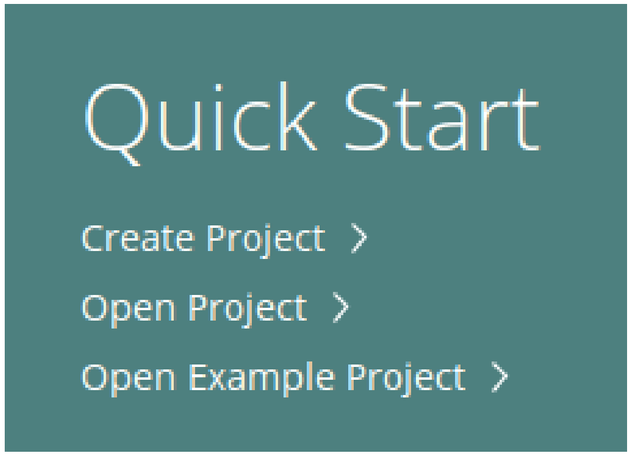
М. В. Кулешов

Ведущий инженер-электроник ООО «ЛЭМЗ-Т»

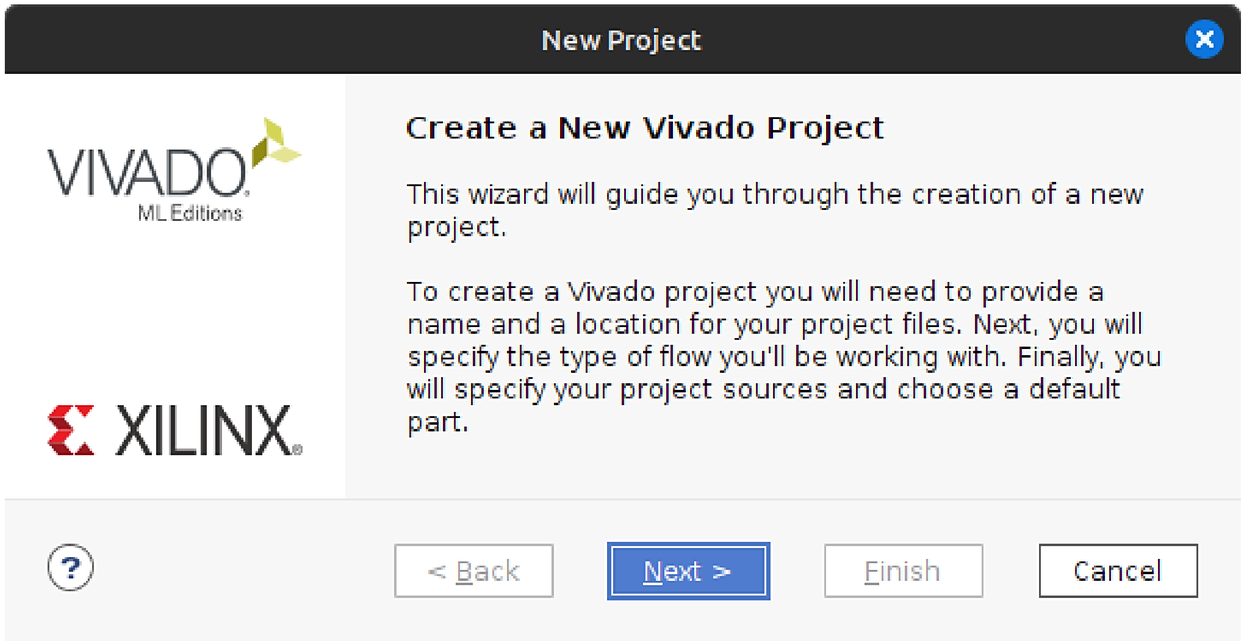
Я. В. Непомнящих

Ведущий инженер-программист ООО «ЛЭМЗ-Т»

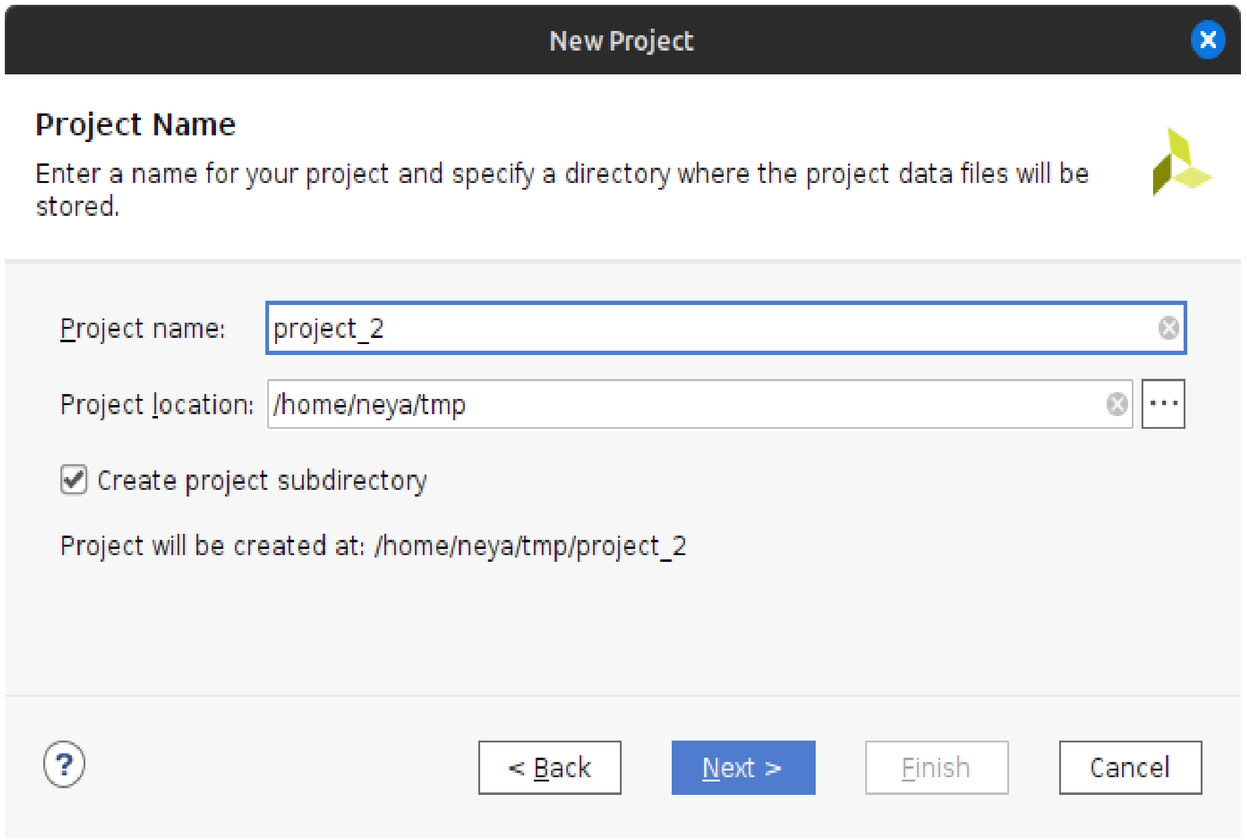
Знакомство с САПР. Создаем свой проект



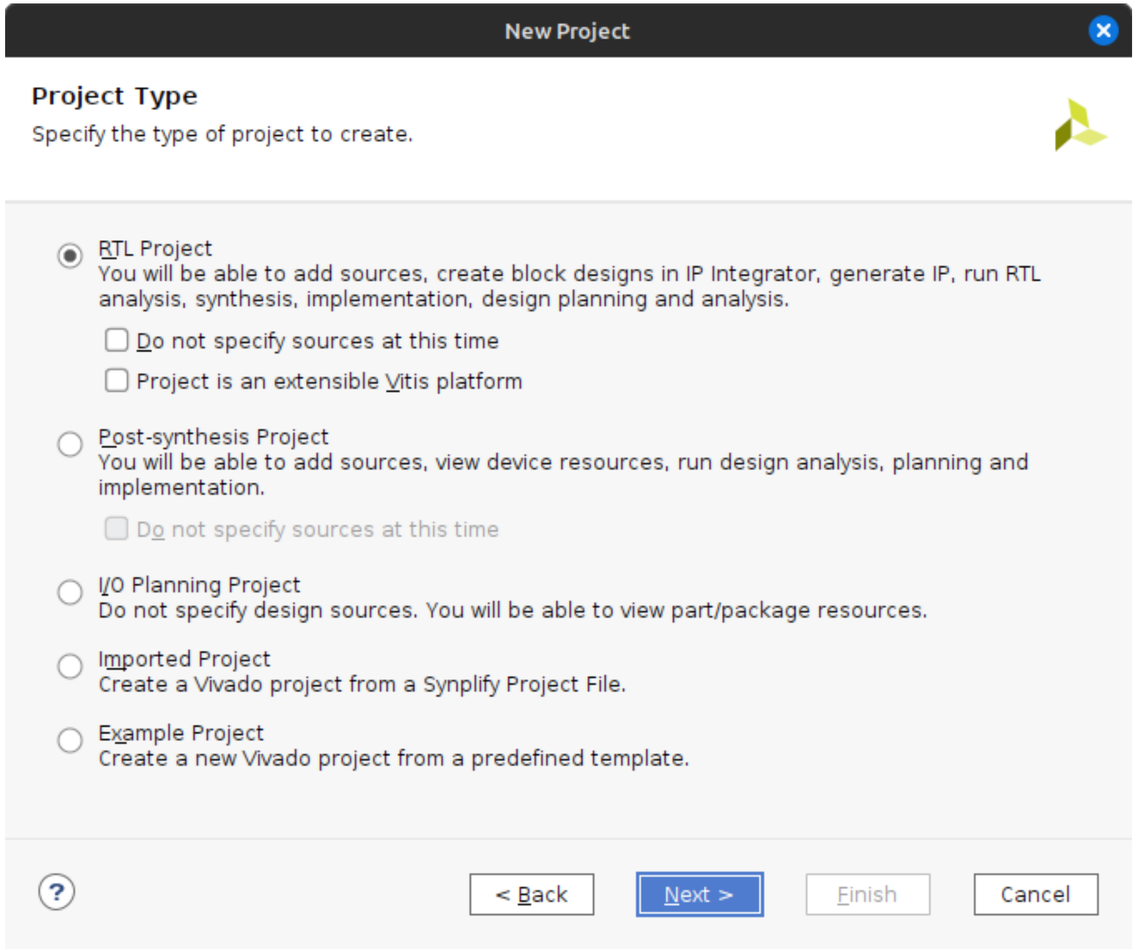
Знакомство с САПР. Создаем свой проект



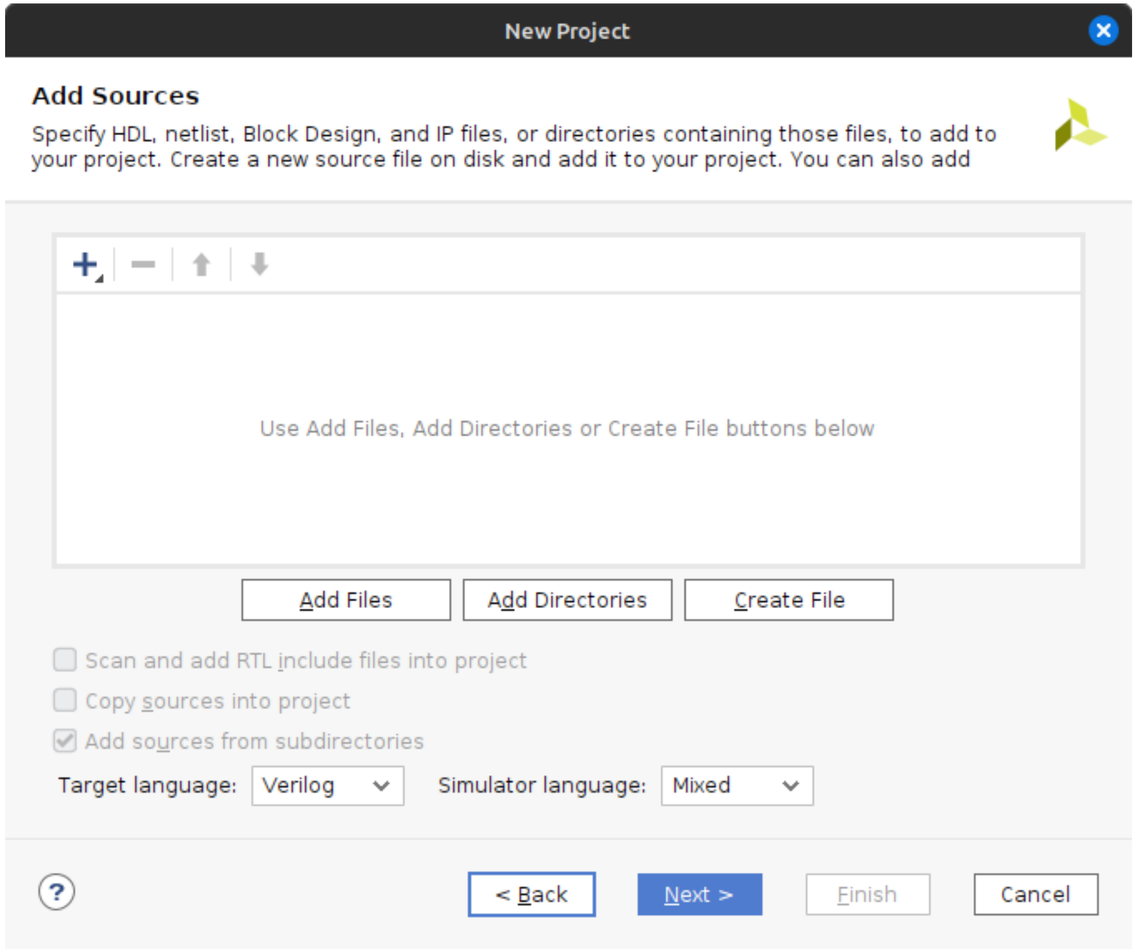
Знакомство с САПР. Создаем свой проект



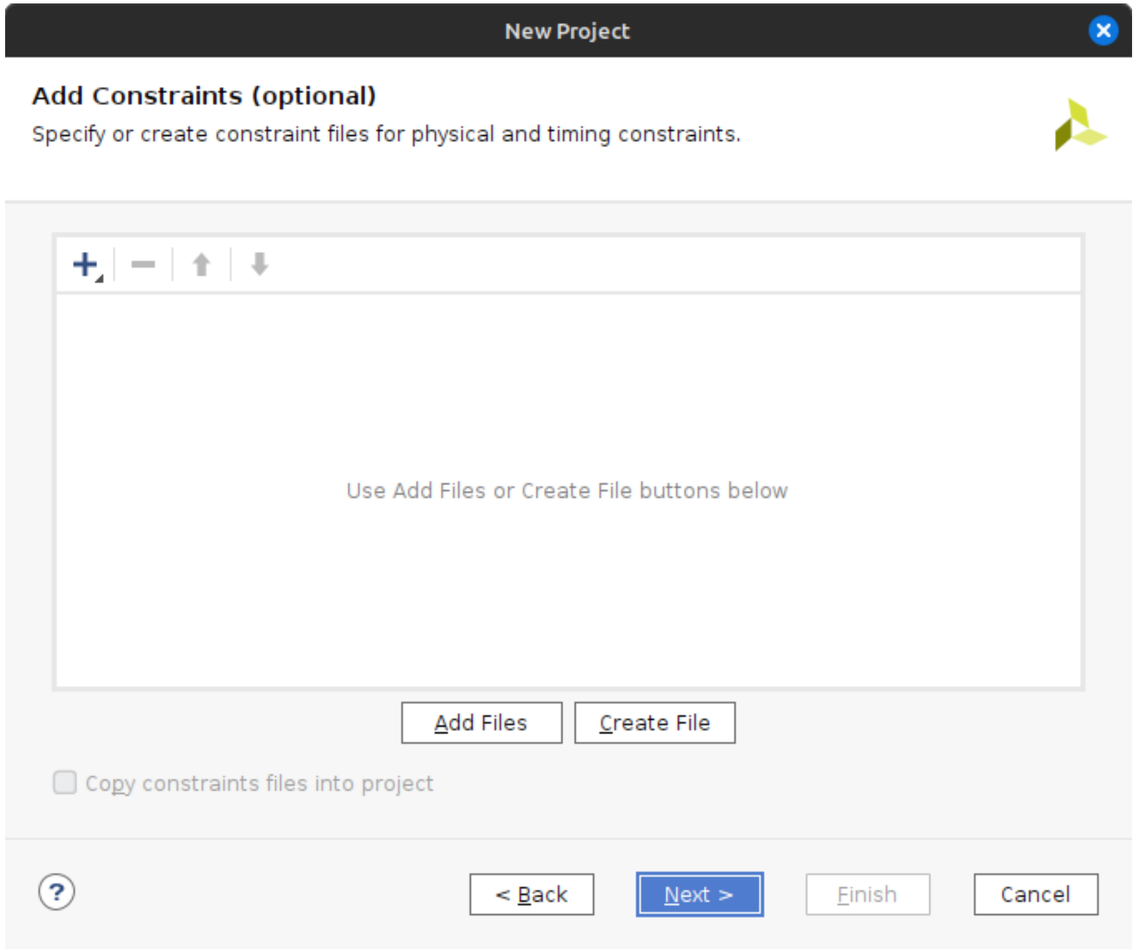
Знакомство с САПР. Создаем свой проект



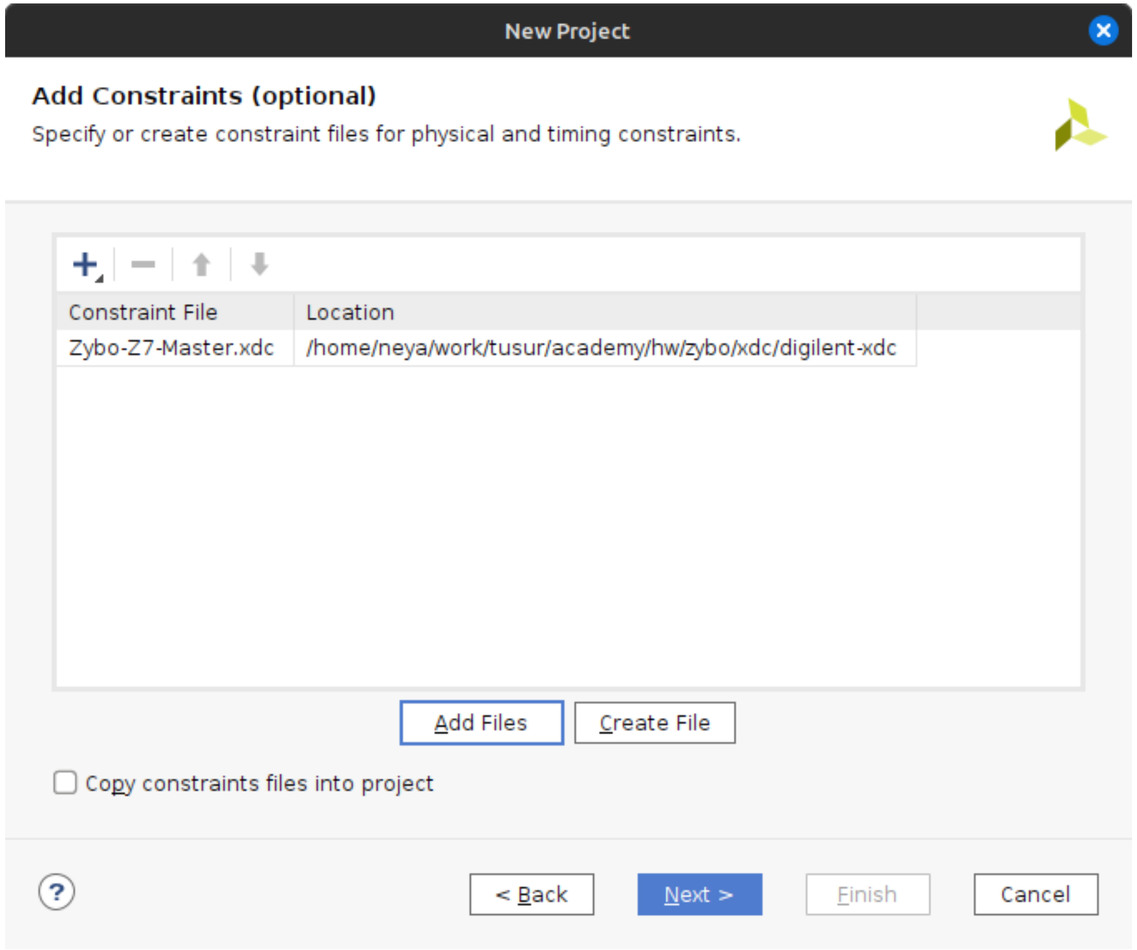
Знакомство с САПР. Создаем свой проект



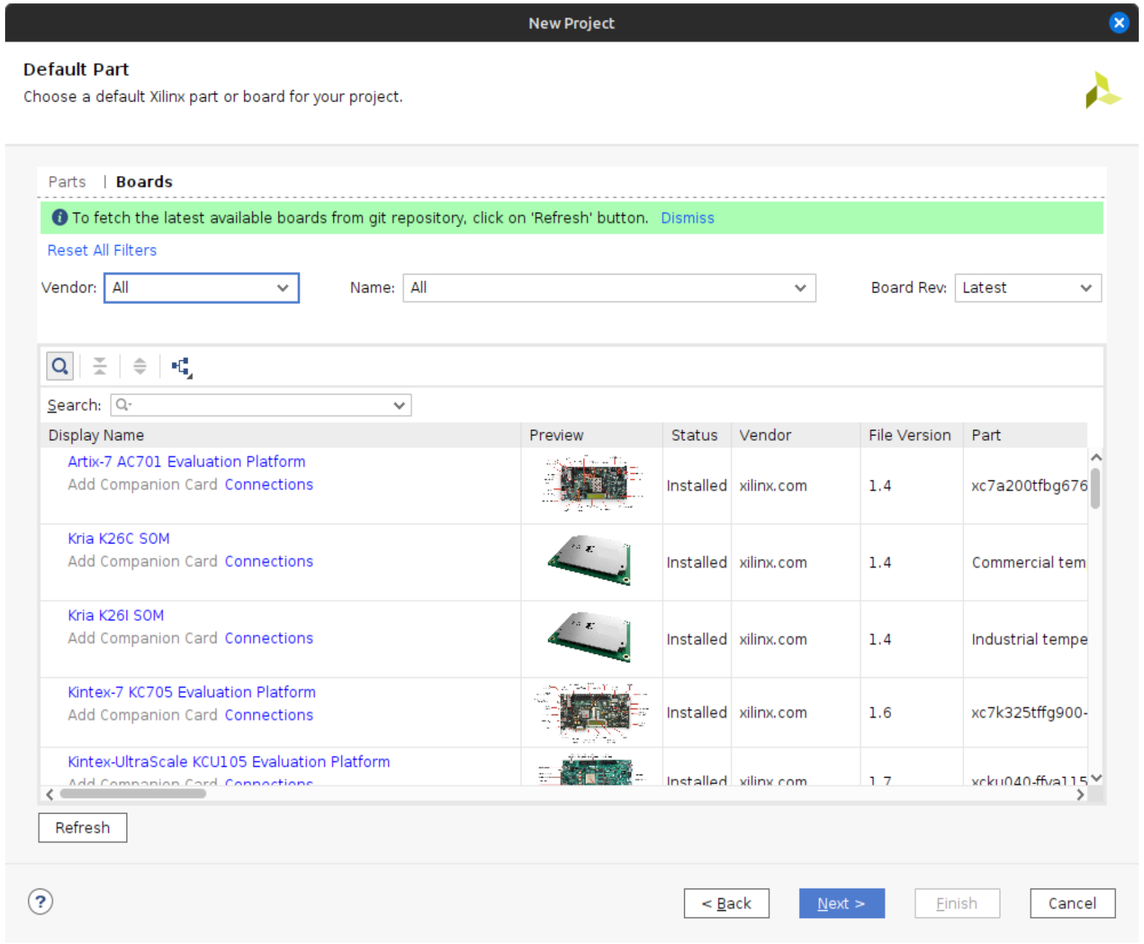
Знакомство с САПР. Создаем свой проект



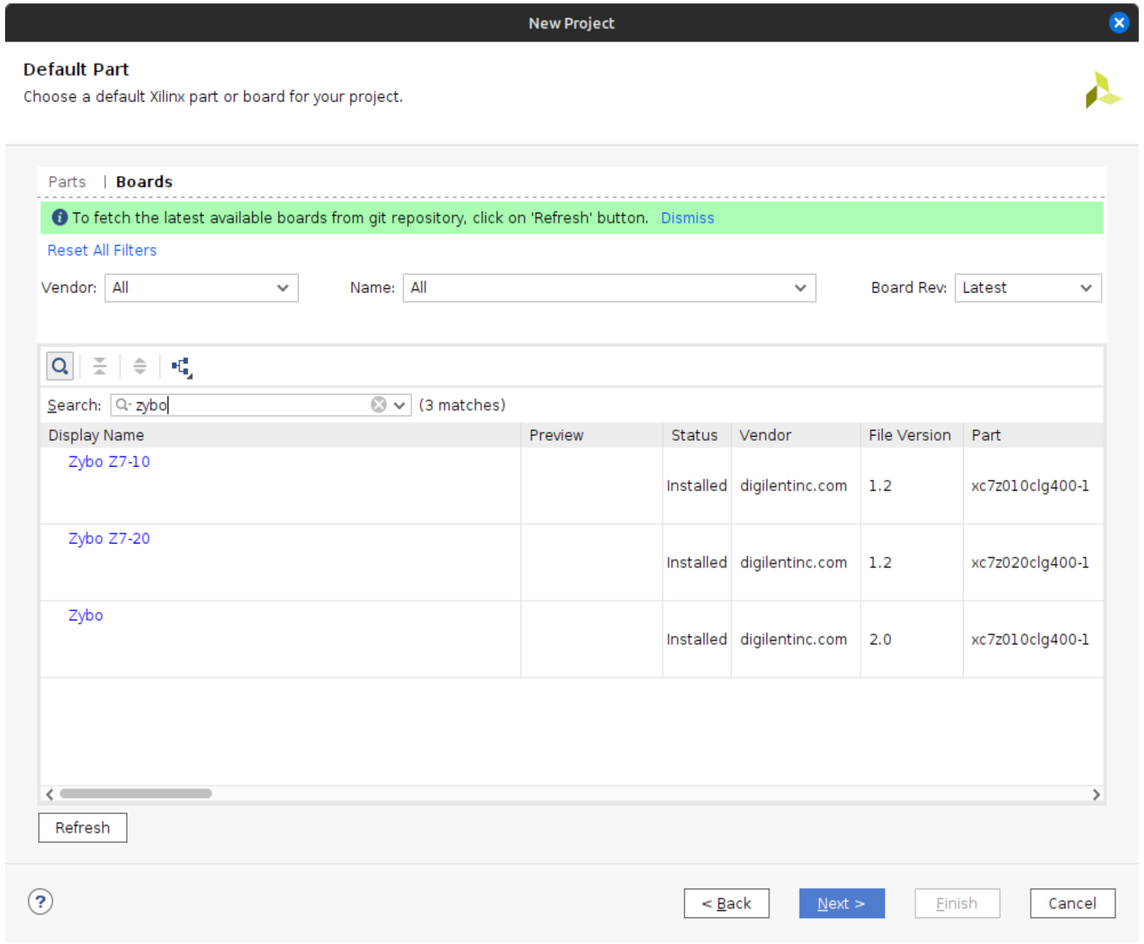
Знакомство с САПР. Создаем свой проект



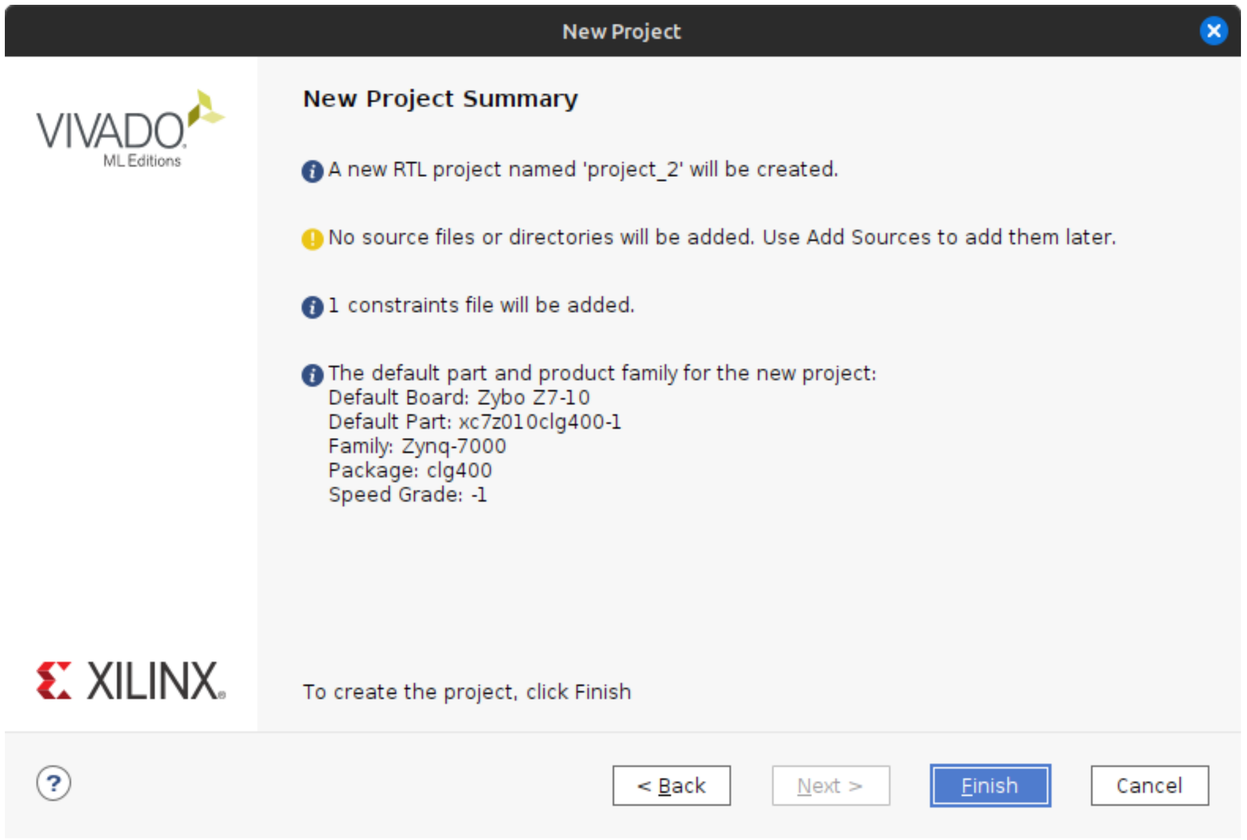
Знакомство с САПР. Создаем свой проект



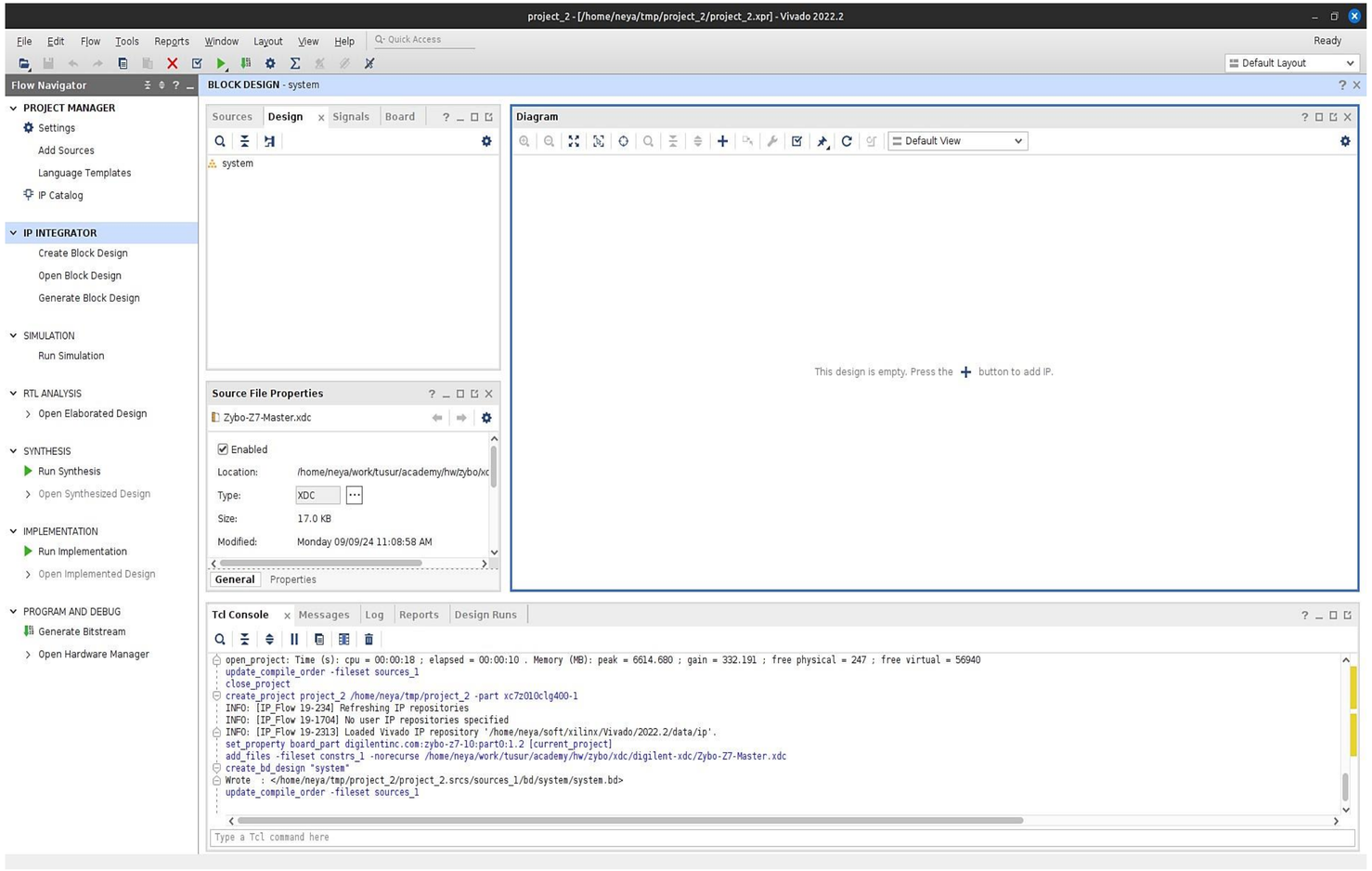
Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект

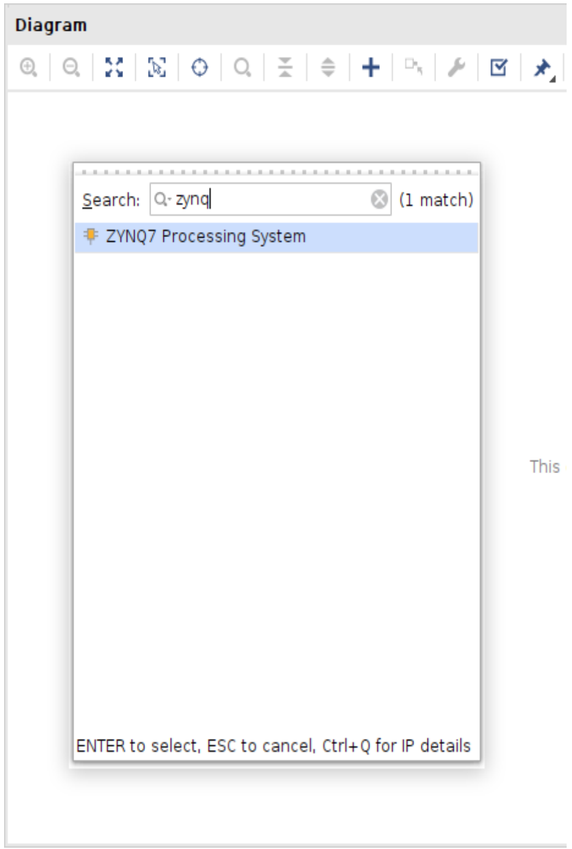
Zybo-Z7-Master.xdc

/home/neya/work/tusur/academy/hw/zybo/xdc/digilent-xdc/Zybo-Z7-Master.xdc

```
## This file is a general .xdc for the Zybo Z7 Rev. B
## It is compatible with the Zybo Z7-20 and Zybo Z7-10
## To use it in a project:
## - uncomment the lines corresponding to used pins
## - rename the used ports (in each line, after get_ports) according to the top level signal names in the project

##Clock signal
#set_property -dict { PACKAGE_PIN K17   IOSTANDARD LVCMOS33 } [get_ports { sysclk }]; #IO_L12P_T1_MRCC_35 Sch=sysclk
#create_clock -add -name sys_clk_pin -period 8.00 -waveform {0 4} [get_ports { sysclk }];


##Switches
#set_property -dict { PACKAGE_PIN G15   IOSTANDARD LVCMOS33 } [get_ports { sw[0] }]; #IO_L19N_T3_VREF_35 Sch=sw[0]
#set_property -dict { PACKAGE_PIN P15   IOSTANDARD LVCMOS33 } [get_ports { sw[1] }]; #IO_L24P_T3_34 Sch=sw[1]
#set_property -dict { PACKAGE_PIN W13   IOSTANDARD LVCMOS33 } [get_ports { sw[2] }]; #IO_L4N_T0_34 Sch=sw[2]
#set_property -dict { PACKAGE_PIN T16   IOSTANDARD LVCMOS33 } [get_ports { sw[3] }]; #IO_L9P_T1_DQS_34 Sch=sw[3]


#Buttons
set_property -dict { PACKAGE_PIN K18   IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[0] }]; #IO_L12N_T1_MRCC_35 Sch=btn[0]
set_property -dict { PACKAGE_PIN P16   IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[1] }]; #IO_L24N_T3_34 Sch=btn[1]
set_property -dict { PACKAGE_PIN K19   IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[2] }]; #IO_L10P_T1_AD11P_35 Sch=btn[2]
set_property -dict { PACKAGE_PIN Y16   IOSTANDARD LVCMOS33 } [get_ports { btn_tri_i[3] }]; #IO_L7P_T1_34 Sch=btn[3]


#LEDs
set_property -dict { PACKAGE_PIN M14   IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[0] }]; #IO_L23P_T3_35 Sch=led[0]
set_property -dict { PACKAGE_PIN M15   IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[1] }]; #IO_L23N_T3_35 Sch=led[1]
set_property -dict { PACKAGE_PIN G14   IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[2] }]; #IO_0_35 Sch=led[2]
set_property -dict { PACKAGE_PIN D18   IOSTANDARD LVCMOS33 } [get_ports { led_tri_o[3] }]; #IO_L3N_T0_DQS_AD1N_35 Sch=led[3]


##RGB LED 5 (Zybo Z7-20 only)
#set_property -dict { PACKAGE_PIN Y11   IOSTANDARD LVCMOS33 } [get_ports { led5_r }]; #IO_L18N_T2_13 Sch=led5_r
#set_property -dict { PACKAGE_PIN T5    IOSTANDARD LVCMOS33 } [get_ports { led5_g }]; #IO_L19P_T3_13 Sch=led5_g
#set_property -dict { PACKAGE_PIN Y12   IOSTANDARD LVCMOS33 } [get_ports { led5_b }]; #IO_L20P_T3_13 Sch=led5_b
```

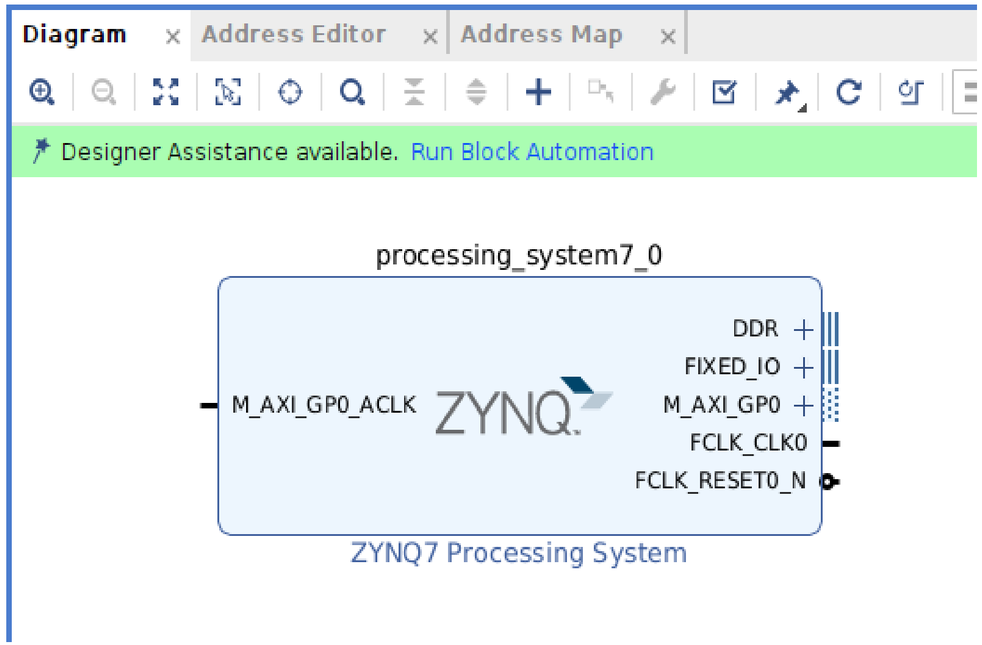
В проекте пока ничего нет кроме файла ограничений с описанием LED-индикаторов и клавиш.

Знакомство с САПР. Создаем свой проект



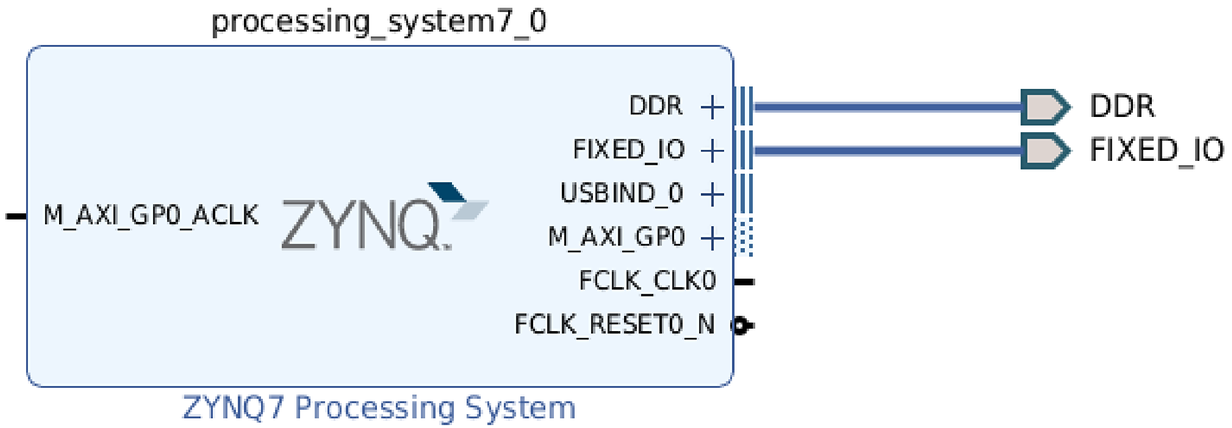
Добавляем описание процессорной системы и ее периферии.

Знакомство с САПР. Создаем свой проект

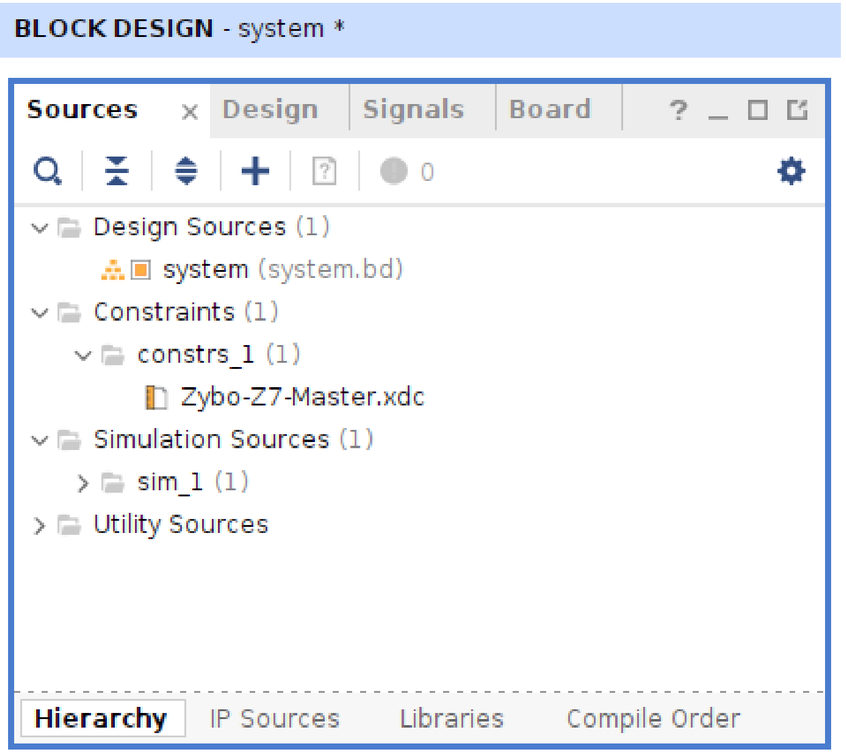


Пользуемся помощником.

Знакомство с САПР. Создаем свой проект

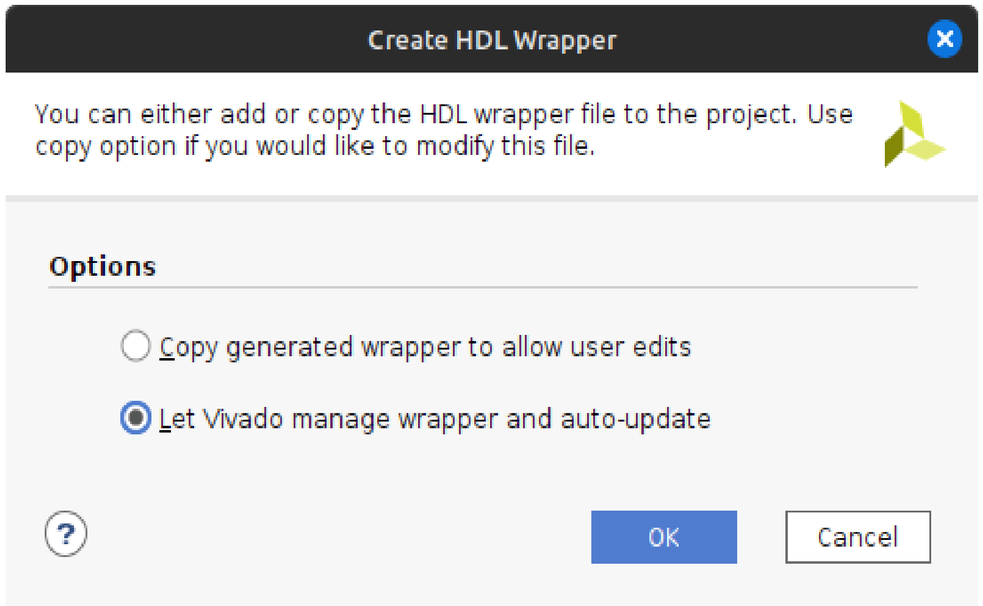


Знакомство с САПР. Создаем свой проект

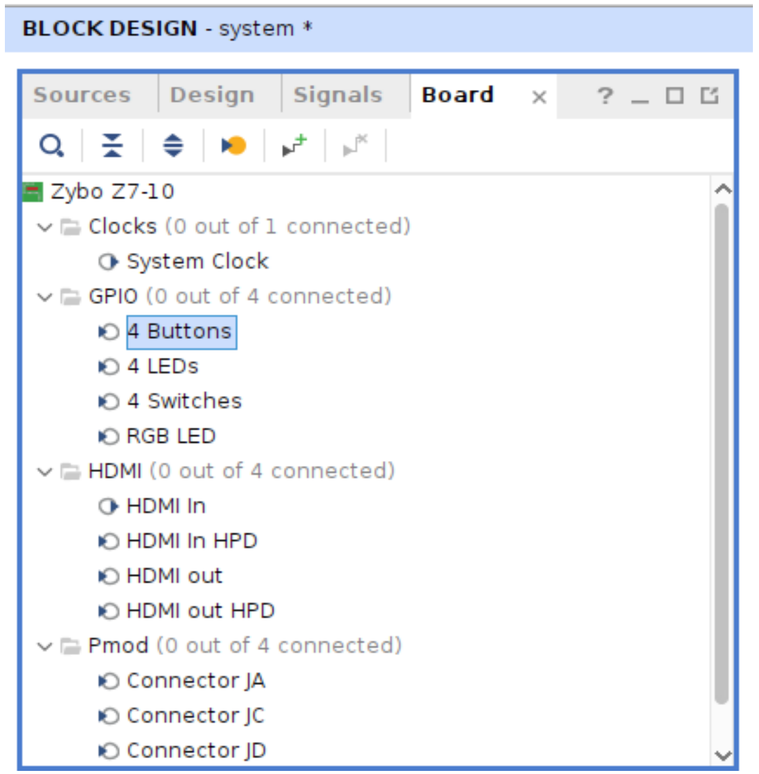


Создаем файл-обертку для Block Design.
В контекстном меню на system.bd есть нужная команда.

Знакомство с САПР. Создаем свой проект

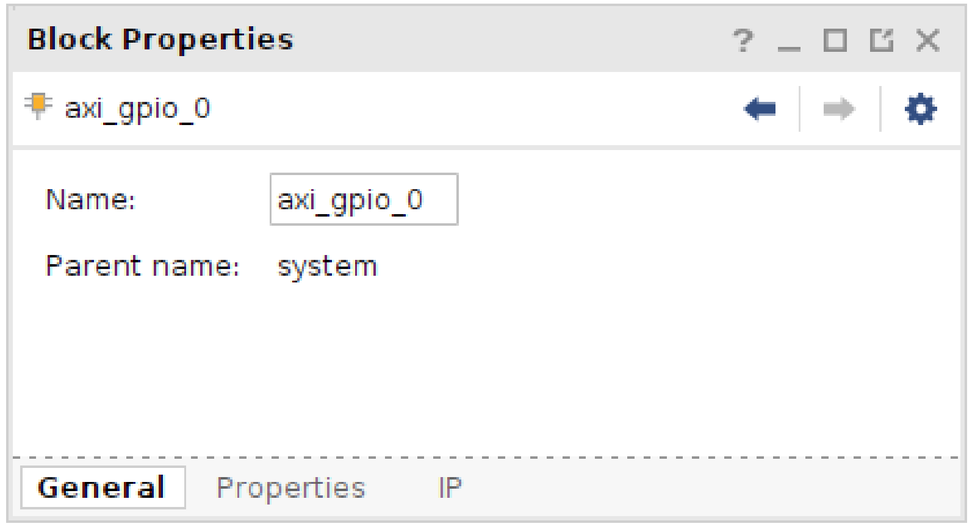


Знакомство с САПР. Создаем свой проект



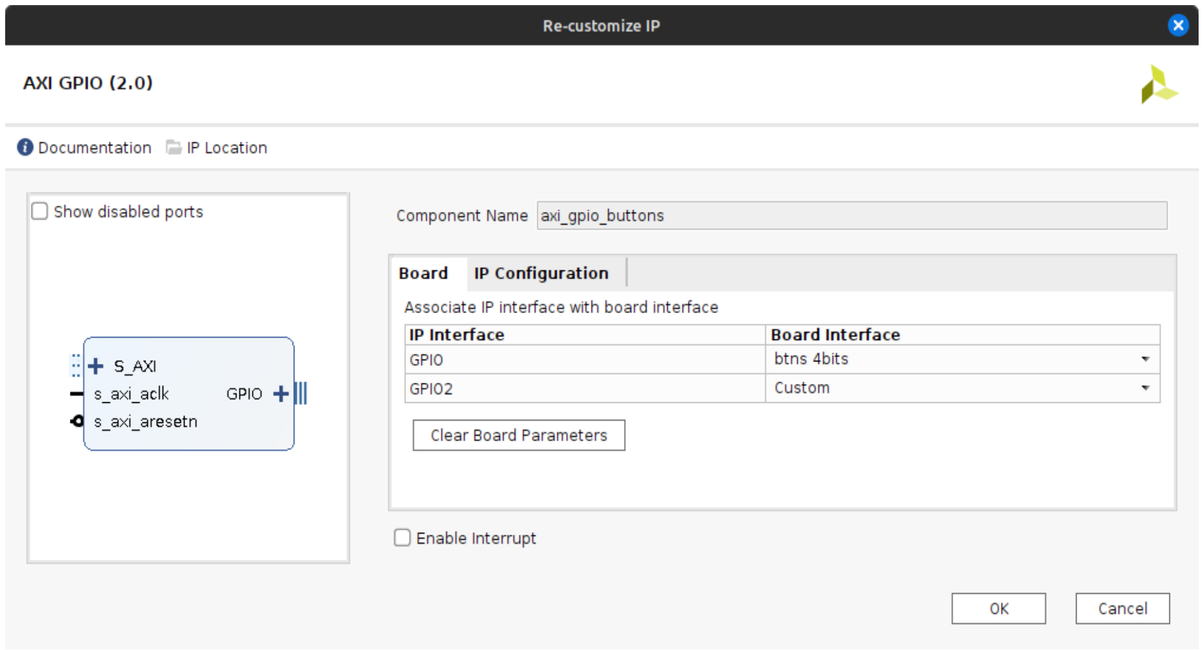
В контекстном меню выбираем Connect Board Component.

Знакомство с САПР. Создаем свой проект



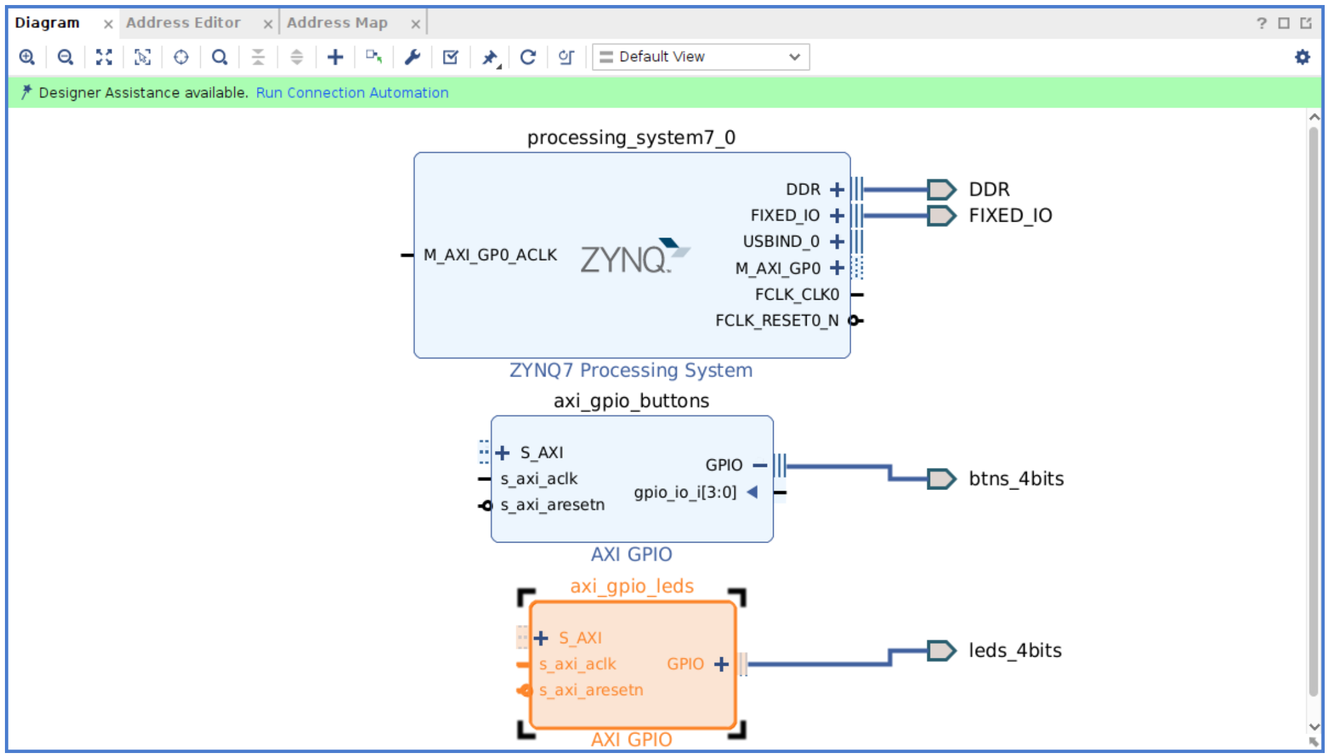
Добавлен компонент, позволяющий программе использовать и создавать пользовательские входы и выходы (сейчас они виртуальные).

Знакомство с САПР. Создаем свой проект



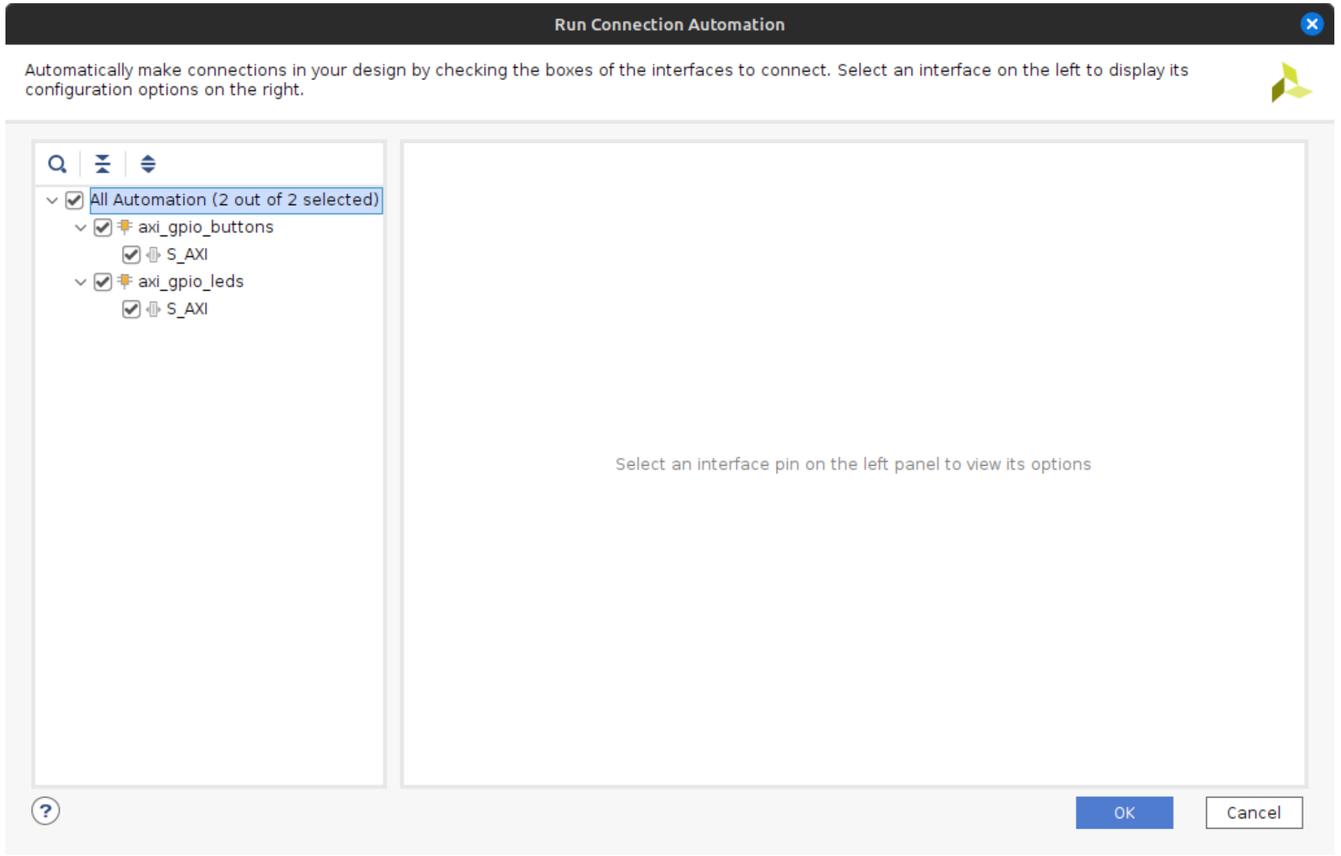
Настраивать пока ничего не будем.
Вперед!

Знакомство с САПР. Создаем свой проект

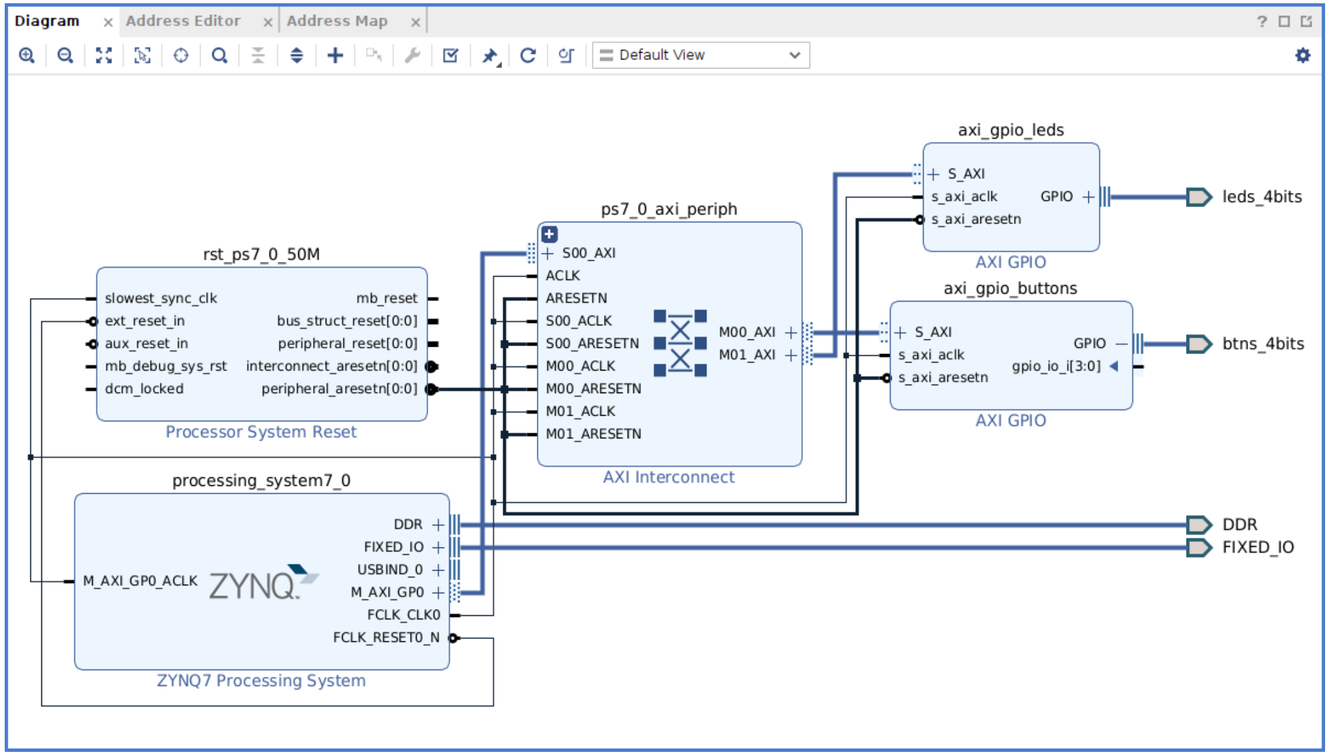


Снова помощник в деле.

Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Итог наших созидательных движений.

Знакомство с САПР. Создаем свой проект

```
36    inout [14:0]DDR_addr;
37    inout [2:0]DDR_ba;
38    inout DDR_cas_n;
39    inout DDR_ck_n;
40    inout DDR_ck_p;
41    inout DDR_cke;
42    inout DDR_cs_n;
43    inout [3:0]DDR_dm;
44    inout [31:0]DDR_dq;
45    inout [3:0]DDR_dqs_n;
46    inout [3:0]DDR_dqs_p;
47    inout DDR_odt;
48    inout DDR_ras_n;
49    inout DDR_reset_n;
50    inout DDR_we_n;
51    inout FIXED_IO_ddr_vrn;
52    inout FIXED_IO_ddr_vrp;
53    inout [53:0]FIXED_IO_mio;
54    inout FIXED_IO_ps_clk;
55    inout FIXED_IO_ps_porb;
56    inout FIXED_IO_ps_srstb;
57    input [3:0]btns_4bits_tri_i;
58    output [3:0]leds_4bits_tri_o;
```

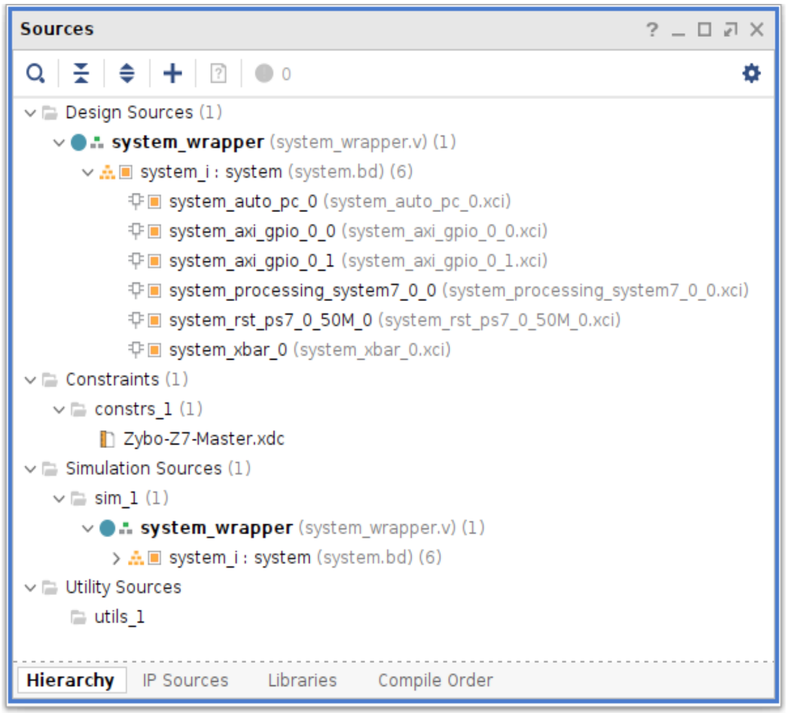
Файл-обертка сформировался автоматически.
Синтаксис - Verilog.
Интерфейс соответствует Block Design.

Знакомство с САПР. Создаем свой проект

```
#Buttons
set_property -dict { PACKAGE_PIN K18   IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[0] }]; #IO_L12N_T1_MRCC_35 Sch=btn[0]
set_property -dict { PACKAGE_PIN P16   IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[1] }]; #IO_L24N_T3_34 Sch=btn[1]
set_property -dict { PACKAGE_PIN K19   IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[2] }]; #IO_L10P_T1_AD11P_35 Sch=btn[2]
set_property -dict { PACKAGE_PIN Y16   IOSTANDARD LVCMOS33 } [get_ports { btns_4bits_tri_i[3] }]; #IO_L7P_T1_34 Sch=btn[3]


#LEDs
set_property -dict { PACKAGE_PIN M14   IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[0] }]; #IO_L23P_T3_35 Sch=led[0]
set_property -dict { PACKAGE_PIN M15   IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[1] }]; #IO_L23N_T3_35 Sch=led[1]
set_property -dict { PACKAGE_PIN G14   IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[2] }]; #IO_0_35 Sch=led[2]
set_property -dict { PACKAGE_PIN D18   IOSTANDARD LVCMOS33 } [get_ports { leds_4bits_tri_o[3] }]; #IO_L3N_T0_DQS_AD1N_35 Sch=led[3]
```

Зачем нам эти ограничения?
Здесь дружится логика наших бизнес-задач с холодным бездушным железом!
Разогреем его градусов до 70?

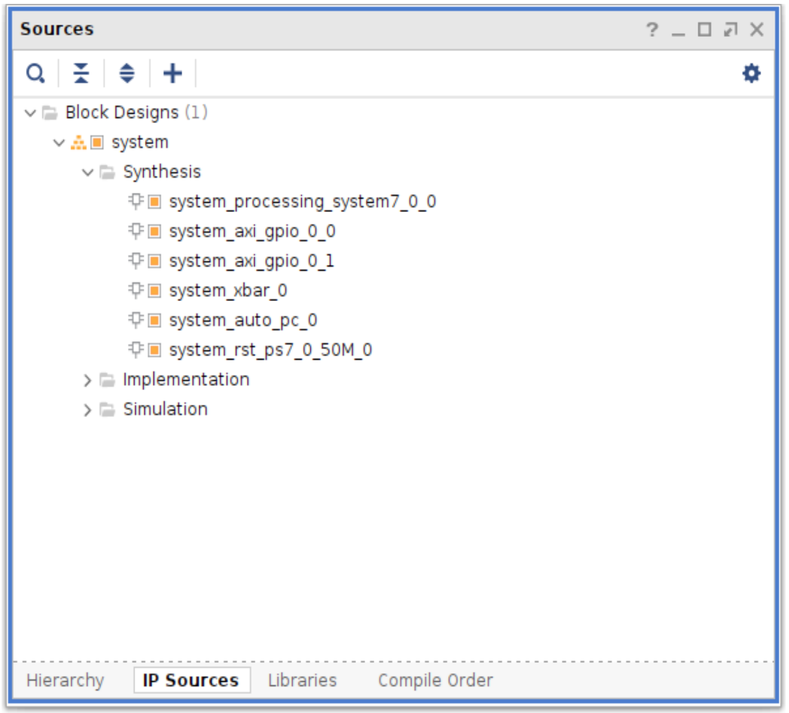
Знакомство с САПР. Создаем свой проект



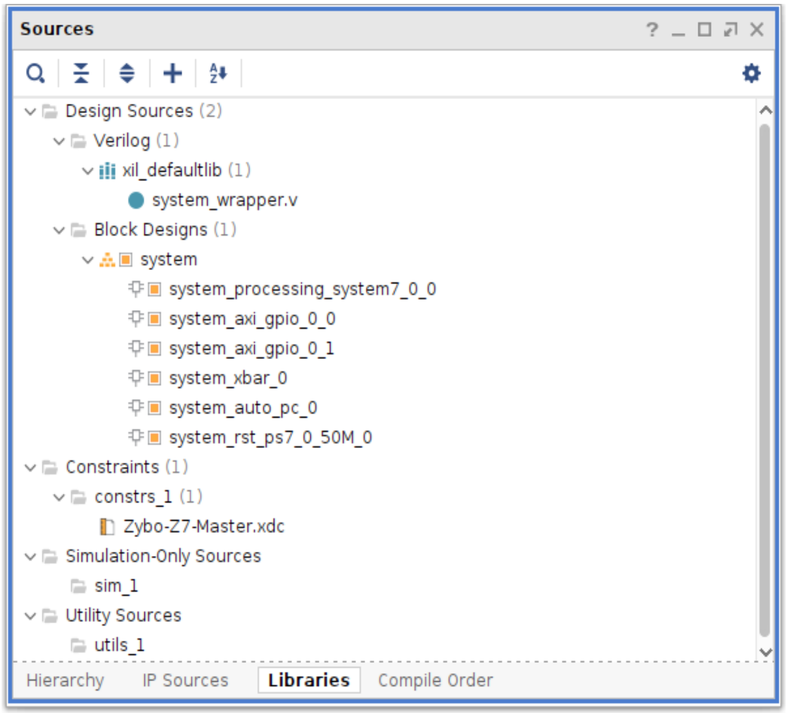
Итого имеем:

1. Block Design (*.bd) вместе с оберткой (*.sv, *.v или *.vhd).
2. Файл ограничений (*.xdc).
3. Не хватает тестов (Testbench может иметь расширение: *.sv, *.v или *.vhd).

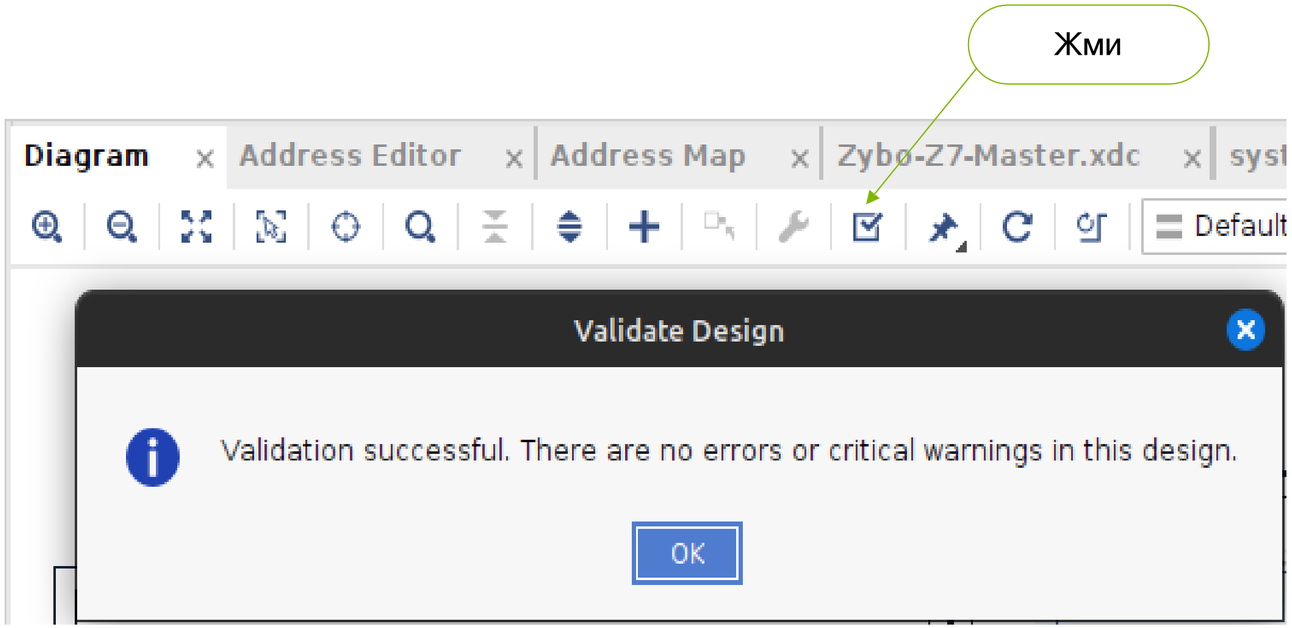
Знакомство с САПР. Создаем свой проект



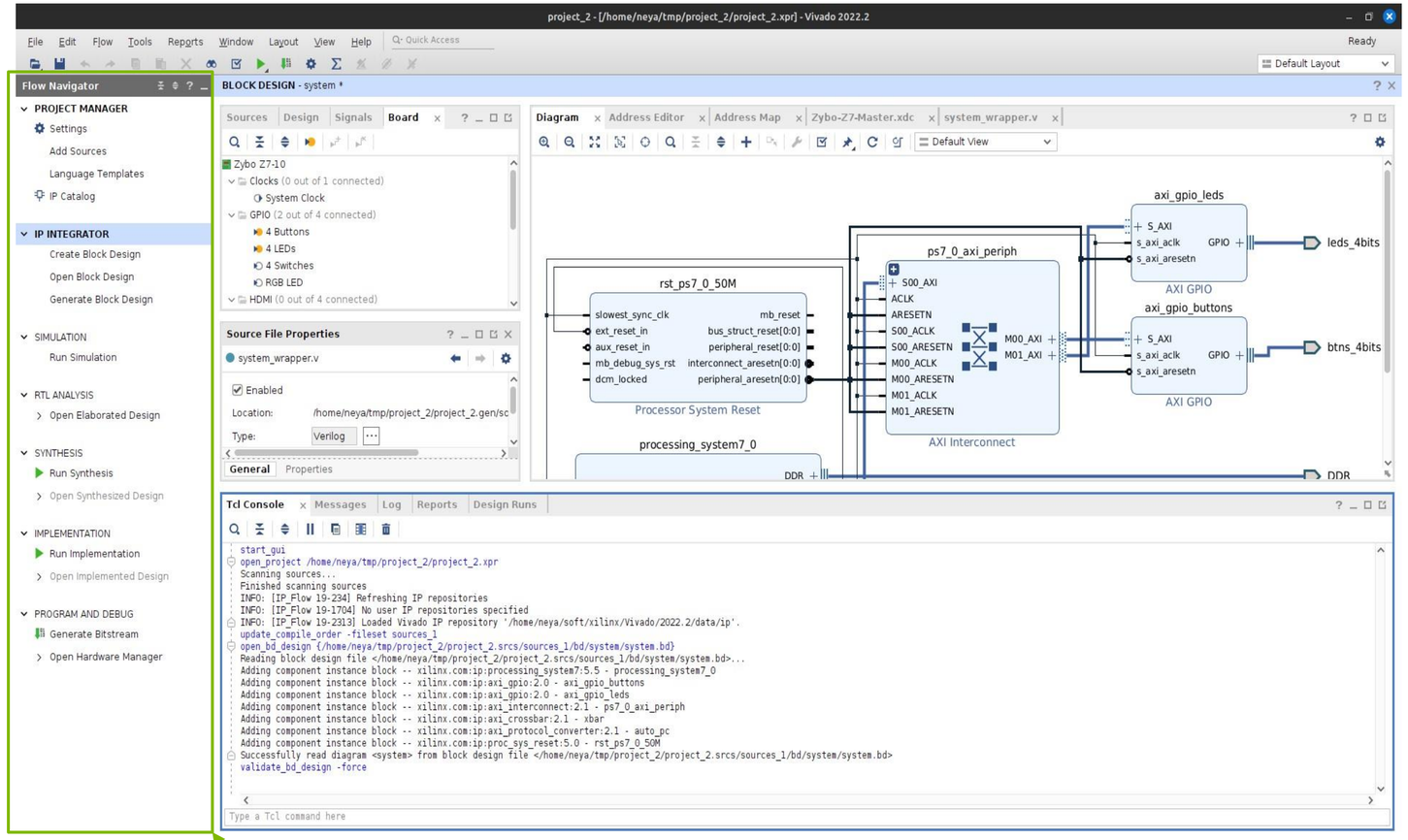
Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект

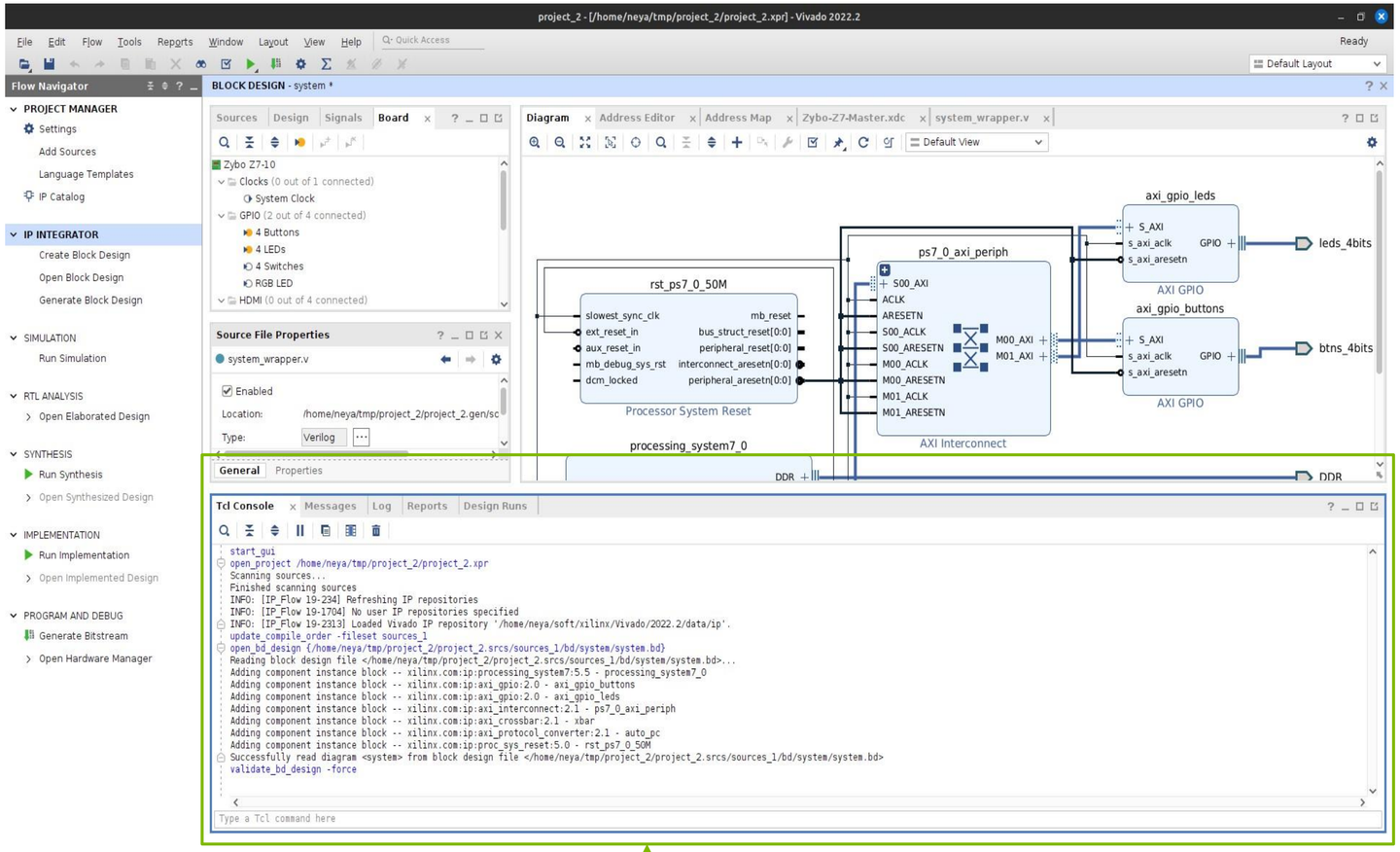


Знакомство с САПР. Создаем свой проект



Порядок работы сверху вниз

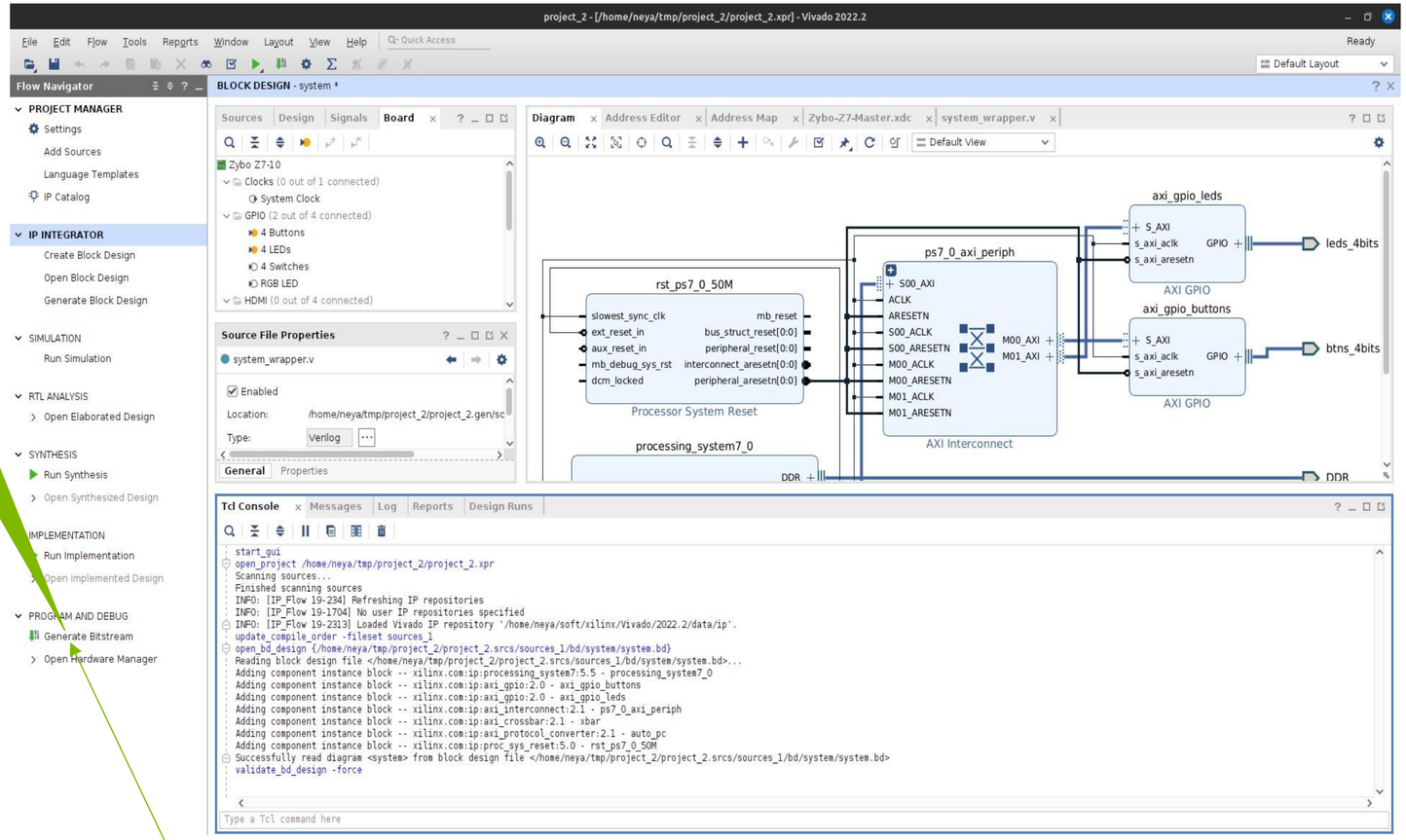
Знакомство с САПР. Создаем свой проект



TCL - мощный инструмент автоматизации

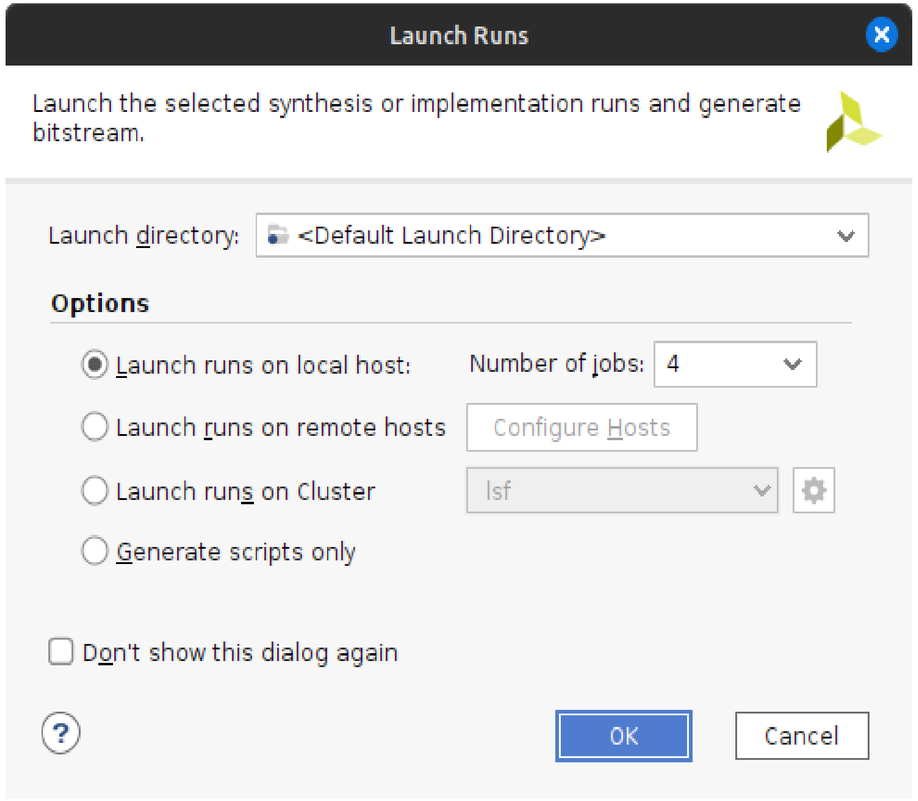
Знакомство с САПР. Создаем свой проект

Generate Bitstream

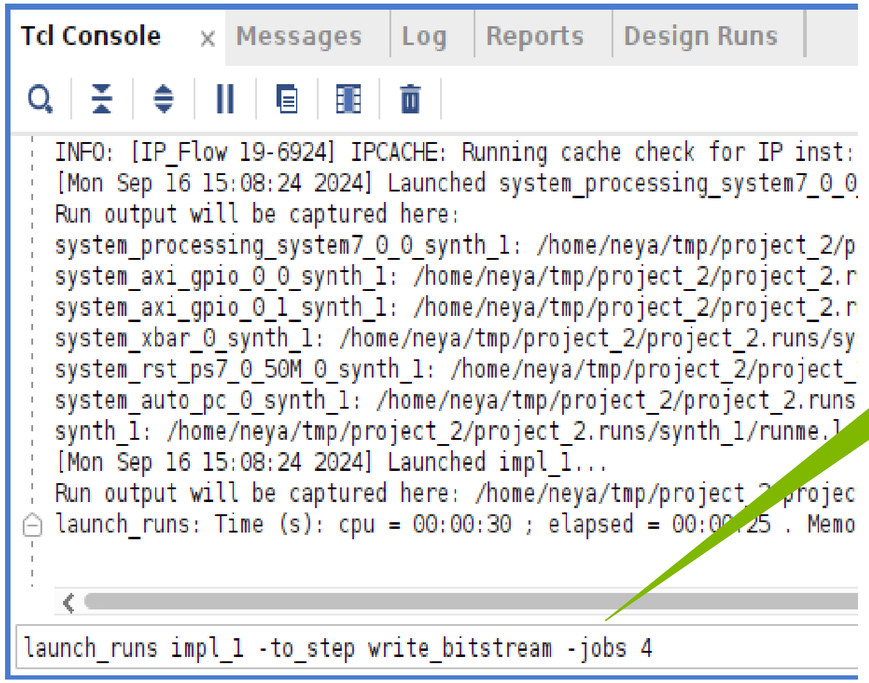


Можно сразу попросить прошивку

Знакомство с САПР. Создаем свой проект

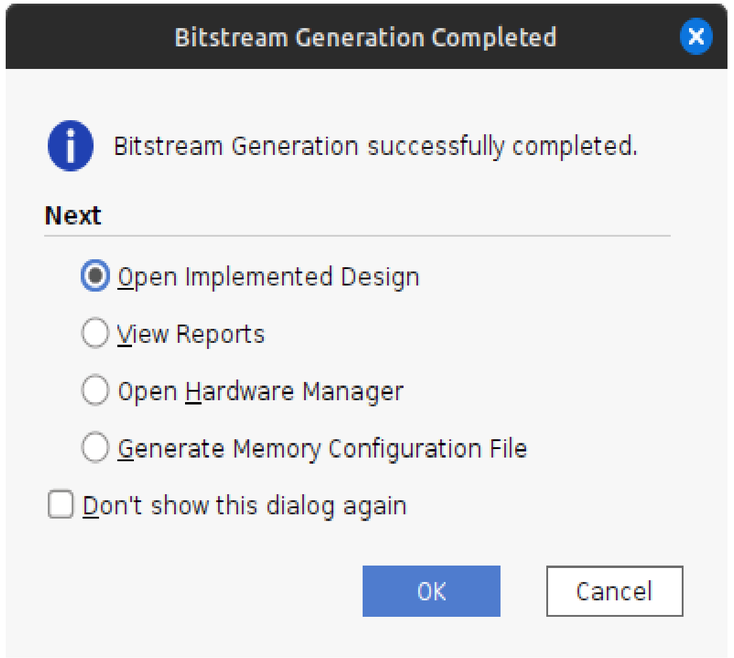


Знакомство с САПР. Создаем свой проект



Или вот так,
по-хакерски

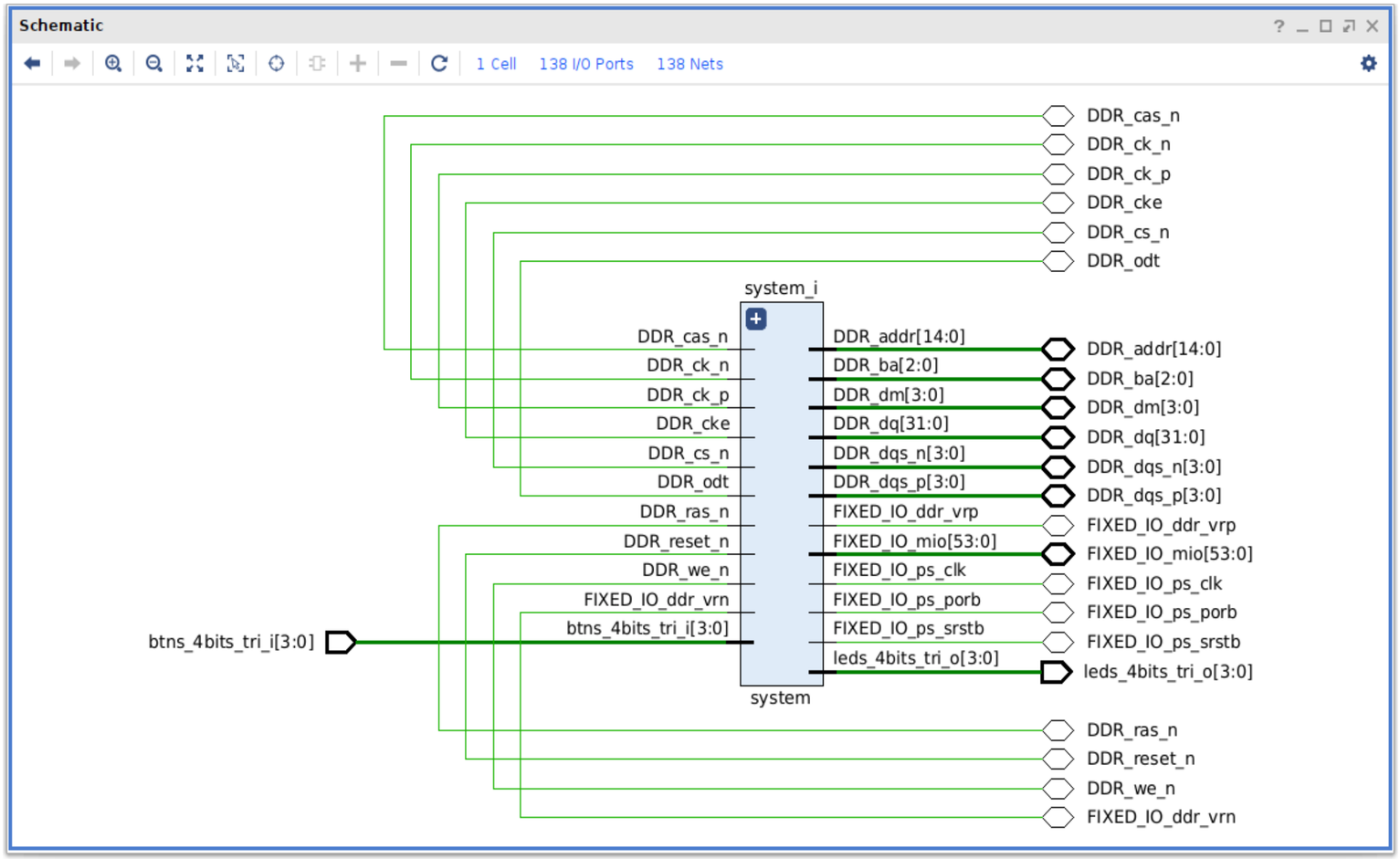
Знакомство с САПР. Создаем свой проект



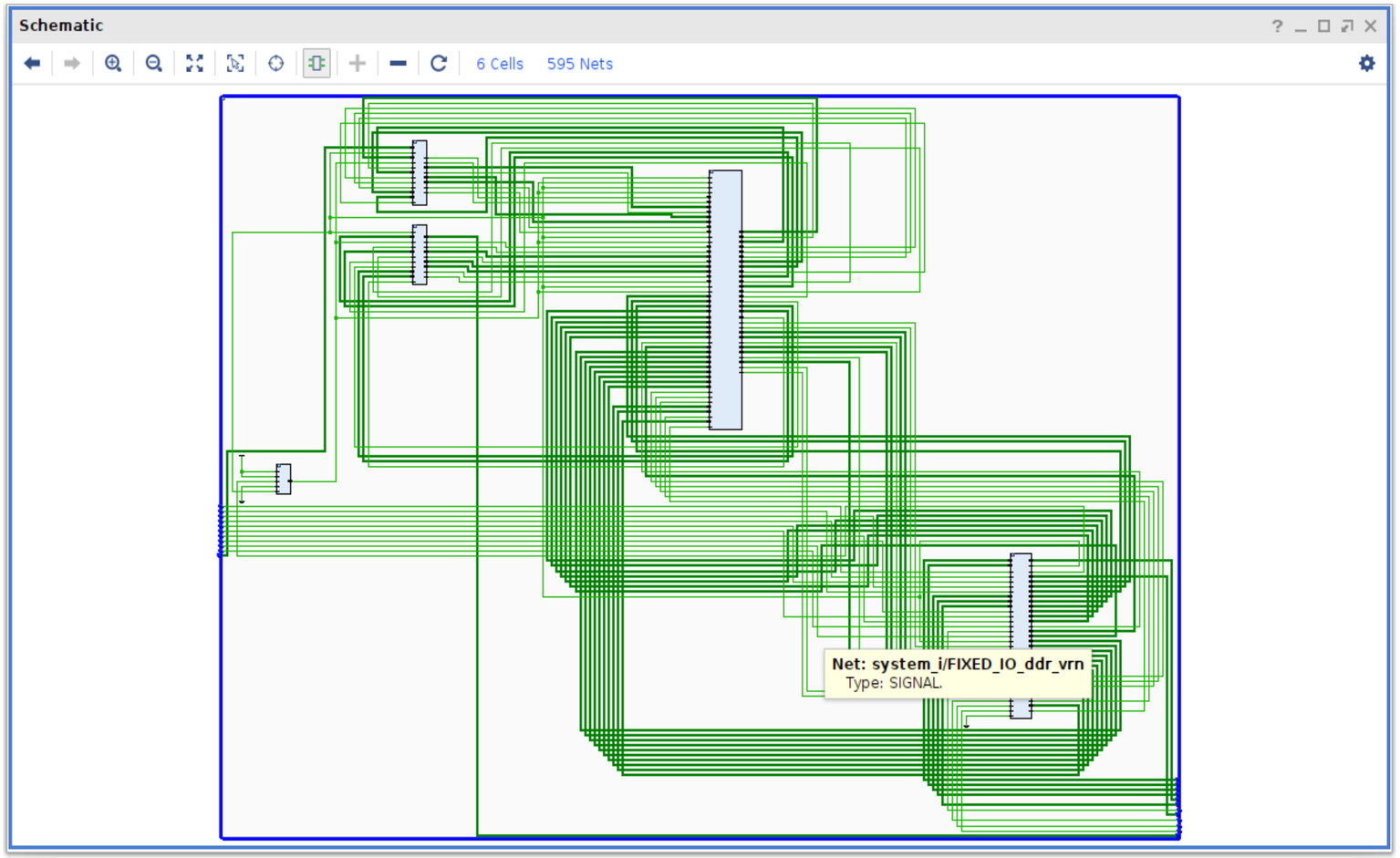
Результат один. Теперь можно посмотреть все промежуточные этапы:

1. Элаборация.
2. Синтез.
3. Имплементация.

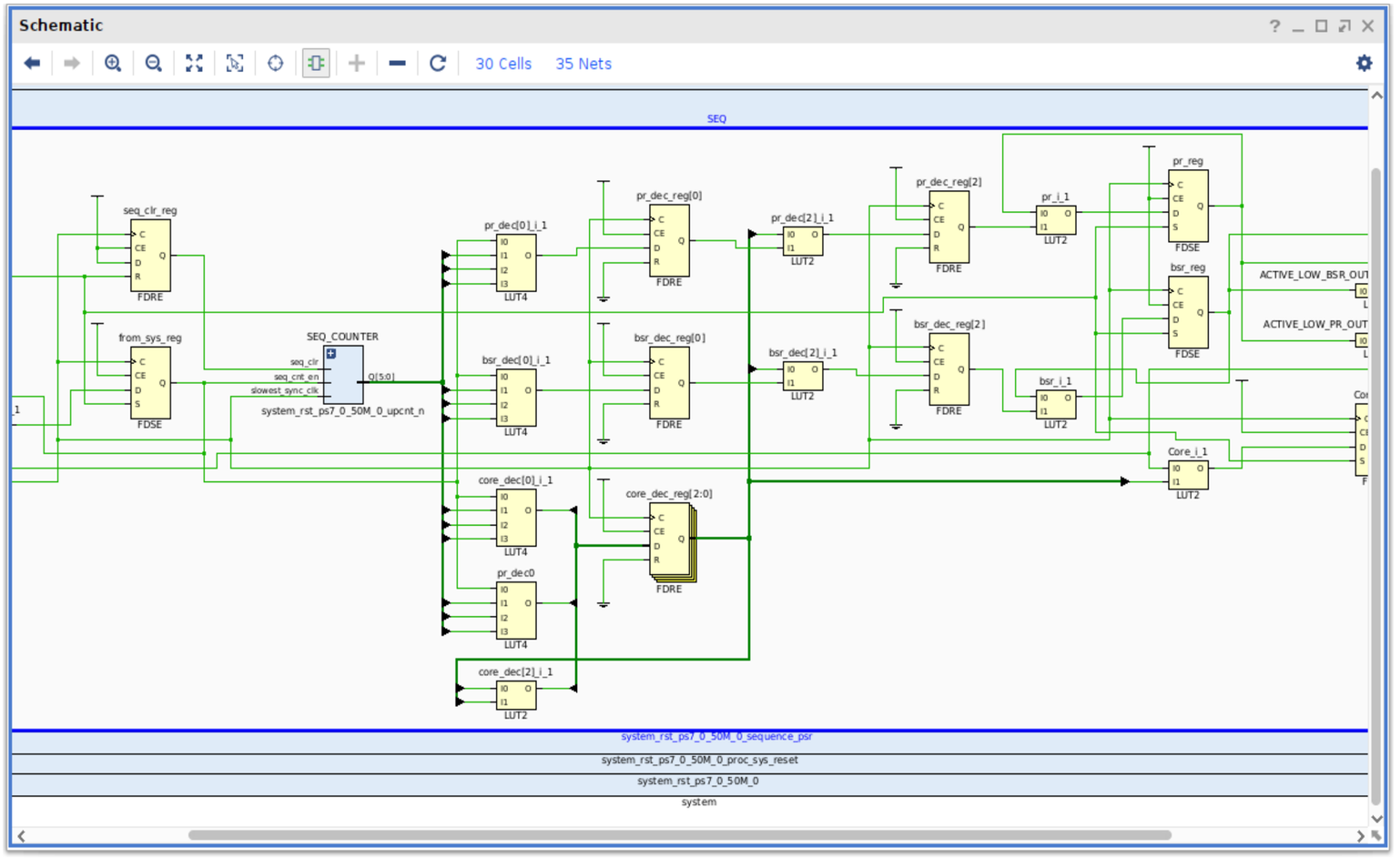
Знакомство с САПР. Создаем свой проект



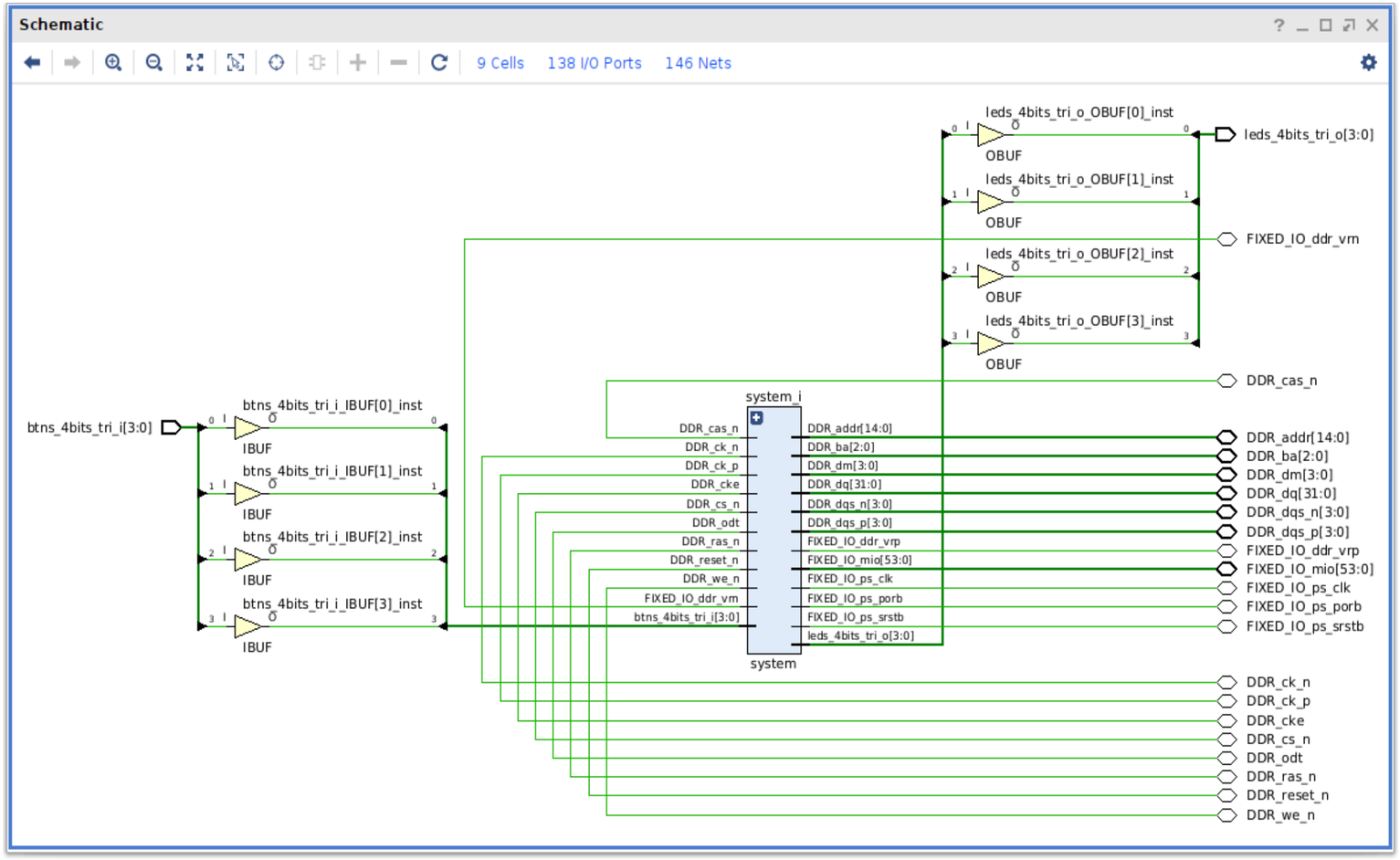
Знакомство с САПР. Создаем свой проект



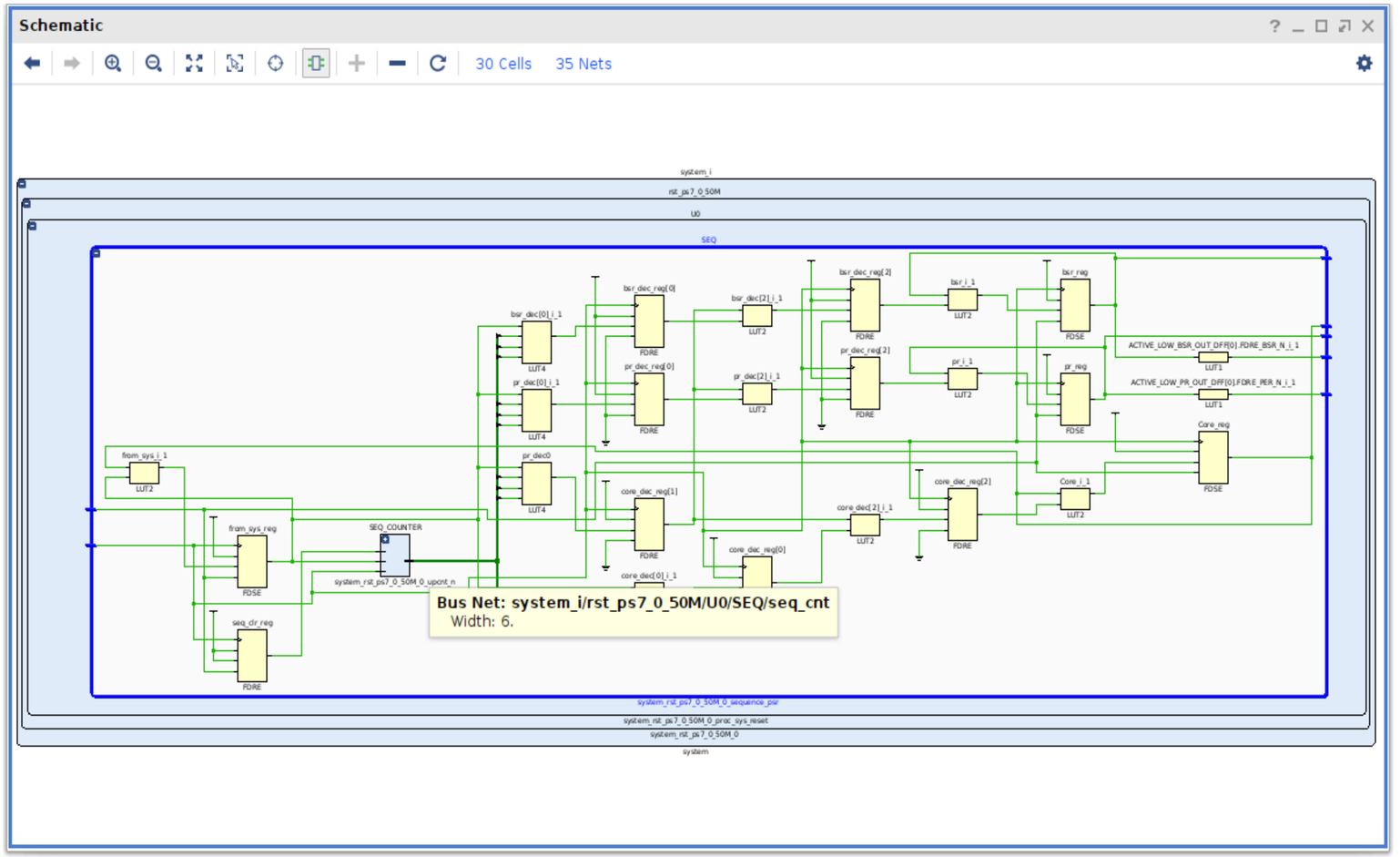
Знакомство с САПР. Создаем свой проект



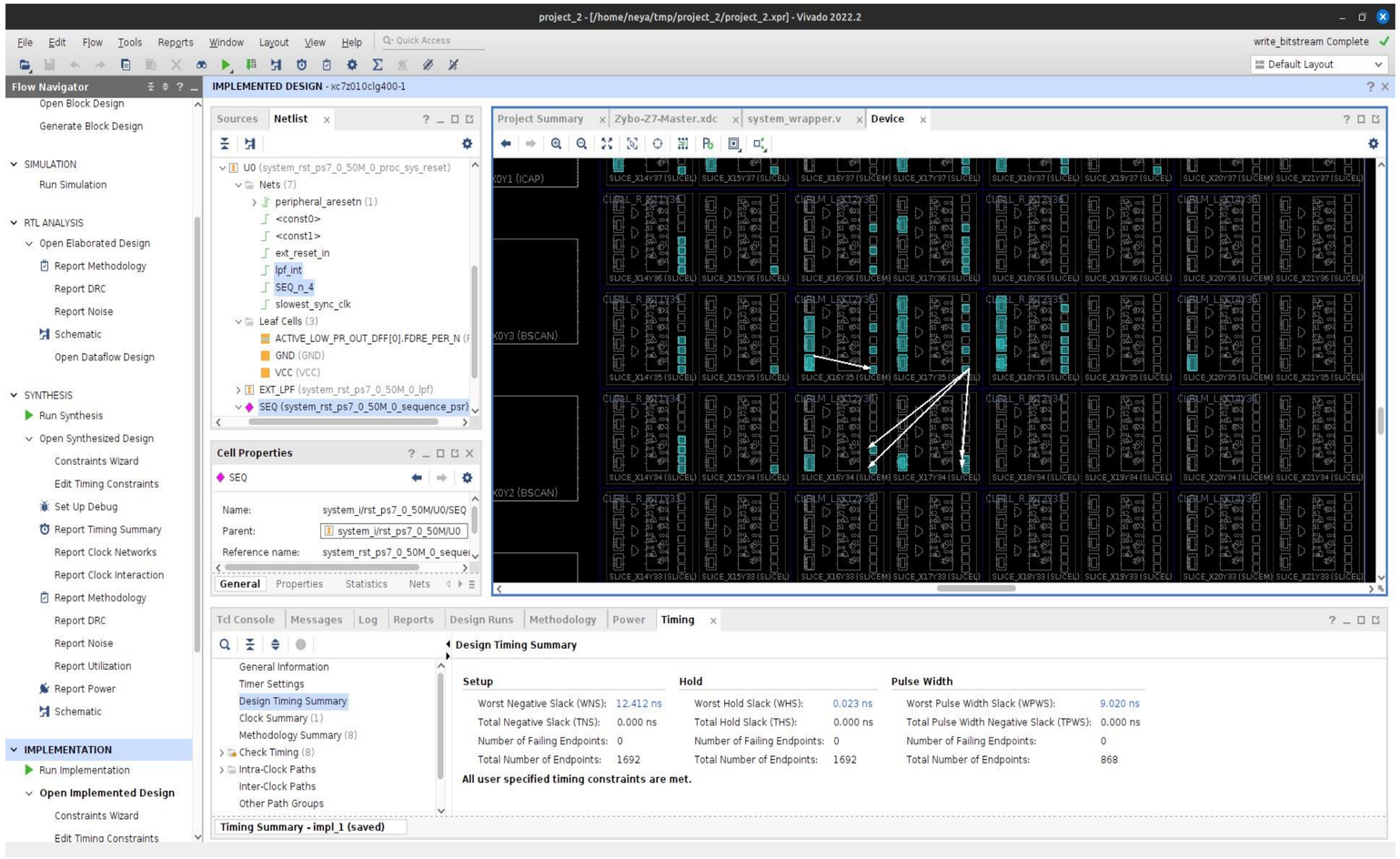
Знакомство с САПР. Создаем свой проект



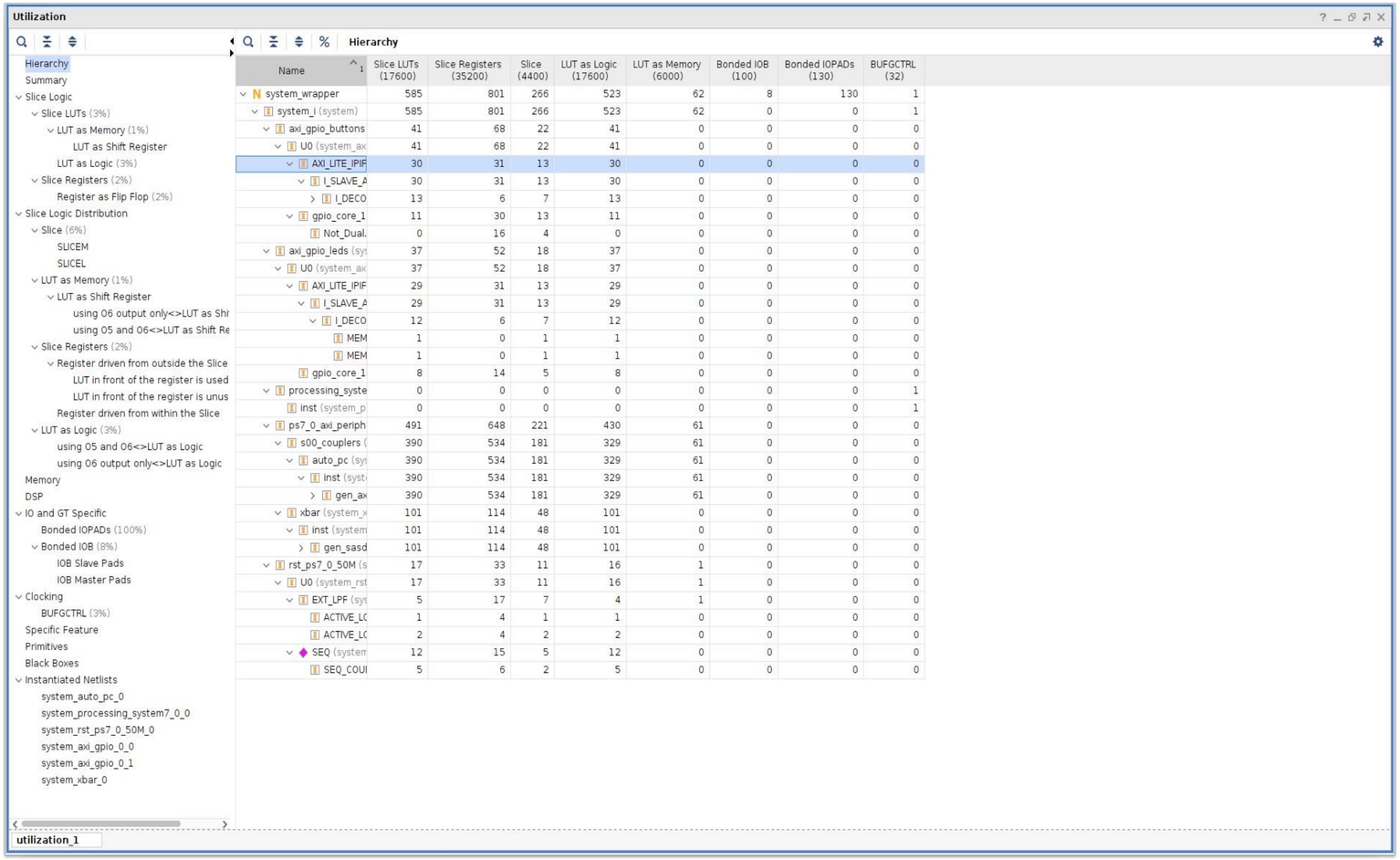
Знакомство с САПР. Создаем свой проект



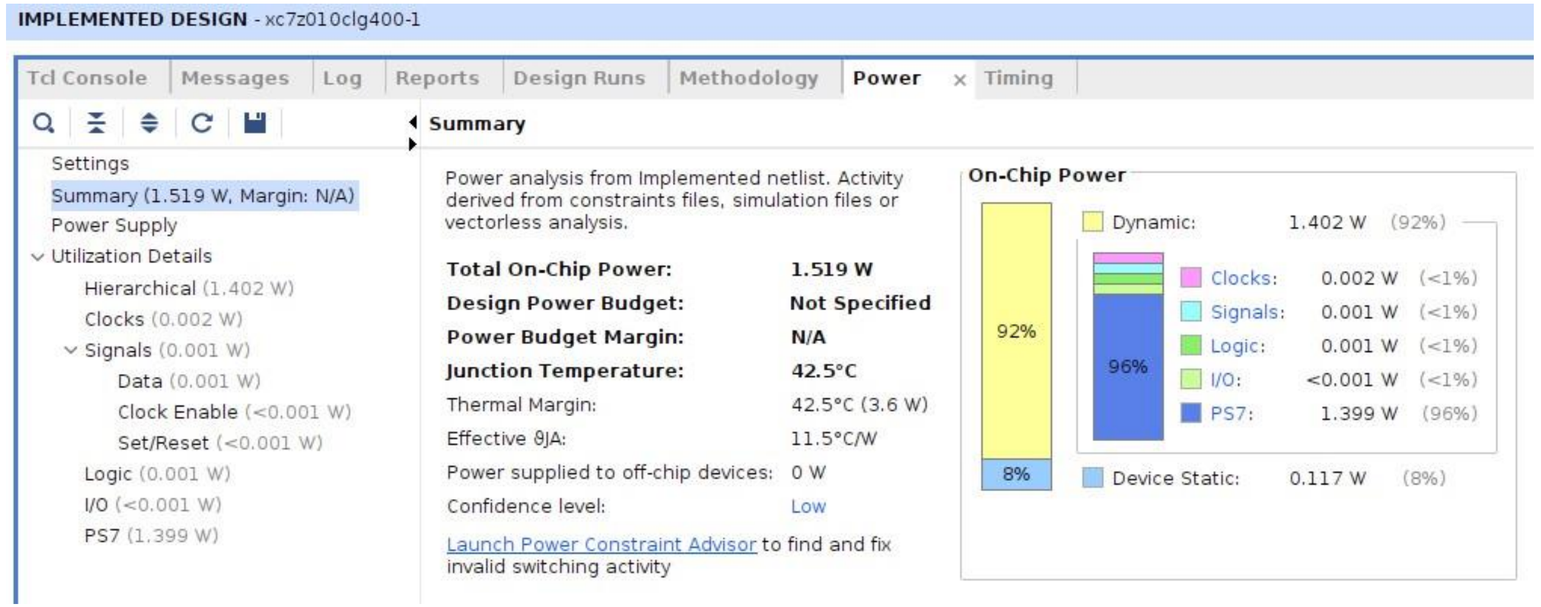
Знакомство с САПР. Создаем свой проект



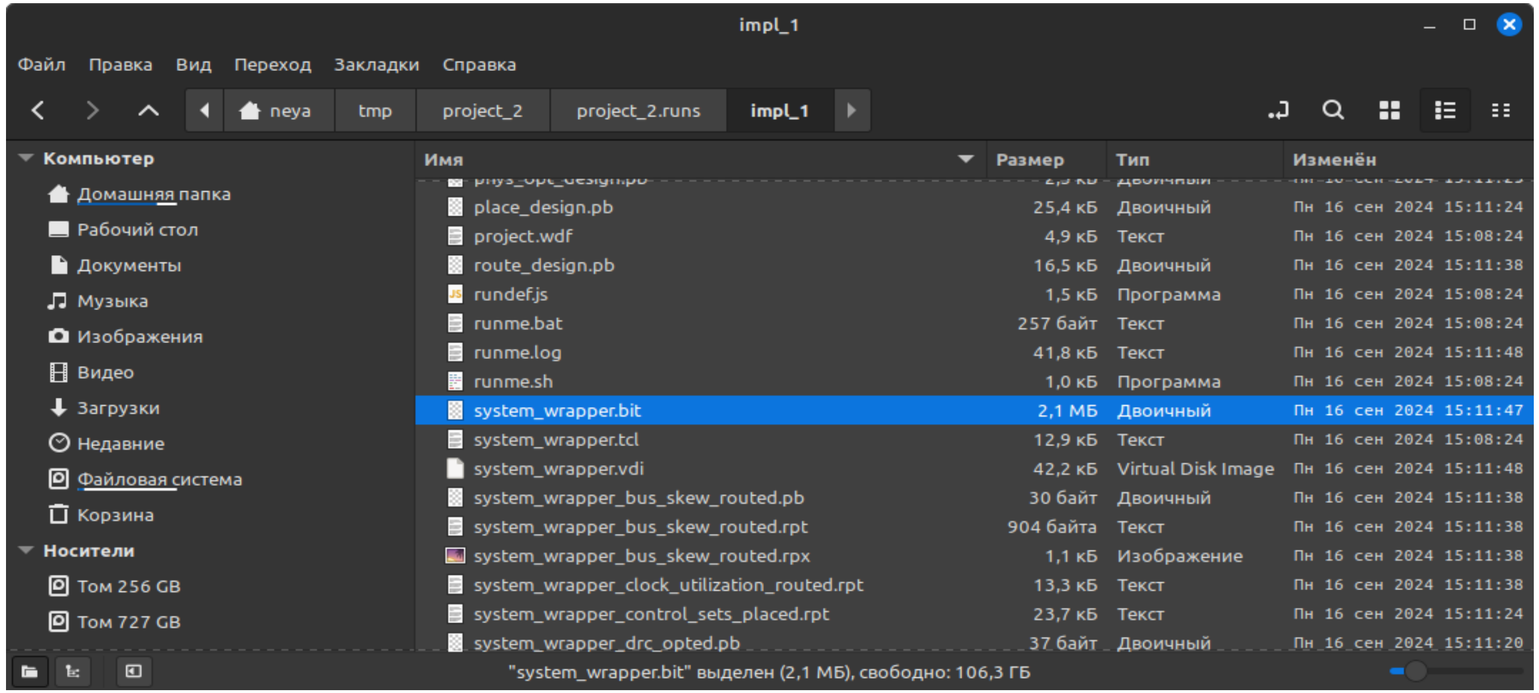
Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект



Знакомство с САПР. Создаем свой проект

Пример создания проекта Vivado:

https://digilent.com/reference/vivado/getting_started/2018.2.

Спасибо за внимание!