Mireles Martinez Angel Mauricio Examen - 3er parcial

① MIMD (Multiple Instruction Multiple Data)
Dos omás lineas de pipeline ejecutandose en paralelo es super escalar

②

sll rd, rt, shamt	0	rs	rt	rd	shamt	0
	6	5	5	5	5	6

sll $19 $20 0x4

000000 00000 10100 10011 00100 000000

sll ignora el campo rs

8 A 4C 0

R= 0A4C0 si se toma 8 bits

R= 00149900 si se toma 4 bits

③ Big endian : El byte más significativo (de los datos se coloca en el byte con la direcaón más baja. El resto de las datos se coloca en orden en los proximos bytes, Ejemplo (0,1,2,3)

PC	Bnesima ins
00000	Byte 0
00001	Byte 1

Ins word 0

instrucao

sll rd, rt, shamt

0	rs	rt	rd	shamt	6
6	5	5	5	5	6

sll $19 $20 0x4

000000 00000 10100 10011 00100 000000

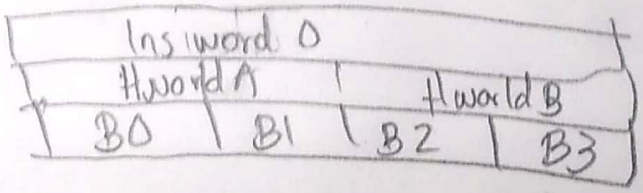
sll ignora el campo rs

R = 00149900 si se toma 4 bits

③ Big endian: El byte más significativo (de los datos se coloca en el byte con la dirección más baja. El resto de las datos se coloca en orden en los proximas bytes. Ejemplo (0,1,2,3)

↓

B0, B1, B2, B3



PC	B	
00000	Byte 0	Instrucción 1
00001	Byte 1	
00010	Byte 2	
00011	Byte 3	
00100	.	Instrucción n
00101	.	
.	.	
.	.	
.	.	

INSTO <= (BYTE0) & (BYTE1) & (Byte2) & (Byte3)

Para leer la siguiente instrucción el contador del programa se incrementa en 4

Por cada valor del PC el modulo debera contar con un incremento para leer cuatro localidades de memoria

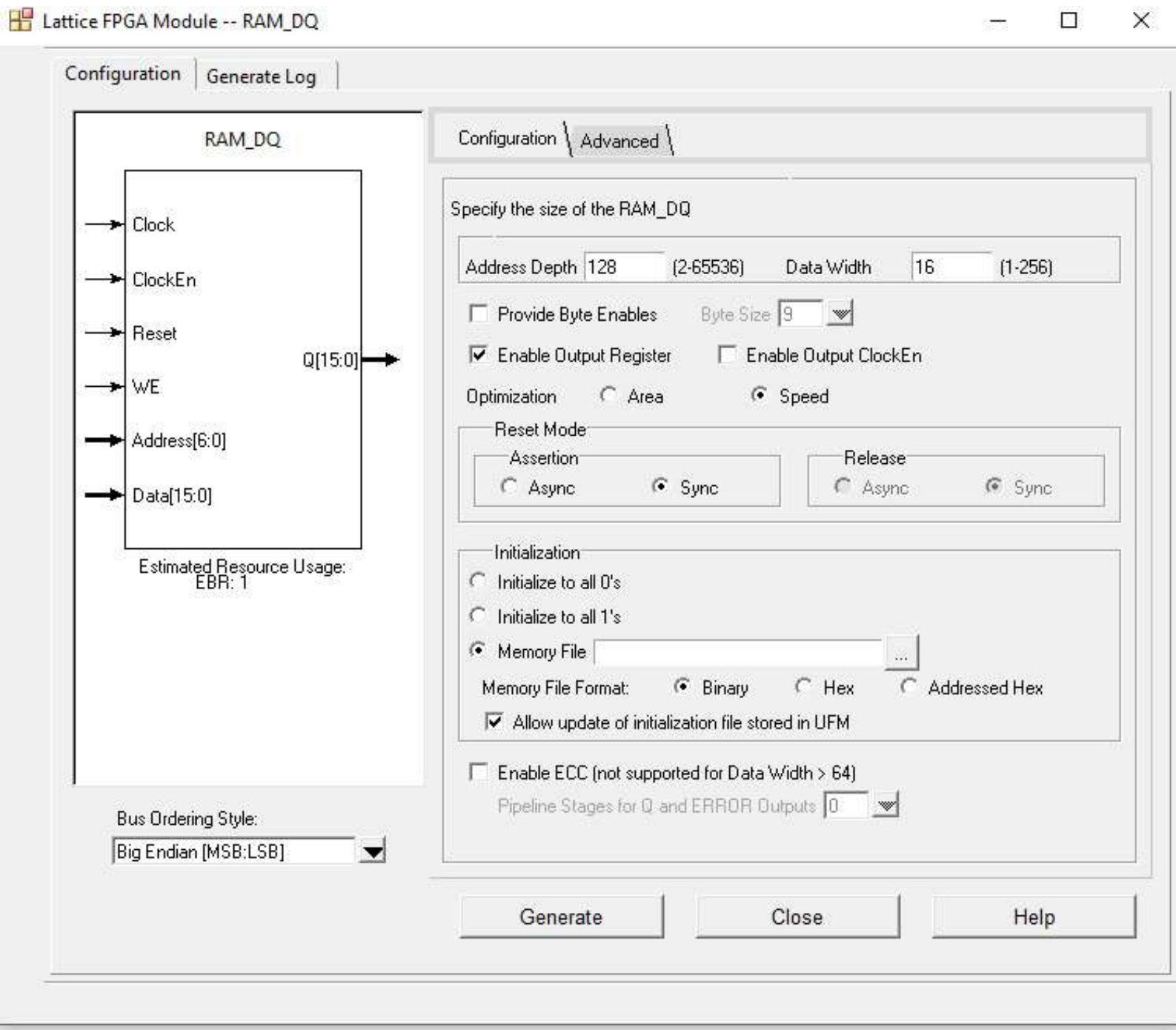
0(\$04)

(5) lw \$a0 8(\$02) : lw rt, address 0x23 rs rt offset
6 5 5 16

100011 00100 00100 0000000000001000
8C 84 20 00 00 08

R = 8C 84 00 08 tomados 8 bits

(4)


Lattice FPGA Module -- RAM_DQ
Configuration
Generate Log
RAM_DQ
Clock
ClockEn
Reset
WE
Address[6:0]
Data[15:0]
Q[15:0]
Estimated Resource Usage:
EBR: 1
Bus Ordering Style:
Big Endian [MSB:LSB]
Configuration
Advanced
Specify the size of the RAM_DQ
Address Depth 128 (2-65536)
Data Width 16 (1-256)
Provide Byte Enables
Byte Size 9
Enable Output Register
Enable Output ClockEn
Optimization
Area
Speed
Reset Mode
Assertion
Async
Sync
Release
Async
Sync
Initialization
Initialize to all 0's
Initialize to all 1's
Memory File
...
Memory File Format:
Binary
Hex
Addressed Hex
Allow update of initialization file stored in UFM
Enable ECC (not supported for Data Width > 64)
Pipeline Stages for Q and ERROR Outputs 0
Generate
Close
Help