

Informe de Laboratorio No. 1

Comparación de Familiar Lógicas CMOS Y BJT

Electrónica Digital I - 2016498

Jorge Luis Ladeus Machado, {jladeus}@unal.edu.co-Miguel Angel Lopez Pinto, {mlopezpi}@unal.edu.co

Departamento de Ingeniería Eléctrica y Electrónica
Universidad Nacional de Colombia. Bogotá D.C., Colombia.

Resumen—Los ICs discretos de compuertas lógicas representan alternativas de bajo costo útiles para el aprendizaje del funcionamiento y la evolución de las tecnologías para implementación circuitos lógicos. Con esto en cuenta, en este documento analizamos de manera comparativa el funcionamiento de dos ICs inversores séxtuples fabricados con dos tecnologías distintas: el SN74LS04 con tecnología BJT, y el CD4069UB con tecnología CMOS.

I. INTRODUCCIÓN

Los ICs discretos fueron la primera aparición de componentes comerciales para la implementación estandarizada y compacta de diseños de circuitos lógicos. Aunque estos pueden ser implementados por medio de transistores discretos, el uso de ICs permite dispositivos con mayor densidad y empaquetados, y por lo tanto más compactos y estables. Aunque la introducción de las tecnologías de alta densidad de integración en semiconductores eventualmente acaparó la mayoría del sector industrial en electrónica digital, aún es posible encontrar dispositivos de lógica discreta en el mercado. Estos son útiles para implementar funciones específicas en circuitos discretos cuando el diseño de un chip microelectrónico no es conveniente o el costo no es justificado. En particular, estos también son útiles para explorar el funcionamiento no ideal de los circuitos de lógica digital y los distintos parámetros que la definen y limitan. Las dos principales tecnologías usadas en semiconductores a cualquier escala para el diseño de circuitos son los transistores BJT y MOSFET. Existe una amplia variedad de componentes de lógica digital disponibles en ambas tecnologías. Para entender cómo se diferencian estas y en qué situaciones hay ventajas o desventajas por su uso, se van a comparar el mismo circuito implementado en ambas: un inversor lógico, o compuerta NOT. El IC con transistores BJT es un SN74LS04, que corresponde a la familia TTL. Y con transistores MOSFET, se tiene un CD4069UB. Cada uno contiene seis inversores lógicos en un empaque PDIP de 14 pines.

II. COMPARACIÓN DE HOJAS DE DATOS

Se puede hacer un compásion inicial basada en los parámetros teóricos de los circuitos disponibles en sus hojas de datos.

En las tablas I y II se extraen algunos datos que son de interés al momento de trabajar con estos dispositivos.

	CD4069UB		SN74LS04	
	Min	Max	Min	Max
V_{DD} (V)	-0.5	20		7
V_I (V)	-0.5	$V_{DD} + 0.5$		7
P_D (mW)		100		
T_{stg} ($^{\circ}$ C)	-65	150	-65	150

Tabla I: Valores absolutos máximos que aseguran la correcta operación de los ICs [1] [2]. El fabricante recomienda trabajar siempre por debajo de estos parámetros.

	CD4069UB			SN74LS04		
	min	typ	max	min	typ	max
t_{THL}, t_{TLH} (ns)		100	200		-	-
t_{PHL}, t_{PLH} (ns)		55	110		9	15
I_{DD} (uA)		0.01	0.25			100
I_{OL} (mA)	0.51	1				8
I_{OH} (mA)	-0.51	-1				-0.4
V_{OL} (V)		0	0.005		0.25	0.5
V_{OH} (V)	4.95	5		2.7	3.4	
V_{IL} (V)			1			0.8
V_{IH} (V)	4			2		
I_{IN} (uA)		10^{-5}	± 1			400

Tabla II: Características eléctricas de la operación dinámica (en conmutación) y estática de los ICs [1] [2]. Datos para $V_{DD} = 5V$.

Consumo de potencia Se observa que el SN74LS04 tiene un menor valor de tensión de alimentación, llegando sólo a 7V, mientras que el CD4069UB puede alcanzar los 20V. Aunque el valor recomendado por los fabricantes para operar los dispositivos es un poco menor que estos valores, la comparación se mantiene. Esto se puede deber principalmente a la mayor potencia de los BJT. A mayor tensión mayor potencia, y mayor disipación térmica que podría comprometer el funcionamiento del dispositivo. Aún así, la temperatura de operación ambas tecnologías está limitada de manera similar debido al semiconductor que los compone.

Tiempo de respuesta Se observa una diferencia por un factor de 100 en las velocidades de propagación entrada-salida de la señal entre ambos dispositivos. Los inversores del BJT son mucho más rápidos. Aunque el fabricante no especifica

los tiempos de subida y bajada, se asume que estos están en el mismo orden de magnitud, o tal vez una década por encima, que los tiempos de propagación.

Corrientes de entrada y salida Como era de esperarse, el consumo de corriente es menor en la tecnología CMOS debido al aislamiento de la compuerta. Mientras que estos podrían extraer hasta $0.025\mu A$ de la fuente de corriente en reposo (I_{DD}), el consumo de los BJT puede alcanzar hasta los $100\mu A$. Esto es un factor de 10^4 . Aunque las corrientes de salida están en un orden de magnitud similar, la diferencia más drástica se observa en la corriente de entrada. En el CD4069UB se espera un corriente de entrada de prácticamente cero ($10^{-25}\mu A$), llegando hasta un máximo de $1\mu A$. En comparación, el flujo de carga puede llegar a los $400\mu A$ en el SN74LS04.

Niveles lógicos La tensión de operación recomendada por el fabricante es bastante similar para V_{IL} , pero para V_{OH} en el SN74LS04 es de la mitad del valor del CD4069UB. Por lo tanto, el nivel lógico H tiene un rango mayor en el dispositivo CMOS. Respecto a las tensiones en la salida, aunque para el inversor CMOS esta es de apenas $5mV$ para nivel L, en los BJT puede llegar a ser de $0.25V$. Una comparación similar se puede hacer respecto al valor lógico H. En donde los CMOS alcanzan un valor de $5V$ en la salida, los BJT presentan un caída de decivoltios, por lo que su salida es de menor magnitud. Estos valores de tensión y corriente están directamente relacionados al mayor consumo de energía en los BJT.

III. IMPLEMENTACIÓN EN CMOS Y BJT

De las hojas de datos se pueden obtener los circuitos representativos que conforman las compuertas de cada dispositivo. Como se ve en las figuras 1(a) y 1(b) estos son inversores CMOS y TTL estándar con algunas modificaciones. La familia SN74LS utiliza transistores Schottky para obtener menor consumo de potencia y mayor rapidez durante la conmutación entre estados que un BJT estándar. Sin embargo, debido a la mayor cantidad de transistores y especialmente a la inclusión de resistencias, en el orden de las decenas de kilo-ohmios, estos dispositivos consumen mayor potencia y ocupan mayor espacio.

IV. MEDICIÓN DE LOS PARÁMETROS DE FUNCIONAMIENTO

Se realizan las mediciones de algunos de los parámetros de funcionamiento de la tabla II: los tiempos de transición, propagación de la señal, y los niveles lógicos. En la figura 2 se muestra el circuito de prueba usado para el CD4069UB. Se monta en una protoboard y se hacen conexiones varias con alambre de cobre aislado de 22 AWG. Los valores y las conexiones de los pines son las mismas para el SN74LS04. En la entrada se conecta una señal de pulso cuadrada con

valor pico de $5V$, nivel DC de $0V$ y frecuencia de $1kHz$. Se obtiene la tensión en la salida con un osciloscopio y se miden los tiempos por medio de los cursores, teniendo en cuenta que:

- t_{TLH}, t_{THL} : tiempo que toma a la señal de salida llegar del 10 % al 90 %, y del 90 % al 10 %, respectivamente, de su valor máximo.
- t_{PLH}, t_{PHL} : tiempo entre que la señal de entrada alcanza el 50 % de su valor máximo y la señal de salida alcanza el 50 % de su valor máximo, cuando la señal de entrada está en subida y en bajada, respectivamente.
- t_{HD} : tiempo entre que la señal de entrada empieza a bajar, considerado como el 90 % de su máximo, hasta que la señal de salida empieza a subir, en el 10 % de su valor máximo.

Los resultados de las mediciones se observan en la tabla III.

Después, variando una fuente de tensión DC en varios valores arbitrarios entre $0V-5V$, se obtienen las gráficas $V_{in}-V_{out}$ 3, a partir de las cuales se puede identificar V_{OH} , V_{OL} , V_{IH} , V_{IL} .

En ambos casos se incluyen simulaciones de las mediciones, realizadas en LTSpice usando los modelos SPICE disponibles en la página de TI.

	CD4069UB			SN74HC04		
	datasheet	sim	meas	datasheet	sim	meas
t_{THL} (ns)	< 200	142.082	64	< 15	4.601	13
t_{TLH} (ns)	< 200	133.536	76	< 15	3.403	23
t_{PHL} (ns)	< 110	140.696	58	< 19	6.331	28
t_{PLH} (ns)	< 110	123.225	60	< 19	4.393	26.4
t_{HD} (ns)	-	90.325	18	-	10.535	23

Tabla III: Mediciones de los tiempos de respuesta de los ICs.

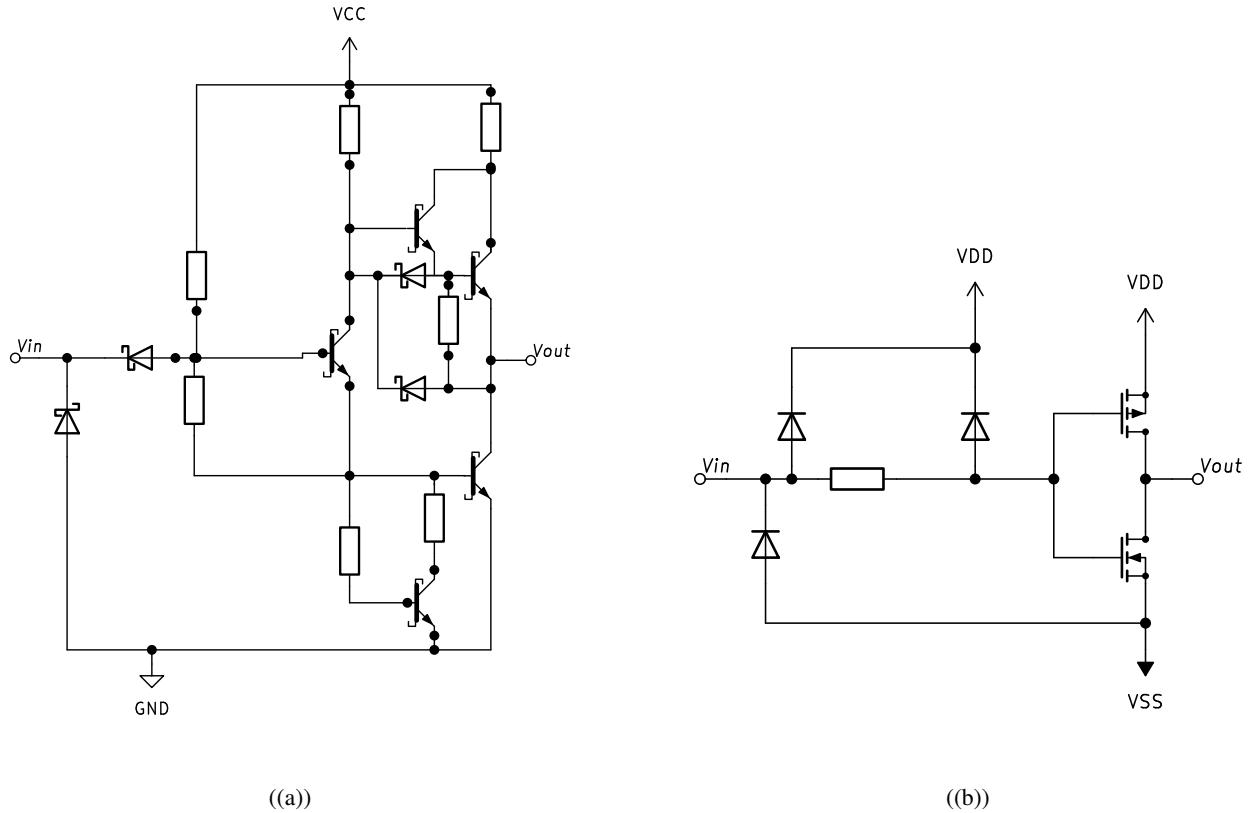


Figura 1: Circuitos representativos de las puertas lógicas en los dispositivos: a) implementación con transistores Schottky (SN74LS04) y b)implementación con transistores CMOS (CD4069UB).

IV-A. Mediciones de tiempo

A continuación mostraremos las mediciones experimentales de el tiempo de subida, tiempo de bajada, tiempo de retardo, tiempo de almacenamiento para cada dispositivo, Probado con $V_{DD}=5$, y una onda cuadrada de $f=1\text{kHz}$ y $V_m=5\text{V}$, $t_f=t_r=20\text{ns}$.

IV-A1. Negador TTL 74LS04: A continuación mostraremos los datos obtenidos con el osciloscopio en la practica ademas los compararemos con la simulación y el data sheet.

Tiempo de subida, t_{TLH}

- t_{TLH} es 23ns

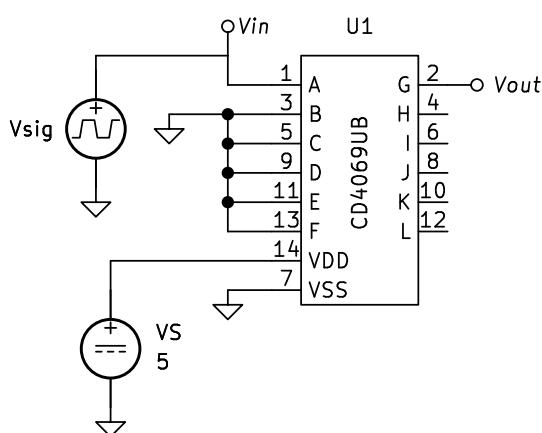


Figura 2: Circuito usado para la medición de los tiempos de respuesta y los niveles lógicos de ambos ICs. Para los tiempos, V_{sig} es una señal cuadrada, y para los valores de tensión es una fuente DC.

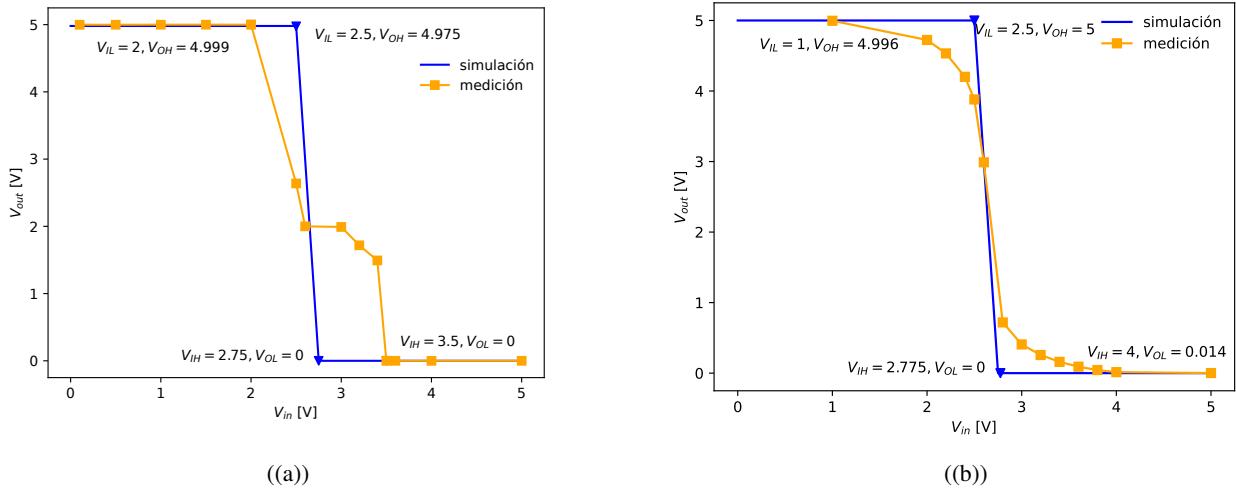


Figura 3: Característica de entrada-salida de los ICs para valores de entrada entre 0 y 5 V. Se marcan los valores aproximados visualmente para las tensiones correspondientes a los niveles lógicos: a) SN74LS04; b) CD4069UB.

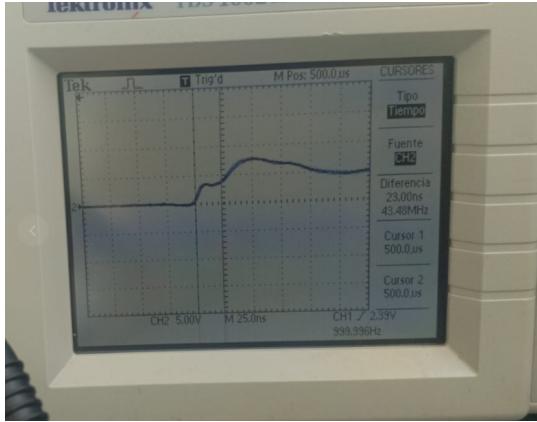


Figura 4: Tiempo de subida 10-90 BJT

Tiempo de bajada, t_{THL}

- t_{THL} es 13ns

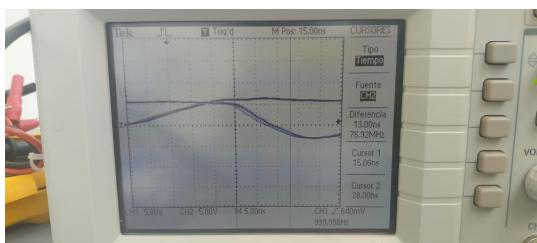


Figura 5: Tiempo de bajada 90-10 BJT

Tiempo de retardo en subida t_{PLH}

- t_{PLH} es 23.2ns

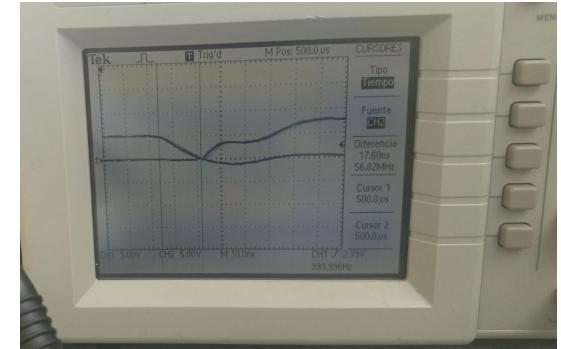


Figura 6: Tiempo de retardo subida BJT

Tiempo de retardo en bajada t_{PLH}

- t_{PLH} es 23.2ns

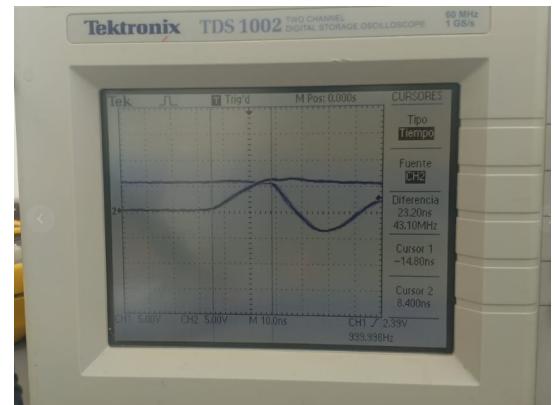


Figura 7: Tiempo de retardo bajada BJT

Tiempo de almacenamiento en subida

- El tiempo es 26.4ns

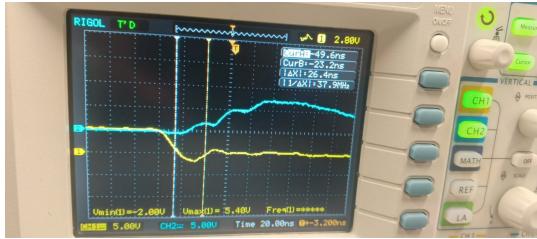


Figura 8: Tiempo de almacenamiento en subida BJT

Tiempo de almacenamiento en bajada

- El tiempo es 23.2ns

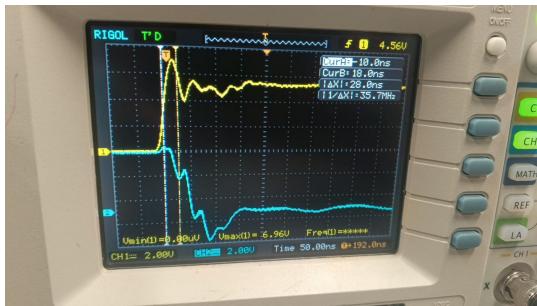


Figura 9: Tiempo de almacenamiento en bajada BJT

IV-A2. Negador CMOS CD4069: A continuación mostraremos los datos obtenidos con el osciloscopio en la práctica ademas los compararemos con la simulación y el data sheet.

Tiempo de subida, t_{TLH}

- t_{TLH} es 76ns

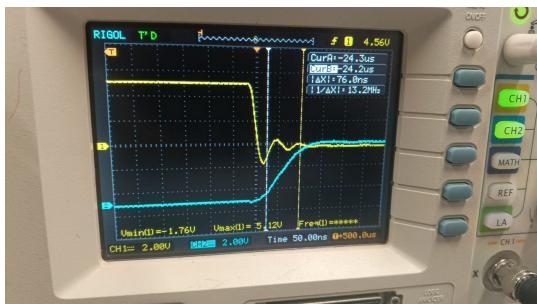


Figura 10: Tiempo de subida 10-90 CMOS

Tiempo de bajada, t_{THL}

- t_{THL} es 64ns

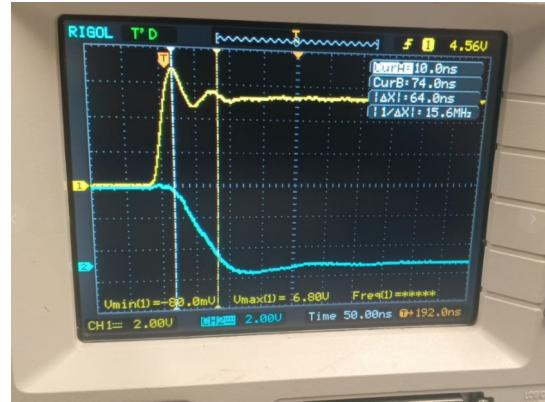


Figura 11: Tiempo de subida 90-10 CMOS

Tiempo de retardo en subida t_{PLH}

- t_{PLH} es 22.4ns

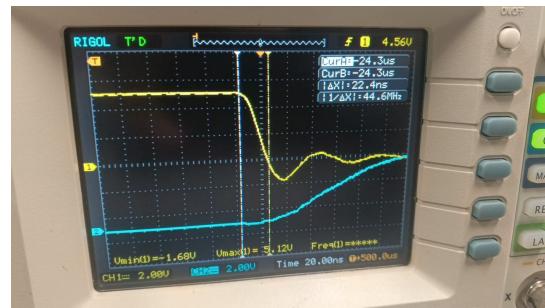


Figura 12: Tiempo de retardo en subida CMOS

Tiempo de retardo en bajada t_{PHL}

- t_{PHL} es 18ns

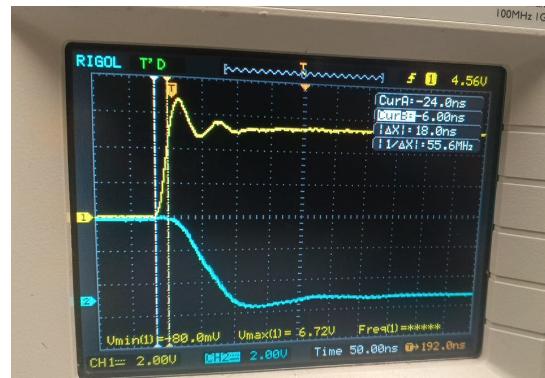


Figura 13: Tiempo de retardo en bajada CMOS

Tiempo de almacenamiento en subida

- El tiempo es 60ns

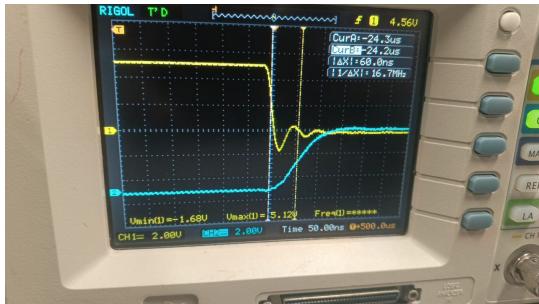


Figura 14: Tiempo de almacenamiento subida CMOS

Tiempo de almacenamiento en bajada

- El tiempo es 28ns

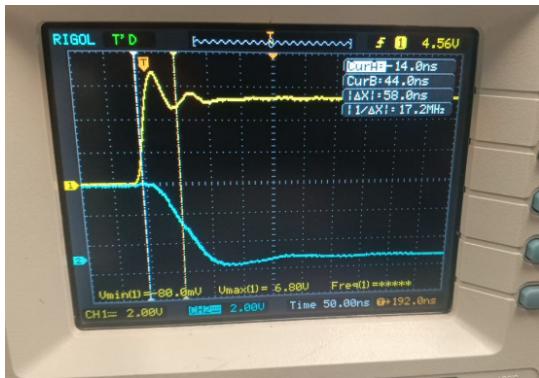


Figura 15: Tiempo de almacenamiento bajada CMOS

IV-B. Fan-in y Fan-out

Fan-in y Fan-out son términos utilizados en electrónica digital para describir la capacidad de un dispositivo o circuito lógico para manejar señales en sus entradas y salidas, respectivamente.

El fan-in se refiere al número de entradas que un dispositivo lógico, como una puerta lógica o un inversor, puede manejar. En otras palabras, es el número de señales que pueden ser conectadas a la entrada de un circuito. Un fan-in mayor implica que el dispositivo puede recibir más señales simultáneamente.

El fan-out se refiere al número de dispositivos o circuitos lógicos que pueden ser controlados por la salida de un dispositivo dado. En otras palabras, es la cantidad de puertas lógicas o componentes que pueden ser conectados a la salida de un dispositivo sin que se degrade el rendimiento de la señal.

Calcularemos el fan-in y el fan-out del Negador TTL 74LS04, el fan-in es 1 ya que es un negador solo permite una señal de entrada; para calcular el fan-out es necesaria la formula

$$Fan_{out} = \frac{I_{Out}}{I_{In}} \quad (1)$$

donde I_{Out} es la corriente máxima e I_{In} es la corriente de entrada de cada compuerta lógica; gracias al data sheet sabemos que la corriente de máxima para el inversor 74LS04 es 16mA, y la corriente de cada compuerta es de 1.6 mA por ser de la familia TTL lo que nos da

$$Fan_{out} = 10 \quad (2)$$

lo que significa que la salida de cada inversor puede alimentar hasta 10 puertas lógicas.

Calculamos en Fan-in Fan-out del Negador CMOS CD4069. El fan-in es 1 ya que es un negador solo permite una señal de entrada; y utilizando la ecuación 1 calculamos el fan-out con la siguiente ecuación

$$fan_{out} = \frac{|I_{OL}|}{|I_{IL}|} \quad (3)$$

según el datasheet sería

$$fan_{out} = \frac{|8|}{|-0.4|} = 20 \quad (4)$$

Teóricamente el negador CMOS CD4069 puede manejar 20 compuertas lógicas al tiempo sin dañar la señal.

V. OSCILADOR DE COMPUERTAS NOT EN ANILLO

Un *oscilador de compuertas NOT en anillo* es un circuito oscilador digital que consiste en un número impar de compuertas NOT conectadas en cascada formando un anillo o bucle cerrado. Este tipo de oscilador produce una señal de salida oscilante sin necesidad de una señal de entrada externa debido a la naturaleza de retroalimentación y el retardo acumulado en cada una de las compuertas NOT.

VI. POTENCIA DISIPADA

Para cada negador se disipa una potencia diferente en cada compuerta, vamos a calcular cuanta potencia disipa cada compuerta y todo el circuito integrado

- Negador TTL 74LS04 La corriente de cada compuerta es 1.6 mA y con voltaje de 5V la potencia de cada circuito es 8mW y su potencia total es 80mW
- Negador CMOS CD4069 La corriente de cada compuerta es 0.4 y su voltaje es de 5v entonces su potencia es de

VI-A. Estructura del Oscilador

El oscilador en anillo se construye típicamente conectando tres o más compuertas NOT (siempre en número impar) en serie, y la salida de la última compuerta se retroalimenta a la entrada de la primera. Al recorrer el lazo cerrado, la señal alterna entre estados lógicos alto y bajo, generando así una oscilación continua. La condición de número impar asegura que el circuito no entre en un estado estable, manteniendo la alternancia de estados de manera indefinida.

VI-B. Principio de Funcionamiento

La oscilación en este tipo de circuito surge del retardo inherente en cada compuerta NOT. Cuando una señal de entrada cambia de un estado lógico bajo a alto, o viceversa, se requiere un cierto tiempo de propagación (*delay*) antes de que la señal de salida refleje este cambio. Este retardo acumulado a lo largo del circuito en anillo introduce una fase de desfasaje que permite que el sistema nunca alcance un estado de equilibrio, provocando una oscilación en la salida.

VI-C. Frecuencia de Oscilación

La frecuencia de oscilación (f) de un oscilador de compuertas NOT en anillo depende del número de etapas (o compuertas) N y del tiempo de retardo de cada compuerta t_d . La expresión para la frecuencia de oscilación se da por:

$$f = \frac{1}{2Nt_d} \quad (5)$$

donde:

- N : Número de compuertas NOT en el anillo (siempre impar).
- t_d : Retardo de propagación promedio de una compuerta NOT.

A medida que aumenta el número de compuertas, el retardo total del circuito también aumenta, lo que reduce la frecuencia de oscilación. Asimismo, cualquier cambio en el tiempo de retardo de las compuertas, debido a factores como la temperatura o la variación de voltaje, afectará la frecuencia del oscilador.

VI-D. Aplicaciones y Limitaciones

Los osciladores en anillo son comúnmente utilizados en circuitos integrados para generar señales de reloj de baja frecuencia, especialmente en sistemas de auto-sincronización y en pruebas de frecuencia de componentes. Sin embargo, debido a la dependencia de la frecuencia con respecto a las variaciones ambientales y la inestabilidad inherente, su precisión es limitada en comparación con otros tipos de osciladores.

VI-E. Conclusiones

El oscilador de compuertas NOT en anillo es una solución simple y eficiente para la generación de señales de oscilación en entornos digitales. Su diseño y frecuencia de oscilación están determinados por el número de compuertas y el retardo de propagación de estas, lo que lo convierte en un oscilador controlado por diseño estructural y condiciones de operación. Aunque sus aplicaciones prácticas son variadas, su uso es más adecuado en aplicaciones donde la estabilidad de frecuencia no es crítica.

VI-F. pruebas en el laboratorio

En el laboratorio, se implementaron osciladores de anillo utilizando diferentes configuraciones y se midieron sus señales de salida. A continuación, se presentan las observaciones obtenidas:

VI-G. Circuito 1: Oscilador de Anillo

Se utilizó un oscilador de anillo con una configuración específica. En la Fig. 16, se muestra la señal medida en el oscilloscopio. Los parámetros obtenidos fueron:

- **Voltaje mínimo (V_{min}):** 1.68 V.
- **Voltaje máximo (V_{max}):** 3.44 V.
- **Frecuencia de oscilación (f):** 11.685 MHz.
- **Amplitud de oscilación:** 1.76 V.

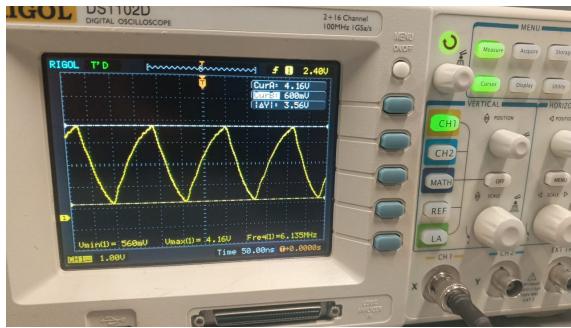


Figura 16: Señal medida para el primer circuito.

VI-H. Circuito 2: Oscilador de Anillo

En una configuración alternativa, se midió una segunda señal del oscilador. Los parámetros obtenidos, visibles en la Fig. 17, fueron los siguientes:

- **Voltaje mínimo (V_{min}):** 560 mV.
- **Voltaje máximo (V_{max}):** 4.16 V.
- **Frecuencia de oscilación (f):** 6.135 MHz.
- **Amplitud de oscilación:** 3.60 V.

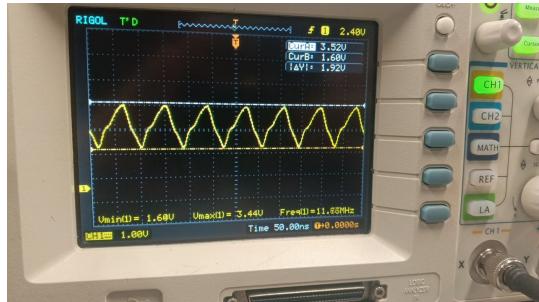


Figura 17: Señal medida para el segundo circuito.

VI-I. Análisis Comparativo

Al comparar ambos circuitos, se observa que:

- La primera configuración produce una frecuencia de oscilación significativamente mayor (11.685 MHz) en comparación con la segunda (6.135 MHz).
- El rango de voltajes ($V_{max} - V_{min}$) es mayor en el segundo circuito (3.6 V frente a 1.76 V), indicando una mayor amplitud de oscilación.
- Estas variaciones pueden deberse a diferencias en el número de etapas del oscilador o a características de los componentes utilizados.

REFERENCIAS

- [1] "CD4069UB CMOS hex inverter". Accedido el 18/11/2024. Texas Instruments. Noviembre 1998. Disponible en linea
- [2] "SN5404, SN54LS04, SN54S04, SN7404, SN74LS04, SN74S04 HEX INVERTERS". Texas Instruments. Diciembre 1986. Accedido el 18/09/2024. Disponible en linea