

# **ADI 技术指南合集**

## **第一版**

### **开关和基准源**

# 目录

基准电压源.....	1	视频多路复用器和交叉点开关.....	42
模拟开关和多路复用器基本知识 .....	19		

## 基准电压源

### 简介

基准电压源和线性调节器具有许多共同点。事实上，后者在功能上相当于一个基准电压源，只是输出电流(或功率)更大。相应地，这两种电路的几乎所有规格都具有极大的相似性(即使基准电压源在漂移、精度等方面的性能往往较高)。在当今的许多应用中，所需的支持电路都包含在转换器封装之中。这对设计人员来说是有利的，因为这可以简化系统的设计，而且可以保障性能。

基准电压源对模拟系统的性能和精度产生着重大影响。5V基准电压源上的 $\pm 5$  mV容差相当于 $\pm 0.1\%$ 的绝对精度，其精度仅为10位。对于12位系统，选择容差为 $\pm 1$  mV的基准电压源，其性价比可能远远超过手动校准，而进行绝对16位测量的系统中必须要求高初始精度和校准。请注意，许多系统进行的是相对测量而非绝对测量，这种情况下，基准电压源的绝对精度的重要性有所下降，虽然噪声和短期稳定性可能是重要因素。

温度漂移或者老化导致的漂移可能是比绝对精度更重要的问题。虽然初始误差始终可以调整，但对漂移进行补偿却存在较大的困难。在可能的情况下，选择基准电压源时应该注重温度系数和老化特性，以便能在工作温度范围内以及系统的预期寿命期间保持充足的精度。

虽然基准电压源的噪声往往被忽视，却可能是系统设计中一个极其重要的因素。噪声指基准电压的瞬间变化。其额定值一般标示于数据手册中，但系统设计师经常会忽略规格参数，并想当然地认为基准电压源不会对系统带来额外的噪声。

基准电压源必须考虑两个动态问题：启动时的行为，及其在瞬态负载下的行为。对于第一点，始终要记住的是，基准电压源不会立即上电(ADC、DAC以及分立式设计中的基准电压源确实是这样)。因此，打开ADC和基准电压源(内部或外部)，读取数值，然后再在几微秒之内关闭，这是几乎不太可能做到的，无论这样做有多么节能。

对于第二点，给定的基准电压源IC不一定就适用于脉冲加载条件，这要取决于具体的架构。许多基准电压源采用低功耗，也即低带宽的输出缓冲放大器。在快速瞬态负载的情况下，结果会造成性能下降，从而可能导致快速ADC的性能下降(尤其是逐次逼近和闪存ADC)。通过适当去耦可以缓解这个问题(但有些基准电压源会随容性负载振荡)，或者也可以使用额外的外部宽带缓冲放大器来驱动发生瞬态负载的节点。

## 简单的二极管基准电压源

就电路连接的功能而言，标准基准电压源IC一般只提供串行或三引脚形式( $V_{IN}$ 、共模、 $V_{OUT}$ )，并且只有正极性。串行型号具有以下优势：静态电流低、稳定；标准预调节输出电压；以及相对较高的输出电流，且精度不会下降。分流或双引脚(即二极管一类)基准电压源在工作极性方面更灵活，但对负载有着更严格的限制。事实上，它们可能吞食过多功率，因为其电阻馈入的电压输入变化范围很大。另外，它们有时采用非标准电压。所有这些因素加在一起，决定了何时首选哪种功能类型。

图1显示的是一些简单的二极管式基准电压源。在第一种基准电压源中，一个电流驱动的正偏二极管(或二极管连接的晶体管)产生一个电压，即 $V_f = V_{REF}$ 。虽然结点压降在一定程度上与电源并不相关，但作为基准电压源却存在多种不足。其中包括，温度系数较高，为 $-0.3\%/^{\circ}\text{C}$ 左右，对负载具有一定的敏感性，输出电压非常不灵活，而且仅支持600 mV跳变。

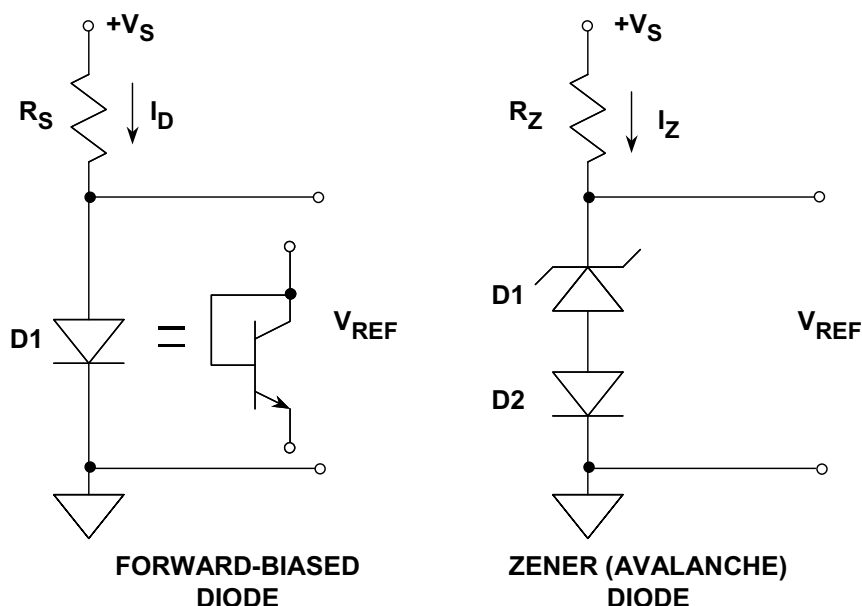


图1：简单的二极管基准电压源电路

与之相反，多数这些简单的基准电压源(以及所有其他分流型调节器)有一种基本优势，即通过转换连接、使驱动电流反相可以轻松改变极性。然而，所有分流调节器都存在一种基本限制，即负载电流必须始终(而且通常是大幅)低于驱动电流 $I_D$ 。

在图1中的第二个电路中，使用的是一个齐纳或“雪崩”二极管，结果可以大幅提升输出电压。虽然真正的齐纳二极管击穿电压低于5 V，但雪崩二极管的击穿电压更高，且温度系数为正。请注意，目前，几乎把二极管反相击穿统一称为齐纳，虽然通常是雪崩二极管击穿。当D1击穿电压范围为5至8 V时，净正温度系统等于正偏二极管D2的负温度系数，结果，净温度系数为100 ppm/ $^{\circ}\text{C}$ ，在适当的偏置电流下更低。这些仔细选择的二极管相结合，构成了早期的单封装“温度补偿齐纳二极管”基准电压源的基础，比如1N821-1N829系列等。

温度补偿齐纳基准电压源在初始精度方面存在较大限制，因为最佳温度系数组合会在奇怪的电压下下降，如1N829在6.2 V时即是如此。另外，该方案在负载方面也有限制，因为要获得最佳温度系数，就必须对二极管电流进行仔细控制。与低电压(<2 V)基准电压源不同，基于基准电压源的齐纳二极管必须采用远远高于6 V的电压源驱动，因此，齐纳基准电压源无法应用于5 V系统电源。基于低温度系数齐纳(雪崩)二极管的基准电压源噪声较大，这要归因于击穿机制存在的基础噪声。单芯片齐纳二极管在这方面有了较大的改善，下文将进一步讨论。

### 带隙基准电压源

基于硅带隙电压的低电压(<5 V)基准电压源的发展催生了多种IC，这些IC支持低电压电源，并具有良好的温度系数性能。第一个此类IC是LM109(下称“基准电压源1”)，图2所示为一个基本的带隙基准电压源。

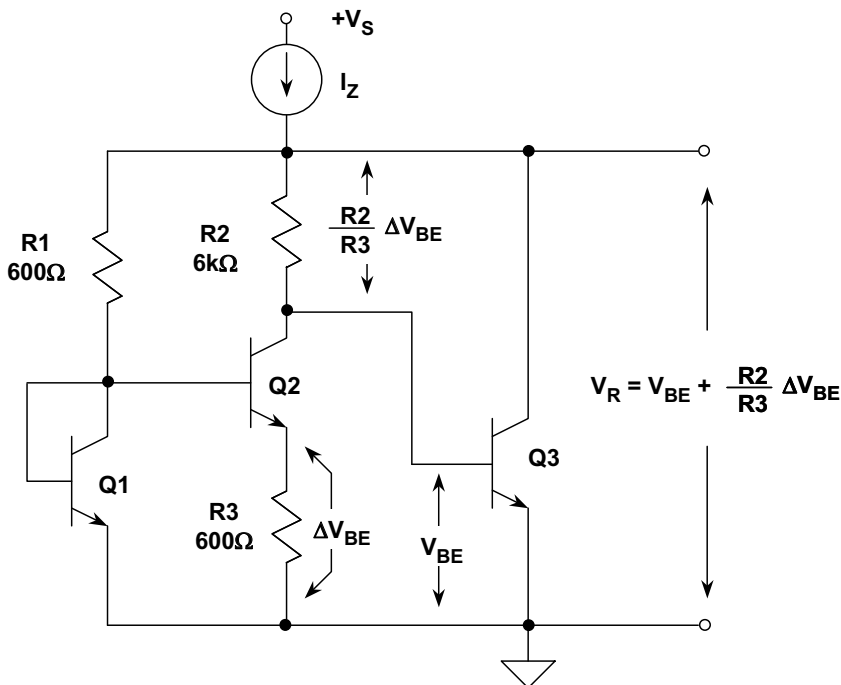


图2：基本的带隙基准电压源

这种电路也称为“ $\Delta V_{BE}$ ”基准电压源，因为匹配晶体管Q1-Q2之间的电流密度差会在R3上产生 $\Delta V_{BE}$ 。其工作原理是，求出Q3的 $V_{BE}$ 和，同时，Q1-Q2放大过的 $\Delta V_{BE}$ 产生于R2。 $\Delta V_{BE}$ 和 $V_{BE}$ 两种组分具有相反的极性温度系数； $\Delta V_{BE}$ 与绝对温度成比例(PTAT)， $V_{BE}$ 与绝对温度互补(CTAT)。求和后的输出为 $V_R$ ，当其等于1.205 V(硅带隙电压)时，温度系数最小。

在IC设计中，带隙基准电压源技术具有较大的吸引力，其原因有多种；其中包括相对简单，可以避免齐纳二极管及噪声。然而，在系统电源不断减小的当今时代，有一个很重要的基本事实是，带隙器件的工作电压很低，小于5 V。它们不但用于独立的IC基准电压源，同时还用在许多其他线性IC之中，如ADC和DAC。

然而，图2中的基本设计却面临负载和电流驱动敏感度问题，而且输出需要精确调整至更有用的电压水平，即2.5 V、5 V等。负载驱动问题的最好解决办法是采用一个缓冲放大器，该器件也可方便地将电压调整至标准水平。

图3所示为一种改进型三引脚带隙基准电压源，AD580(推出于1974年)。这种电路的常用名为“Brokaw Cell”(参见参考文献2和3)，提供片上输出缓冲功能，具有良好的驱动性能，支持标准输出电压调整。

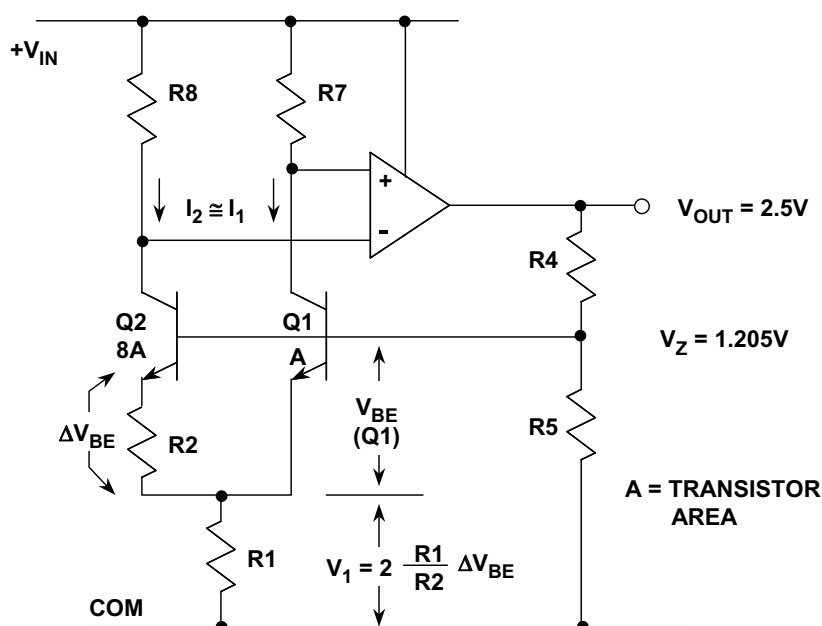


图3: AD580精密带隙基准电压源使用Brokaw Cell (1974)

AD580是第一款精密带隙IC基准电压源，这种拓扑结构的变体对后来几代的工业标准基准电压源(如REF01、REF02和REF03系列)以及后来的ADI带隙器件(如REF19x系列、AD680、AD780、AD1582-85系列、ADR38x系列、ADR39x系列以及REF01、REF02和REF03最新改进型SC-70和SOT-23(分别称为ADR01、ADR02和ADR03))产生了深远影响。

AD580内置两个8:1发射器比例晶体管Q1-Q2，工作于相同的集电极电流(即电流密度为1/8)，在缓冲运算放大器处使用了相等的负载电阻和一个闭环。由于8倍Q2区的 $V_{BE}$ 较小，与Q2串联的R2使 $\Delta V_{BE}$ 电压下降，R1(因电流关系)则下降一个PTAT电压 $V_1$ ：

$$V_1 = 2 \times \frac{R_1}{R_2} \times \Delta V_{BE} \quad . \quad \text{等式 1}$$

带隙基准电压 $V_Z$ 出现于Q1的基极处，为 $V_{BE}(Q1)$ 与 $V_1$ 之和，即1.205 V，带隙电压：

$$V_Z = V_{BE(Q1)} + V_1 \quad \text{等式 2}$$

$$= V_{BE(Q1)} + 2 \times \frac{R_1}{R_2} \times \Delta V_{BE} \quad \text{等式 3}$$

$$= V_{BE(Q1)} + 2 \times \frac{R_1}{R_2} \times \frac{kT}{q} \times \ln \frac{J_1}{J_2} \quad \text{等式 4}$$

$$= V_{BE(Q1)} + 2 \times \frac{R_1}{R_2} \times \frac{kT}{q} \times \ln 8 \quad \text{等式 5}$$

$$= 1.205V.$$

注意， $J_1 = Q1$ 的电流密度， $J_2 = Q2$ 的电流密度， $J_1/J_2 = 8$ 。

然而，由于 $R_4/R_5$ (经激光调整)薄膜分压器和运算放大器的存在， $V_{OUT}$ 处出现的实际电压可以向上调整，AD580为2.5 V。依据这一基本原则， $V_{OUT}$ 可以提升至其他实用电平，比如，对于AD584，可使抽头支持2.5、5、7.5和10 V精密工作。AD580可提供最大10 mA的输出电流，工作电源范围为4.5V至30 V。其容差低至0.4%，温度系数低至10 ppm/°C。

带隙基准电压源的许多最新发展都偏重减小封装尺寸、降低成本，以满足对更小、更节能、成本更低的基准电压源IC的系统性需求。其中包括几种最新的带隙IC基准电压源。AD1580(1996年上市)是一种分流模式IC基准电压源，在功能上与经典分流IC基准电压源非常类似，即前面提到的AD589(1980年上市)。一个重要的不同是，AD1580采用一种更新的小尺寸工艺，为支持微型SOT-23封装提供了可能。这种封装尺寸极小，适用于众多空间受限的应用，而工作电流低的特性则使其适用于便携式电池供电应用。图4所示为简化版的AD1580电路。

在该电路中，类似的晶体管Q1和Q2形成带隙内核，工作电流比为5倍，该值取决于 $R_7$ 与 $R_2$ 的比值。运算放大器由差分对Q3-Q4、电流镜Q5和驱动器/输出级Q8-Q9构成。在闭环均衡状态下，该放大器使 $R_2$ - $R_7$ 的底端保持于相同电位。

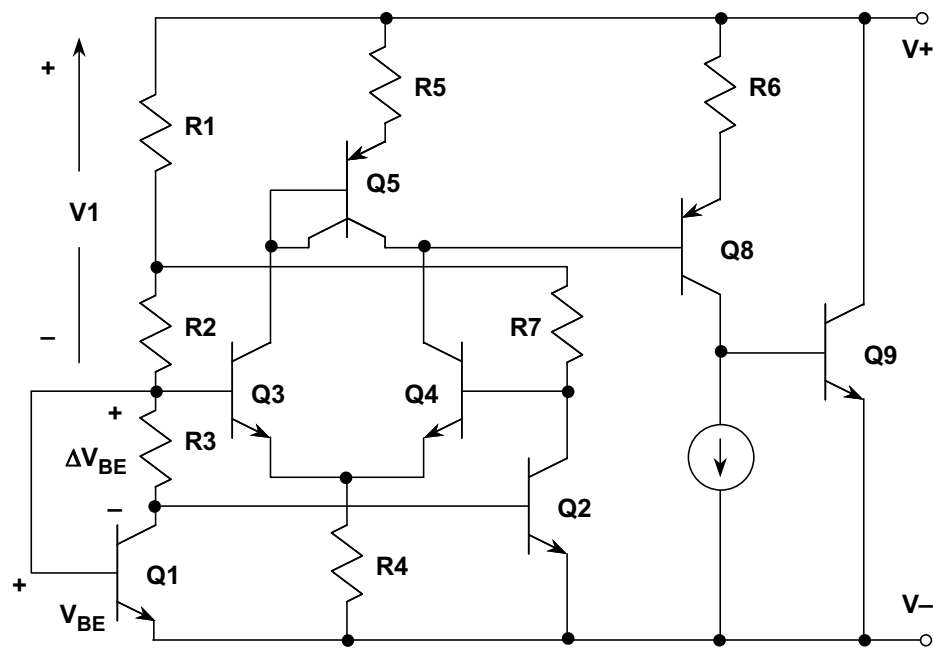


图4: AD1580 1.2V分流型带隙基准电压源采用微型SOT-23封装

受上述闭环控制影响, R3上出现基本电压 $\Delta V_{BE}$ , 同时, 调整后的PTAT电压表现为V1, 实际上与 $V_{BE}$ 成串联关系。1.225的标称带隙基准电压是Q1的电压 $V_{BE}$ 与V1之和。AD1580设计的最低工作电流为50  $\mu$ A, 最高为10 mA。提供多种级差选择, 电压容差为 $\pm 1$ 或 $\pm 10$  mV, 相应的温度系数为50或100 ppm/ $^{\circ}$ C。ADI分流调节器的最新成员有[ADR510](#) (1.000 V)和[ADR512](#) (1.200 V)。

[ADR520](#) (2.048 V)、[ADR525](#) (2.500 V)、[ADR530](#) (3.000 V)、[ADR540](#) (4.096 V)、[ADR545](#) (4.5 V)和[ADR550](#) (5.0 V)是分流调节器系列的最新成员, 初始精度为0.2%, 采用SC-70或SOT-23封装。

[AD1582-AD1585](#)系列包括串行模式IC基准电压源系列, 其输出电压为2.5、3.0、4.096和5.0 V。与AD1580一样, 该系列采用小尺寸工艺, 支持SOT-23封装。

[AD1582-AD1585](#)系列的电路框图(如图5所示)可以看作是基本的Brokaw带隙电压源的变体(如图3所示)。这种情况下, Q1-Q2构成核心, 整个环路在Q1的基极产生稳定的基准电压 $V_{BG}$ 。这里存在一个显著的差异, 即运算放大器的输出级采用推挽共发射极级设计。结果要求采用一个输出电容以获得稳定性, 同时也可使IC的压差减至相对较低的水平。



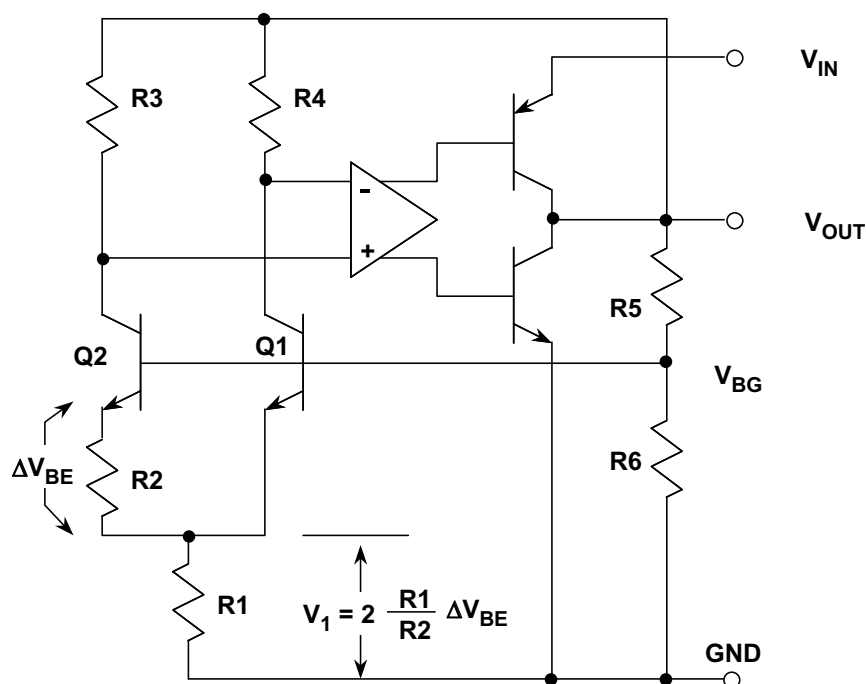
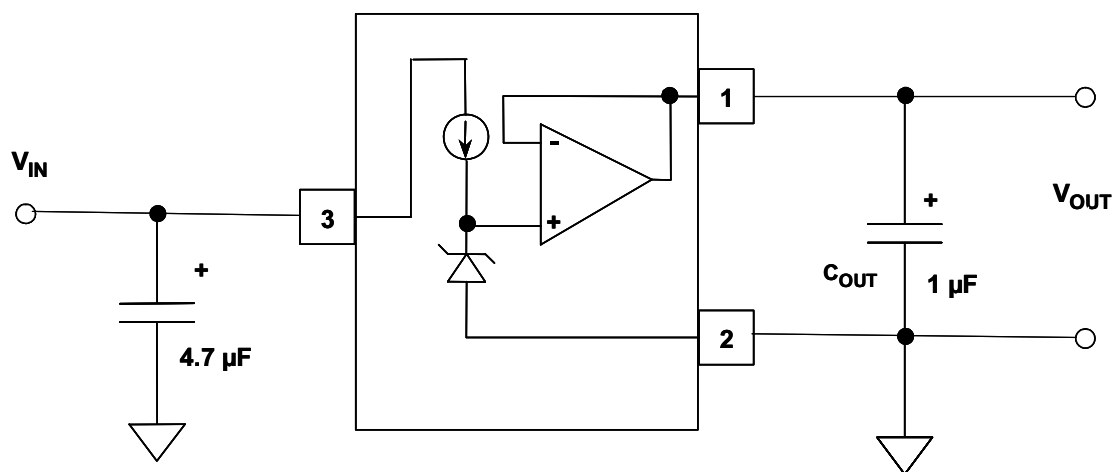


图5: AD1582-AD1585 2.5-5V系列带隙基准电压源



AD1582-1585:  $C_{OUT}$  REQUIRED FOR STABILITY  
 ADR380, ADR381:  $C_{OUT}$  RECOMMENDED TO ABSORB TRANSIENTS

图6: AD1582-AD1585系列连接框图

低压差意味着，可将 $V_{IN}$ 降至比 $V_{OUT}$ 高几百mV的水平，而不会干扰正常运行。推挽工作模式也意味着，该器件系列实际上可以支持输出端吸电流和源电流，与经典基准电压源只支持源电流不同。对于各种额定输出电压，分压器R5-R6针对相应的电平进行调节。

AD1582系列设计支持的静态电流仅为65  $\mu\text{A}$ (最大值), 用于电压输入变化较大的低功率系统可以获得良好的功效。该系列的额定输出电流为5 mA, 提供多级选择, 电压容差为 $\pm 0.1$ 或 $V_{\text{OUT}}$ 的 $\pm 1\%$ , 相应的温度系数为50或100 ppm/ $^{\circ}\text{C}$ 。

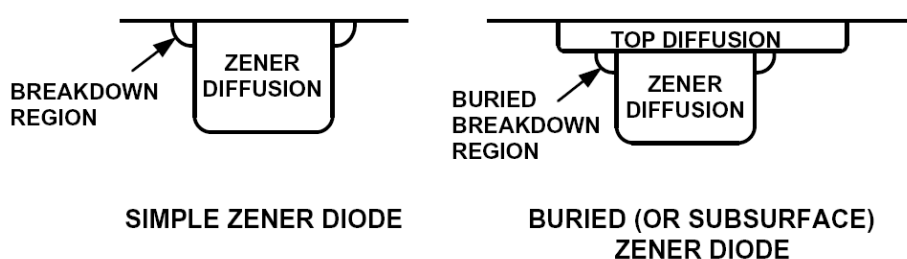
出于稳定性要求, [AD1582](#)必须同时配合一个输出和一个输入旁路电容。图6所示接线图给出了针对最差情况的建议值。对于提到的电气值, 钽芯片电容很可能是尺寸最小的。

### 嵌入式齐纳基准电压源

就基准电压源核心所用设计方法而言, 最常见的两种基本IC基准电压源由带隙和嵌入式齐纳单元构成。带隙在上面已经讨论过, 但基于齐纳二极管的基准电压源还需要进一步讨论。

在一个IC芯片中, 表面工艺的齐纳二极管结点击穿易于受到晶体瑕疵以及其他污染的影响, 因此, 表面形成的齐纳二极管比嵌入式(或表面下)齐纳二极管噪声更大、稳定性更差(见图7)。ADI的齐纳IC基准电压源采用更具优势的嵌入式齐纳二极管。这样可以使噪声和漂移性能比表面式齐纳二极管显著提高(参见参考文献4)。

嵌入式齐纳基准电压源具有极低的温度漂移, 低至1-2 ppm/ $^{\circ}\text{C}$ ([AD588](#)和[AD586](#)), 最低噪声为满量程的百分比, 即100 nV/ $\sqrt{\text{Hz}}$ 或更低。不足方面, 齐纳类基准电压源的工作电流通常相对较高, 一般为几毫安。齐纳电压也相对较高, 一般为5 V。这限制了其在低电压电路中的应用。图8显示的是AD586的框图。



**图7: 简单表面齐纳与嵌入式齐纳**

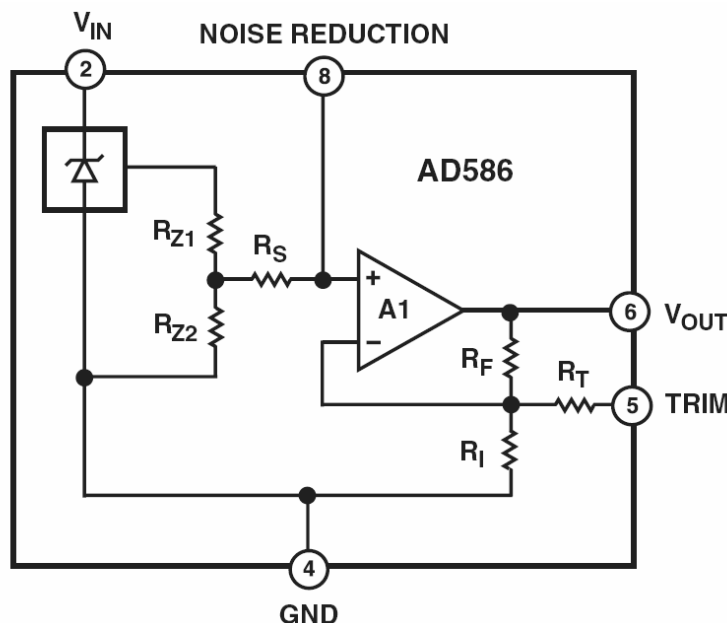


图8：典型的嵌入式齐纳基准电压源(AD586)

在比较不同基准电压源的噪声性能时，需要注意一个重要问题。最好办法是比较噪声相对于直流输出电压的比率(在给定的带宽范围内)。例如，相对于噪声水平相同的5 V基准电压源，噪声密度为100 nV/ $\sqrt{\text{Hz}}$ 的10 V基准电压源的噪声要低6 dB。

### XFET®基准电压源

第三种也是相对较新的IC基准电压源核心设计是以结型场效应(JFET)晶体管的属性为基础的。该JFET型基准电压源与双极性晶体管的带隙基准电压源具有一定的相似性，控制着一对夹断电压不同的结型场效应晶体管，并放大差分输出以产生稳定的基准电压。两个JFET之一采用了额外的离子嵌入，基准电压源核心设计因而获得了XFET®(额外嵌入结型场效应晶体管)的美名。

该XFET基准电压源电路的基本拓扑结构如图9所示。J1和J2是两个JFET晶体管，构成基准电压源的核心。J1和J2以来自匹配电流源I1和I2的相同电流驱动。右侧，J1是采用额外离子嵌入的JFET，结果使J1-J2夹断电压产生500 mV的差值。在两个这种FET的夹断电压被故意偏斜的情况下，当电流驱动条件相同、源电压相等时，栅极之间将出现一个差分电压。该电压即是 $\Delta V_P$ ，等于：

$$\Delta V_P = V_{P1} - V_{P2}, \quad \text{等式 6}$$

其中， $V_{P1}$ 和 $V_{P2}$ 分别为J1和J2两个FET的夹断电压。

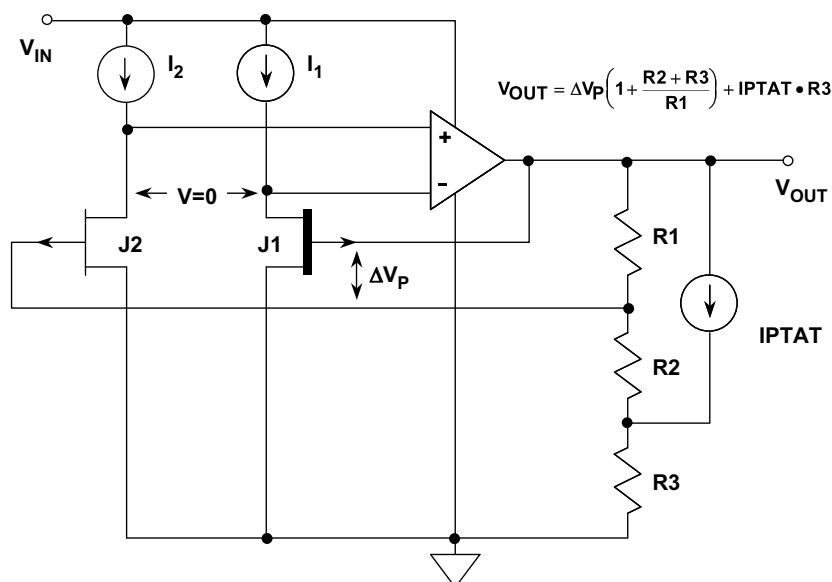


图9: XFET®基准电压源的简化原理图

注意, 在该电路中, 电压 $\Delta V_P$ 存在于两个FET的栅极之间。我们还知道, 当整个反馈环路闭合时, 在运算放大器输入差分电压为零这一公理的作用下, 两个JFET的源电流将保持于相同电位。这些源电压作为运算放大器的输入, 其输出驱动着反馈分压器R1-R3。在该环路被配置时, 在来自R1-R2抽头的输出电压的作用下会稳定下来, 该抽头事实上产生J1-J2栅极之间需要的 $\Delta V_P$ 。实际上, 运算放大器放大 $\Delta V_P$ 以产生 $V_{OUT}$ , 其中

$$V_{OUT} = \Delta V_P \left( 1 + \frac{R2 + R3}{R1} \right) + (I_{PTAT})(R3). \quad \text{等式 7}$$

显然, 该表达式包括基本的输出调整(等式右侧最左边的部分), 以及最右边取决于温度的项, 包括 $I_{PTAT}$ 。表达式的 $I_{PTAT}$ 部分对XFET核心的基本负温度系数进行了补偿, 以使基准电压源的总净温度漂移处于3至8 ppm/°C的典型范围之内。

XFET架构相对于带隙和嵌入式齐纳基准电压源, 其性能有较大提升, 尤其是在工作电流十分重要的系统之中, 这类系统的漂移和噪声性能仍然必须非常突出。XFET的噪声水平低于工作于相同电流的带隙型双极性基准电压源, 温度漂移低且呈线性, 为3-8 ppm/°C(可在必要时轻松进行补偿); 另外, 该系列的迟滞也低于带隙类产品。在-40至+125°C的温度范围内, 热滞较低, 为50 ppm, 还不到典型带隙器件的一半。最后, 其长期稳定性极佳, 一般仅为50 ppm/1000小时。

图10总结了三种基准电压源架构的优势与不足: 即带隙、嵌入式齐纳和XFET。

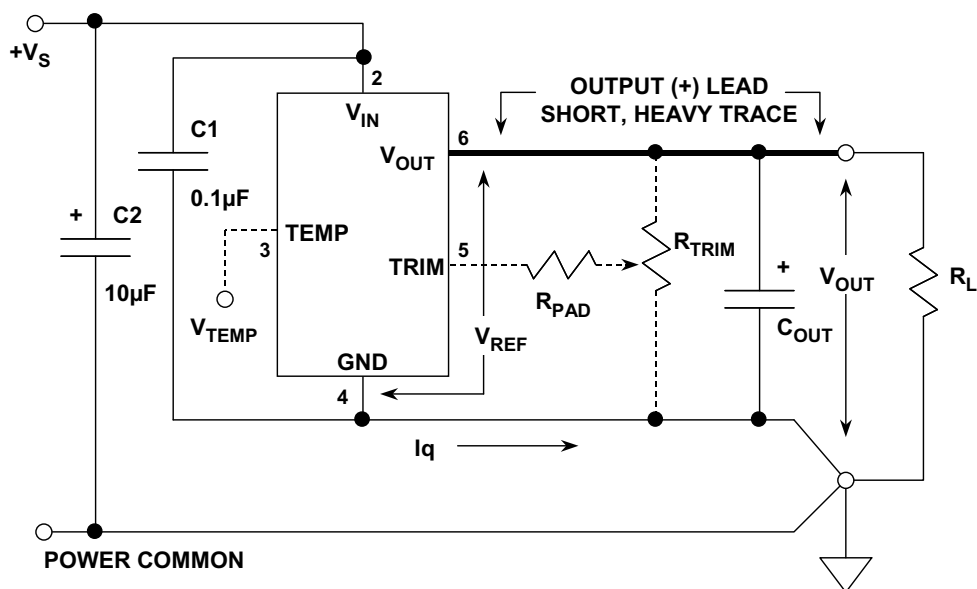
BANDGAP	BURIED ZENER	XFET®
< 5V Supplies	> 5V Supplies	< 5V Supplies
High Noise @ High Power	Low Noise @ High Power	Low Noise @ Low Power
Fair Drift and Long Term Stability	Good Drift and Long Term Stability	Excellent Drift and Long Term Stability
Fair Hysteresis	Fair Hysteresis	Low Hysteresis

**图10：基准电压源架构的特性**

尽管现代IC基准电压源采用多种设计方式，但串行式正固定输出型仍然是主流。它们不一定具有低功耗、低噪声和/或低压差的特性，提供的封装选项可能不齐全。当然，在既定的应用中，这些区别性因素中的任一个因素都可能决定某种选择，因此，设计人员有必要了解有哪些不同器件可供使用。

### 基准电压源的布局考虑

图11展示的是一种串联型IC正基准电压源的典型原理图(采用8引脚封装，注意“(x)”编号表示相应功能的标准引脚)。



**图11：标准正输出三引脚基准电压源接线图(8引脚DIP引脚排列)**

这里需要注意几个重要的细节。许多基准电压源支持可选调整，其方法是连接一个外部调整电路以驱动基准电压源的调整输入引脚(5)。有些带隙基准电压源同时有一个高阻抗PTAT输出(VTEMP)，用于温度感测(引脚3)。其目的是防止该引脚消耗较大的电流，但对于比较器输入等非负载类连接可能有用，用于检测温度阈值等。

有些基准电压源有一个标为“降噪”(noise reduction)的引脚。这可能会导致误解。连接至该引脚的电容器会降低基准电压源本身的噪声，该电压源后面一般是个内部缓冲器。但该缓冲器的噪声不会受到影响。

所有基准电压源都应在输入引脚(2)上使用去耦电容，但输出(引脚6)中的去耦量(若有)取决于基准电压源的输出运算放大器在容性负载下的稳定性。简言之，容性负载并无固定不变的规则。例如，有些三引脚类型要求采用输出电容以获得稳定性(即REF19x和AD1582-85系列)，其他则可选用以提高性能(AD780、REF43、ADR29x、ADR43x、ADR38x、ADR39x、ADR01、ADR02、ADR03)。即使输出电容是可选的，仍有可能成为必需，以便为瞬态负载电流提供能量，就如一些ADC基准电压源输入电路一样。因此，最安全的法则是，利用数据手册来针对电路的负载条件，确定目标基准电压源对容性负载的基本要求。

## 基准电压源的规格

### 容差

一般而言，最好选择具有要求值和精度的基准电压源，并尽量避免使用外部调整和缩放手段。这样做可以实现最佳的温度系数，因为小容差和低温度系数通常是相伴而生。AD586、AD780、REF195和ADR43x系列可以实现最低约0.04%的容差，AD588则为0.01%。对于是否有必要使用调整以及使用时间的问题，一定要使用建议的调整网络，其范围不得超过绝对必要的水平。当/如果需要使用额外的外部缩放手段时，则应使用精密运算放大器以及比例精确、温度系数低的跟踪薄膜电阻。

### 温漂

XFET和嵌入式齐纳基准电压源系列具有最好的长期漂移和温度系数性能。XFET ADR43x系列的温度系数低至3 ppm/°C。AD586和AD588嵌入式齐纳基准电压源的温漂系数低至1-2 ppm/°C，AD780带隙基准电压源接近3 ppm/°C。

XFET系列可实现50 ppm/1000小时的长期漂移性能，嵌入式齐纳型则为25 ppm/1000小时。请注意，长期漂移一般表示为ppm/1000小时。每年有8766个小时，许多工程师因此用1000小时数乘以8.77，以计算年漂移——这样做是错误的，有可能造成十分悲观的结果。精密模

拟电路的长期漂移是一种“随机游动”现象，随着所逝时间的平方根而增加(其假设是，漂移是芯片中的随机微效应导致的，而不是污染等常见原因造成的)。因此，1年数值大约是 $\sqrt{8.766}$ ，约等于1000小时数的3倍，10年数值大约是1000小时数的9倍。在实践中，情况比这要好，因为各种器件的稳定性会随时间而增加。

ADC或DAC的精度不一定优于其基准电压源。基准电压源的温度漂移会影响满量程精度，如图12所示。表中显示了系统分辨率和在100°C的工作温度范围内保持 $\frac{1}{2}$  LSB的误差而必需的温度系数。例如，为了使 $\frac{1}{2}$  LSB误差维持于12位，温度系数必须为1 ppm/°C左右。对于较小的工作温度范围，漂移要求也较小。表中最后三栏显示了常见满量程范围下的 $\frac{1}{2}$  LSB电压值。

BITS	REQUIRED DRIFT (ppm/°C)	$\frac{1}{2}$ LSB WEIGHT (mV) 10, 5, AND 2.5V FULLSCALE RANGES		
		10V	5V	2.5V
8	19.53	19.53	9.77	4.88
9	9.77	9.77	4.88	2.44
10	4.88	4.88	2.44	1.22
11	2.44	2.44	1.22	0.61
12	1.22	1.22	0.61	0.31
13	0.61	0.61	0.31	0.15
14	0.31	0.31	0.15	0.08
15	0.15	0.15	0.08	0.04
16	0.08	0.08	0.04	0.02

**图12：各种系统精度下的基准电压源温度漂移要求(1/2 LSB标准，温度范围100°C)**

## 电源电压范围

IC基准电压源的电源电压范围最小是比额定输出高3 V(或更低)，最大是比额定输出高30 V(或更高)。针对低压差设计的器件不在此列，如REF19x、AD1582-AD1585、ADR38x、ADR39x系列。低电流时，REF195可在最低5.1 V(100 mV压差)的输入电压下产生5 V的输出电压。注意，受工艺限制，有些基准电压源的最大输入电压范围可能限制较大，比如AD1582-AD1585系列(12 V)、ADR29x系列(15 V)以及ADR43x系列(18 V)。

## 负载灵敏度

负载灵敏度(或输出阻抗)一般表示为负载电流的 $\mu\text{V}/\text{mA}$ ，即 $\text{m}\Omega$ 或 $\text{ppm}/\text{mA}$ 。虽然70 ppm/mA或更低的值是非常好的(AD780、REF43、REF195、ADR29x、ADR43x)，但需要注意的是，如果不慎重考虑布局，外部布线压降可能在高电流下产生类似误差。使用短的大功率导线时，(+)输出和接地回路上的负载电流类误差将达到最低限度。对于最高精度，则通过缓冲放大器和开尔文检测电路(AD588、AD688、ADR39x)来为负载时的精密电压提供保障。



缓冲基准电压源的输出是运算放大器的输出，因此，源阻抗为频率的函数。典型基准电压源的输出阻抗比直流值高6 dB/8倍频程，标称值大约是10  $\Omega$ (频率为几百kHz)。这一阻抗值可以用一个外部电容减小，其条件是基准电压源中的运算放大器在此类负载下能保持稳定。

### 线路灵敏度

线路灵敏度(或调节)指输入的变化，一般表示为 $\mu\text{V/V}$ (或ppm/V)，REF43、REF195、AD680、AD780、ADR29x、ADR39x、和ADR43x一般为25 ppm/V (-92 dB)。对于直流和极低频率，此类误差可能被噪声掩盖。

与运算放大器一样，基准电压源的线路灵敏度(或电源抑制比)随着频率的增大而下降，典型值为30至50 dB(频率为几百kHz)。为此，基准电压源的输入应高度去耦(LF和HF)。线路抑制比可用一个低压差预调节器加大。

### 噪声

基准电压源的噪声并非始终都有额定值，即使有，对于其表示方法也存在不同意见。例如，有些器件的峰峰值噪声表示为0.1至10 Hz带宽内的值，而其他则用宽带rms表示，或者表示为指定带宽范围的峰峰值噪声。测量噪声最有用的方法(与运算放大器一样)是以噪声电压频谱密度( $\text{nV}/\sqrt{\text{Hz}}$ )和频率为变量绘制坐标图。

低噪声基准电压源是高分辨率系统的重要组成部分，用于防止精度下降。由于白噪声具有统计性质，因此，给定的噪声密度必须相对于相关带宽中的等效峰峰值噪声。严格来讲，高斯系统中的峰峰值噪声是无穷的(但其概率无限小)。常规上，用数值 $6.6 \times \text{rms}$ 来定义实用的峰值——从概率上来看，其发生可能性不到0.1%。该峰峰值应小于 $\frac{1}{2}$  LSB，以维持必要的精度。如果假定峰峰值噪声为rms值的6倍，则对于N位系统而言，给定基准电压源的满量程电压 $V_{\text{REF}}$ 和基准电压源的噪声带宽(BW)，则所需噪声电压频谱密度 $E_n$  ( $\text{V}/\sqrt{\text{Hz}}$ )为：

$$E_n \leq \frac{V_{\text{REF}}}{12 \cdot 2^N \cdot \sqrt{\text{BW}}} \quad \text{等式 8}$$

对于一个10 V、12位、100 kHz系统，噪声要求不高，为643  $\text{nV}/\sqrt{\text{Hz}}$ 。图13显示，提高分辨率和/或降低满量程基准电压，会提高噪声要求。100 kHz的带宽假设有点随意，但用户可通过外部滤波机制来降低该数值，从而降低噪声。多数好的IC基准电压源的噪声频谱密度都在100  $\text{nV}/\sqrt{\text{Hz}}$ 左右，因此，多数高分辨率系统显然需要额外的滤波机制，尤其是 $V_{\text{REF}}$ 值较低的系统。



有些基准电压源(如AD587嵌入式齐纳型)专门有一个指定为“降噪引脚”的引脚(见数据手册)。该引脚连接至片内缓冲放大器之前的一个高阻抗节点。这样,一个外部连接的电容 $C_N$ 将与一个内部电阻形成低通滤波器,以限制输出端的有效噪声带宽。一个1  $\mu$ F的电容可产生40 Hz的3 dB带宽。注意,这种降噪方法并不通用,其他器件可能使用不同的降噪办法。同时注意,该降噪引脚不影响缓冲放大器的噪声。

还有些通用的降噪方法,可用于降低任何基准电压源IC的噪声,支持任何标准电压水平。注意,基准电压源滤波器的直流特性会影响基准电压源的精度。

	NOISE DENSITY (nV/ $\sqrt{\text{Hz}}$ ) FOR 10, 5, AND 2.5V FULLSCALE RANGES		
BITS	10V	5V	2.5V
12	643	322	161
13	322	161	80
14	161	80	40
15	80	40	20
16	40	20	10

- ◆ Criteria:  $V_{N(\text{PP})} < 0.5 \text{ LSB}$ ,  $\text{LSB} = V_{\text{FS}}/2^N$
- ◆ Assume p-p noise  $V_{N(\text{P-P})} \approx 6 \times V_{N(\text{RMS})}$ , calculate  $V_{N(\text{RMS})}$
- ◆ Assume a bandwidth of 100kHz, calculate noise density
- ◆ Noise Density =  $V_{N(\text{RMS})}/\sqrt{100\text{kHz}}$
- ◆ Most references are about 100nV/ $\sqrt{\text{Hz}}$

**图13: 各种系统精度下的基准电压源噪声要求(1/2 LSB/100 kHz标准)**

### 基准电压源的脉冲电流响应

基准电压源对动态负载的响应通常是问题,尤其是在ADC和DAC的驱动应用中。负载电流的快速变化无一例外地会扰乱输出,通常会超过额定误差范围。例如,一个 $\Sigma$ - $\Delta$  ADC的基准电压源输入可能是开关电容电路(如图14所示)。动态负载会在电容 $C_{\text{IN}}$ 充电和放电时给基准电压源带来电流尖峰。结果,ADC基准电压源电路上可能出现噪声。

尽管 $\Sigma$ - $\Delta$  ADC内置数字滤波器,但基准电压源输入引脚上的瞬态电流仍然可能导致较大的转换误差。因此,有必要在ADC的基准电压源输入端维持低噪声、无瞬态变化的电位。注意,如果基准电压源阻抗过高,动态负载可能使基准电压源输入端漂移幅度超过5 mV。

在基准电压源的输出端装上一个旁路电容可能有助于处理负载瞬变，但许多基准电压源在大容性负载下不稳定。因此，必须确定所选器件能够满意地驱动所需输出电容。无论怎样，转换器基准电压源的输入都必须去耦——至少 $0.1\ \mu\text{F}$ ，如果电源中存在任何低频纹波，则还要增加 $5 - 50\ \mu\text{F}$ 。

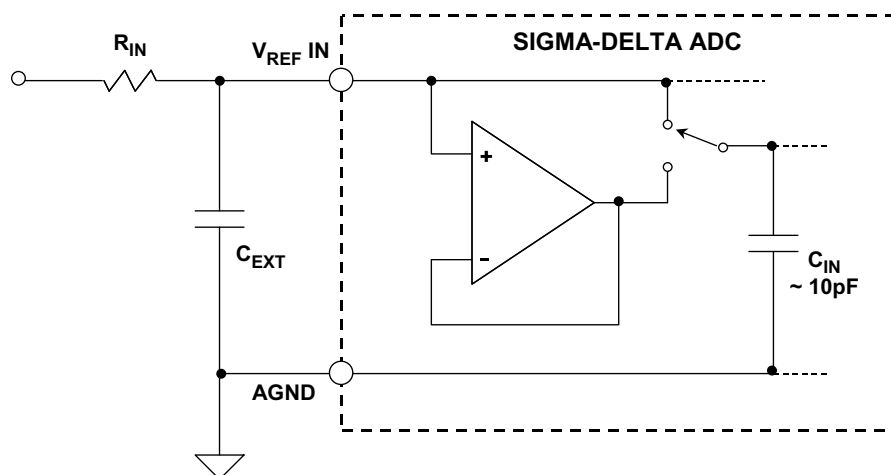


图14:  $\Sigma$ - $\Delta$ 型ADC的开关电容输入给基准电压源带来动态负载

由于有些基准电压源在瞬态负载下会工作不正常，在相对较长时间内振荡或精度下降，因此，建议对可能遇到瞬态负载的基准电压源进行脉冲响应测试。一种合适的电路如图15所示。在典型的基准电压源中， $1\ \text{mA}$ 的阶跃变化会产生图中所示瞬变。当一个 $0.01\ \mu\text{F}$ 的电容连接至基准电压源的输出端时，瞬变的持续时间以及振铃的幅度都会增加。

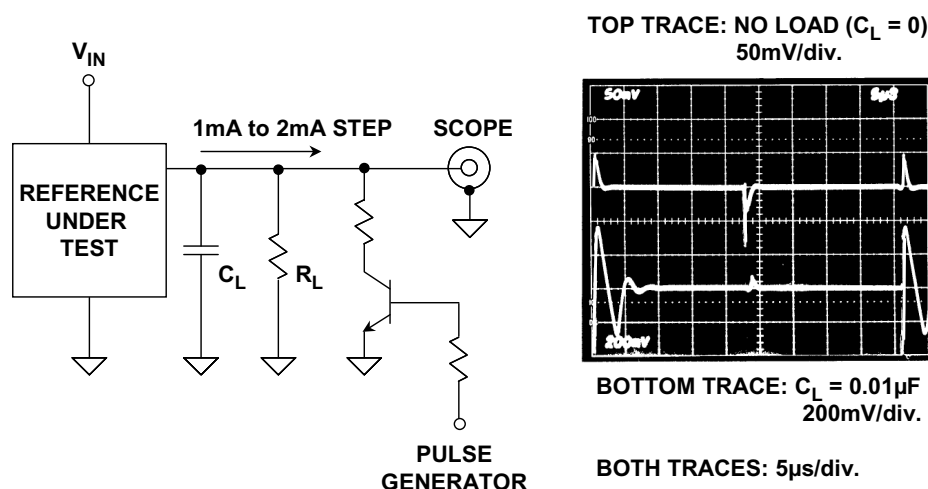


图15: 确保基准电压源在大容性负载下的稳定性

如上所示，基准电压源旁路电容在驱动逐次逼近型ADC的基准电压源输入端时很有用。图16所示为基准电压源在“启动转换”(Start Convert)命令之前的建立行为。小电容( $0.01\ \mu\text{F}$ )无法提供足够的电荷存储空间，来使基准电压源在转换期间保持稳定，结果可能产生误差。如底部迹线所示，用大于或等于 $1\ \mu\text{F}$ 的电容去耦，则可在转换期间维持基准电压源的稳定性。

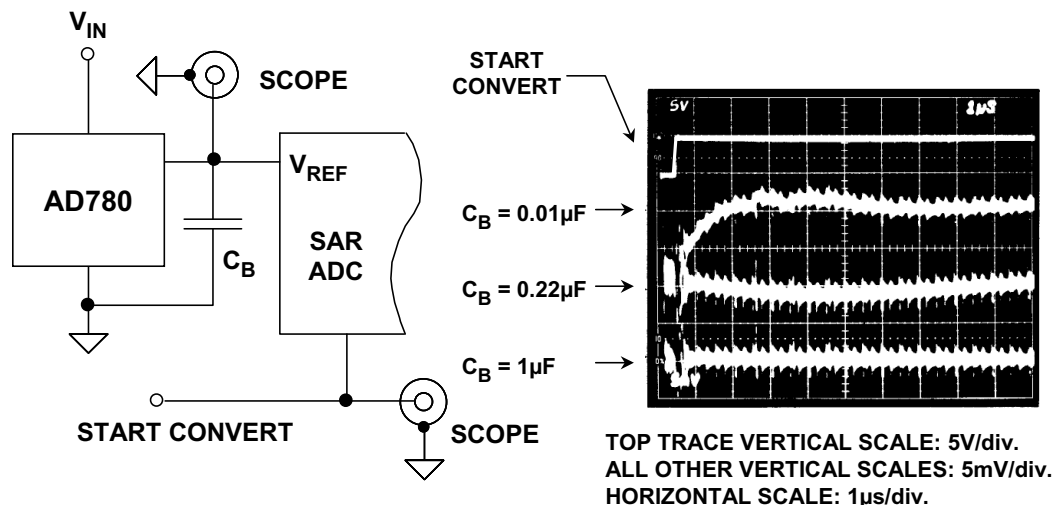


图16：逐次逼近型ADC可能给基准电压源带来动态瞬态负载

在需要用基准电压源来驱动大电容时，还必须认识到，其开启时间会延迟。可能需要进行试验，以便在基准电压源输出达到全精度之前确定延迟，但该延迟肯定比数据手册中针对低容性负载状态下的同一基准电压源要长。

### 面向高分辨率转换器的低噪声基准电压源

高分辨率转换器( $\Sigma$ - $\Delta$ 型和高速型)都可以从IC基准电压源的最新进步中受益，比如更低的噪声，能够驱动容性负载等。即使许多数据转换器都有内部基准电压源，但这些基准电压源的性能往往会因转换器过程的限制而折衷。在这种情况下，使用外部基准电压源而不是内部基准电压源通常可以获得更好的整体性能。例如，AD7710系列24位ADC内置了一个2.5 V的内部基准电压源，0.1至10 Hz噪声为 $8.3\ \mu\text{V rms}$  ( $2600\ \text{nV}/\sqrt{\text{Hz}}$ )，而AD780基准电压源噪声仅有 $0.67\ \mu\text{V rms}$  ( $200\ \text{nV}/\sqrt{\text{Hz}}$ )。AD7710系列在该带宽范围内的内部噪声约为 $1.7\ \mu\text{V rms}$ 。使用AD780可以使AD7710的有效分辨率从大约20.5位提升到21.5位。

在用精度更高的外部基准电压源取代内部基准电压源时，还可能出现一个非常现实的问题。涉及到的转换器可能已在生产过程中用精度相对较低的内部基准电压源进行过调整，以达到额定性能要求。这种情况下，在转换器中使用精度更高的外部基准电压源反而可能带来更多的增益误差！例如，早期的AD574在采用10 V内部基准电压源(其本身的额定精度仅为 $\pm 1\%$ )时的保证未校准增益精度为0.125%。显然，如果在这样的器件中(其内部基准电压源处于额定范围的一端)使用刚好10V的外部基准电压源，则将产生1%左右的增益误差。

## ADI基准电压源向导设计工具

ADI公司的基准电压源向导是一款帮助用户选择最适合与数据转换器配合使用的基准电压源的设计工具。为向导提供一款数据转换器后，它将给出多款合适的基准电压源以及贡献给整体系统的最大直流误差。或者输入系统能够容忍的直流误差量，它将找出哪些ADI基准电压源与数据转换器组合能够满足要求。

### 参考文献：

1. Bob Widlar, "New Developments in IC Voltage Regulators," *IEEE Journal of Solid State Circuits*, Vol. SC-6, February, 1971.
2. Paul Brokaw, "A Simple Three-Terminal IC Bandgap Voltage Reference," *IEEE Journal of Solid State Circuits*, Vol. SC-9, December, 1974.
3. Paul Brokaw, ["More About the AD580 Monolithic IC Voltage Regulator."](#) *Analog Dialogue*, 9-1, 1975.
4. Dan Sheingold, Section 20.2 within *Analog-Digital Conversion Handbook*, 3d. Edition, Prentice-Hall, 1986.
5. Walt Jung, "Build an Ultra-Low-Noise Voltage Reference," *Electronic Design Analog Applications Issue*, June 24, 1993.
6. Walt Jung, ["Getting the Most from IC Voltage References."](#) *Analog Dialogue*, 28-1, 1994, pp. 13-21.
7. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.
8. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 模拟开关和多路复用器基本知识

### 简介

在要求针对模拟信号控制和选择指定传输路径的电子系统的设计中，固态模拟开关和多路复用器已成为必要元件之一。这些器件被用于广泛的应用之中，包括多通道数据采集系统、过程控制、仪器仪表、视频系统等。

20世纪60年代晚期的开关和多路复用器均以分立式MOSFET器件设计，并用小型PC板或模块生产。随着CMOS工艺的发展(以相同的基板生产优异的PMOS和NMOS晶体管)，开关和多路复用器在20世纪70年代中期快速转向了集成电路形式，推出了广受欢迎的ADI公司AD7500系列(1973年问世)等产品。1976年推出了带介质隔离系列，支持 $\pm 25$  V的输入过压(超出供电轨)，而且不易闩锁。

这些早期的CMOS开关和多路复用器主要设计用于处理最高 $\pm 10$  V的信号，并工作于 $\pm 15$  V的电源之下。1979年，ADI公司推出大获成功的ADG200系列开关和多路复用器，1988年，ADG201系列问世，该器件采用专有的线性兼容CMOS工艺(LC<sup>2</sup>MOS)制成。这些器件在 $\pm 15$  V电源下可支持最高 $\pm 15$  V的输入信号。

20世纪80年代和90年代出现了大量的开关和多路复用器，其趋势是更低的导通电阻、更快的开关、更低的电源电压、更低的成本、更低的功耗和更小的表贴封装。

如今，模拟开关和多路复用器有多种配置、选项可供选择，可以适应几乎所有应用。低于 $0.5\ \Omega$ 的导通电阻、皮安级漏电流、大于1 GHz的信号带宽以及1.8 V单电源供电，这些全都可以利用现代CMOS技术来实现。市场上同时还有采用 $\pm 15$  V电源、基于ADI公司*iCMOS*<sup>®</sup>(工业CMOS)工艺的工业产品。

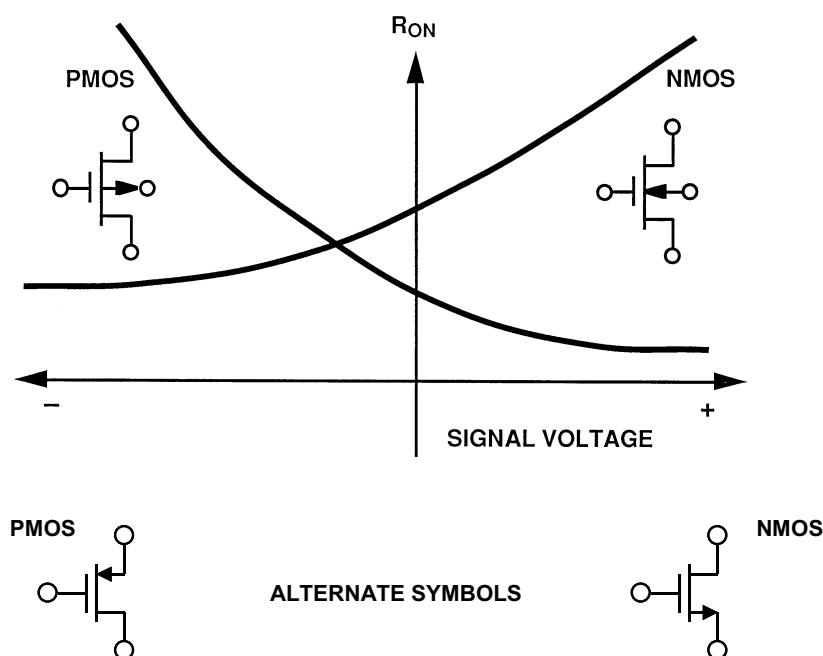
尽管CMOS是目前最流行的开关和多路复用器IC工艺，但双极性工艺(JFET)和互补双极性工艺(也支持JFET)通常用于视频开关和多路复用等特殊应用，因为这些应用要求的高性能是CMOS工艺无法实现的。传统的CMOS开关和多路复用器在视频频率下往往存在多种劣势。它们的开关时间一般不够快，而且需要外部缓冲才能驱动典型的视频负载。另外，CMOS开关导通电阻随信号电平的较小变化( $R_{ON}$ 调制)可能会给差分放大和相位带来无用的失真。基于互补双极性技术的多路复用器在视频频率下具有更好的表现——但其功耗和成本与CMOS器件相比有明显增加。

## CMOS开关基础

理想型模拟开关不存在导通电阻，具有无穷大的关断阻抗和零时间延迟，可以处理大信号和共模电压。实际的CMOS模拟开关不满足其中任意一条，但是，如果我们了解模拟开关的不足，这些缺陷多数是可以克服的。

CMOS开关具有优秀的组合属性。其最基本的形式是MOSFET晶体管，这是一种电压控制电阻。在“导通”状态下，其电阻可能不到 $1\ \Omega$ ，而在“关断”状态下，其电阻则会升至数百兆欧，并且存在皮安级漏电流。CMOS技术兼容逻辑电路，可以高密度集成在IC之中。其快速开关特性得到良好的控制，仅具有最少的电路寄生效应。

MOSFET晶体管是双向的。换言之，它们可以同样轻松地开关正、负电压，传导正、负电流。MOSFET晶体管具有一个电压控制电阻，随信号电压则呈非线性变化，如图1所示。



**图1：MOSFET开关导通电阻与信号电压之间的关系**

互补MOS工艺(CMOS)可以产出优异的P沟道和N沟道MOSFET。并联连接PMOS和NMOS器件，结果会形成如图2所示的基本双向CMOS开关。这种组合有利于减少导通电阻，同时也可能产生随信号电压变化小得多的电阻。



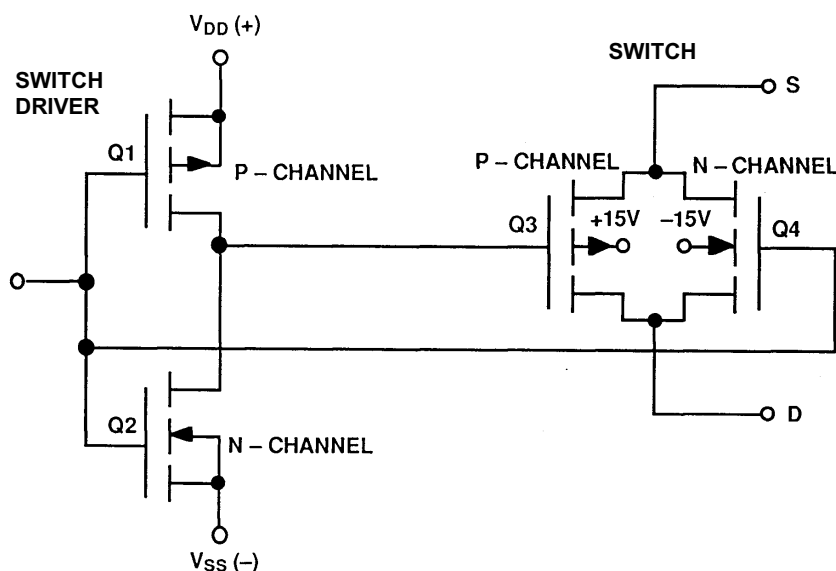


图2：基础CMOS开关用互补对来减少信号摆幅引起的 $R_{ON}$ 变化

图3展示的是N型和P型器件的导通电阻随通道电压的变化。这种非线性电阻可能给直流精度和交流失真带来误差。双向CMOS开关可以解决这个问题。导通电阻大幅降低，线性度也得到了提升。图3底部曲线展示的是改进后的开关导通电阻特性的平坦度。

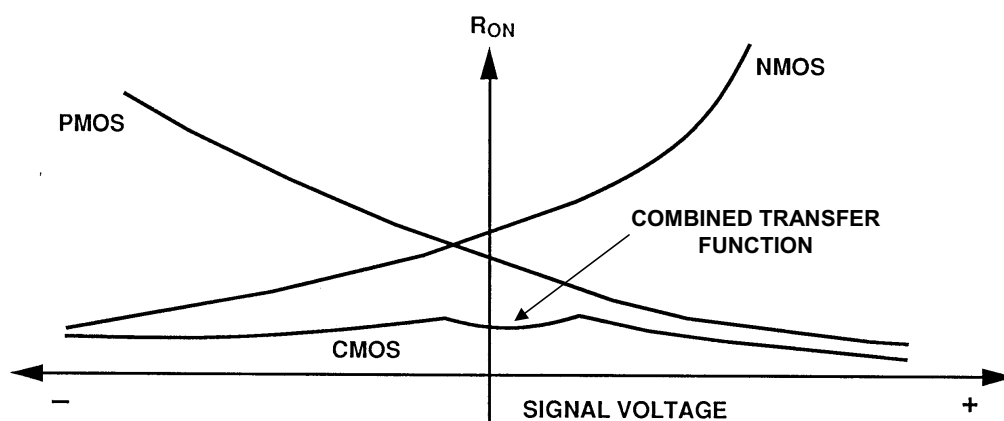
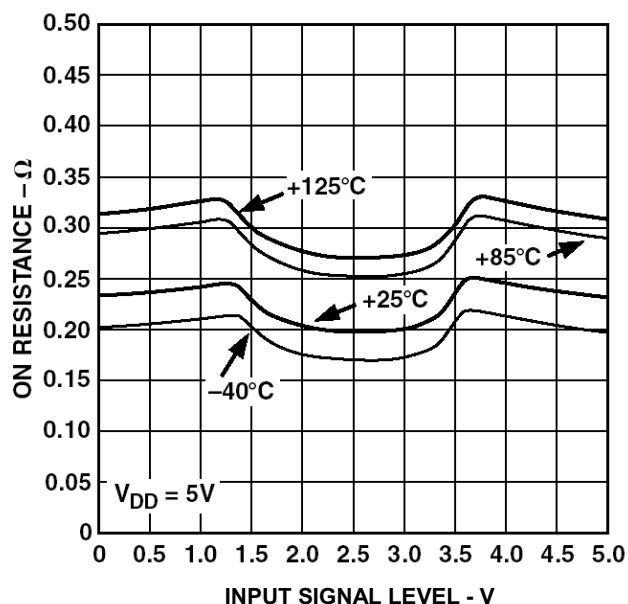


图3：CMOS开关导通电阻与信号电压之间的关系

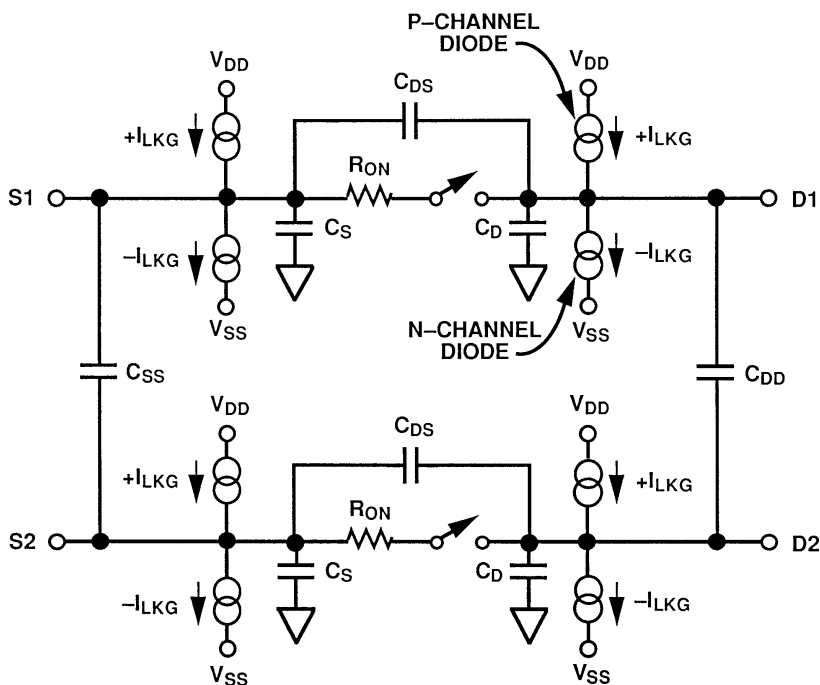
ADG8xx系列CMOS开关是专门针对导通电阻低于 $0.5\ \Omega$ 的应用而设计的，采用亚微米工艺制成。这些器件可以传导最高400 mA的电流，采用1.8 V至5.5 V单电源供电(具体视器件而定)，额定扩展工作温度范围为 $-40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。典型的导通电阻与温度和输入信号电平之间的关系如图4所示。



**图4: ADG801/ADG802 CMOS开关的导通电阻与输入信号的关系,  $V_{DD} = +5V$**

### 基本CMOS开关中的误差源

在模拟开关中,有必要了解误差源。许多因素都会影响交流和直流性能,其他因素则可能只影响交流性能。图5展示的是两个相邻CMOS开关的等效电路。该模型包括漏电流和结电容。

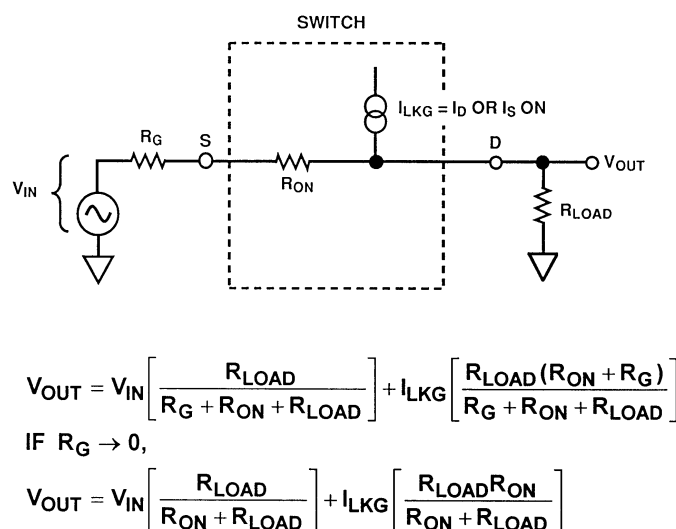


**图5: 两个相邻CMOS开关的等效电路**



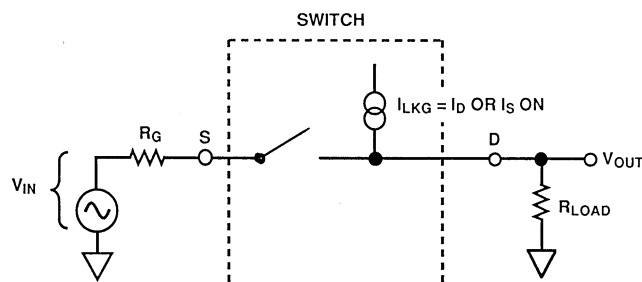
与处于导通状态的单个CMOS开关相关的直流误差如图6所示。当开关导通时，直流性能主要受开关导通电阻( $R_{ON}$ )和漏电流( $I_{LKG}$ )的影响。 $R_G$ - $R_{ON}$ - $R_{LOAD}$ 组合形成一个阻性衰减器，结果会产生增益误差。漏电流 $I_{LKG}$ 流过与 $R_G$ 和 $R_{ON}$ 之和并联的 $R_{LOAD}$ 的等效电阻。

不仅 $R_{ON}$ 可能导致增益误差——可用系统增益校准——而且其随应用的信号电压的变化( $R_{ON}$ 调制)也可能带来失真——这个失真无法校准的。低阻电路更容易出现因 $R_{ON}$ 导致的误差，而高阻电路则受漏电流影响。图6同时还给出了可体现这些参数对直流性能的影响的一些等式。



**图6：影响导通开关条件下直流性能的因素： $R_{ON}$ 、 $R_{LOAD}$ 和 $I_{LKG}$**

当开关断开时，漏电流可能引起误差，如图7所示。流过负载电阻的漏电流会在输出端产生一个对应的电压误差。

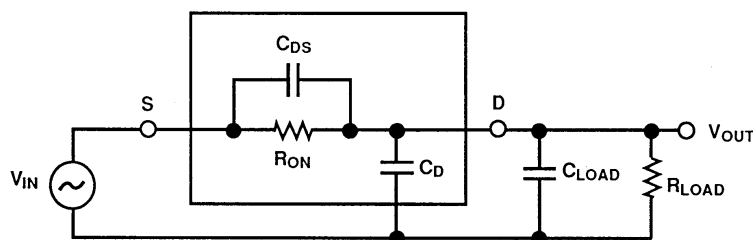


Leakage current creates error voltage at  $V_{OUT}$  equal to:

$$V_{OUT} = I_{LKG} \times R_{LOAD}$$

**图7：影响关断开关条件下直流性能的因素： $I_{LKG}$ 和 $R_{LOAD}$**

图8显示的是影响CMOS开关交流性能的寄生物件。额外的外部电容会进一步导致性能下降。这些电容会影响馈通、串扰和系统带宽。 $C_{DS}$ (漏极到源极电容)、 $C_D$ (漏极-地电容)和 $C_{LOAD}$ 与 $R_{ON}$ 和 $R_{LOAD}$ 相配合,以形成整体传递函数。



$$A(s) = \left[ \frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] \left[ \frac{s R_{ON} C_{DS} + 1}{s \left( \frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right) (C_{LOAD} + C_D + C_{DS}) + 1} \right]$$

$$A(dB) = 20 \log \left[ \frac{R_{LOAD}}{R_{LOAD} + R_{ON}} \right] + 10 \log [\omega^2 (R_{ON} C_{DS})^2 + 1] - 10 \log \omega^2 \left[ \left( \frac{R_{LOAD} R_{ON}}{R_{LOAD} + R_{ON}} \right)^2 (C_{LOAD} + C_D + C_{DS})^2 + 1 \right]$$

**图8: 动态性能考虑: 传输精度与频率的关系**

在等效电路中,  $C_{DS}$ 会在传递函数 $A(s)$ 的分子中形成一个零点。该零通常出现在高频下, 因为开关导通电阻很小。带宽同时也是开关输出电容与 $C_{DS}$ 和负载电容的函数。该频率极点出现在等式的分母中。

复合频率域传递函数可以改写为如图9所示形式, 图9所示为导通状态下的开关的整体波特图。多数情况下, 主要受输出电容 $C_D$ 的影响, 极点断点频率将首先出现。因此, 为了使带宽最大化, 开关应具有低输入电容、低输出电容和低导通电阻。

串联旁路电容 $C_{DS}$ 不但会在导通状态响应中形成一个零, 同时也会在关断状态下导致开关馈通性能下降。当开关关断时,  $C_{DS}$ 将把输入信号耦合至输出负载之中, 如图10所示。

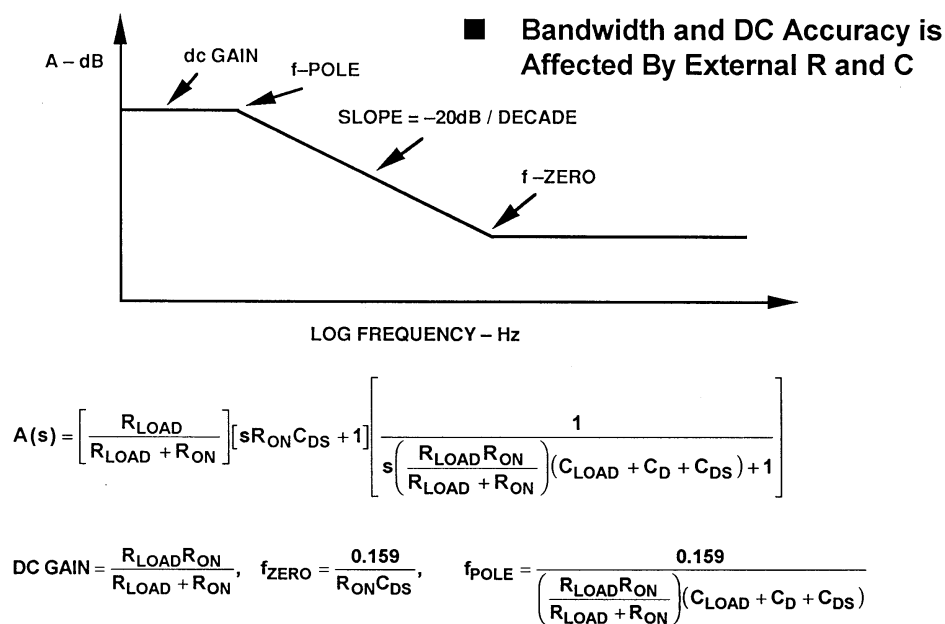
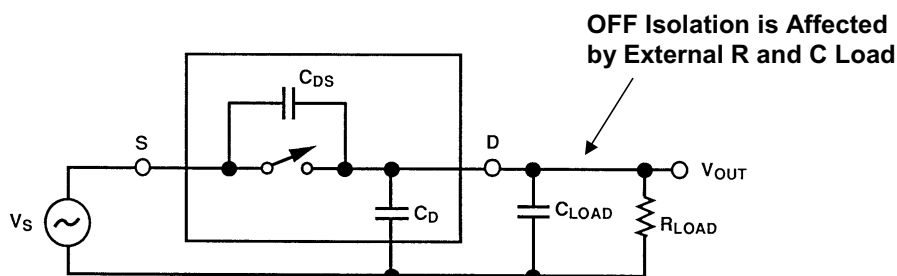


图9: CMOS开关传递函数在导通状态下的波特图



$$A(s) = \frac{s(R_{LOAD})(C_{DS})}{s(R_{LOAD})(C_{LOAD} + C_D + C_{DS}) + 1}$$

图10: 动态性能考虑: 关断隔离

较大的 $C_{DS}$ 值会导致较大的馈通值, 后者与输入频率成比例。图11所示关断隔离度的下降随频率变化的函数。实现关断隔离最大化最简单的方式是选择 $C_{DS}$ 尽量小的开关。

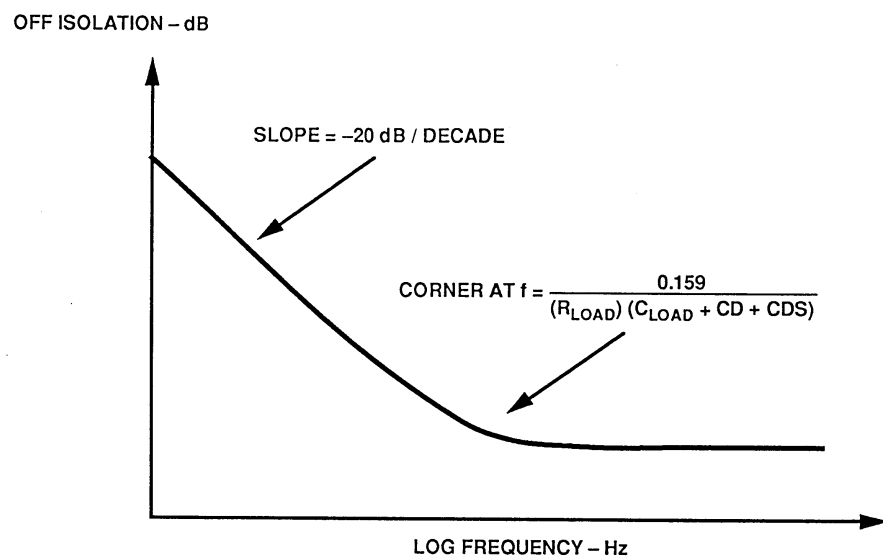


图11：关断隔离与频率的关系

图12展示了ADG708 8通道多路复用器的典型CMOS模拟开关关断隔离，表现为频率的函数。从直流到几千赫，多路复用器拥有近90 dB的隔离能力。随着频率的增加，将有越来越多的信号到达输出端。然而，即使在10 MHz时，所示开关仍然拥有近60 dB的隔离能力。

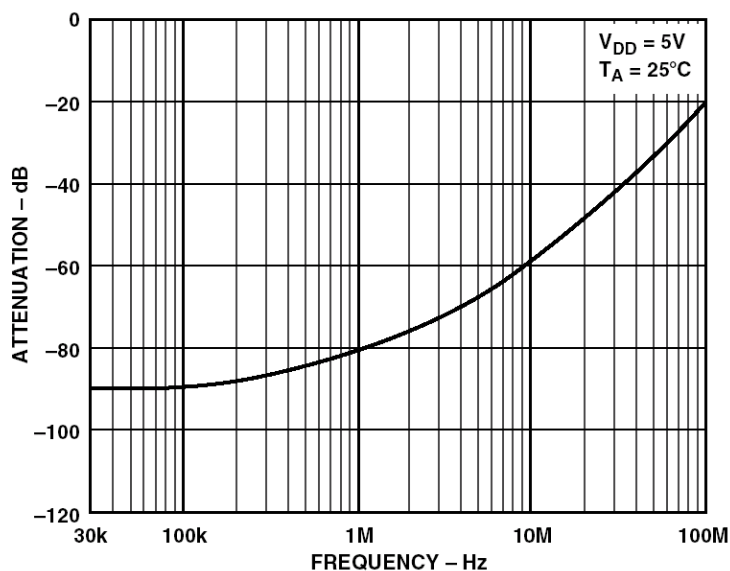
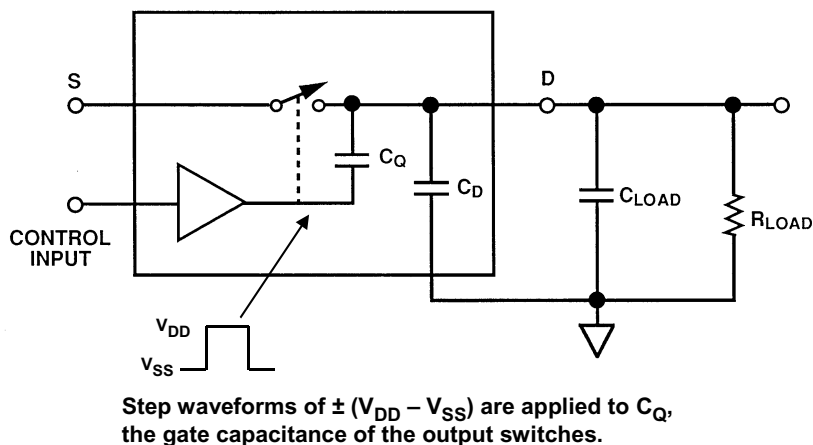


图12：ADG708 8通道多路复用器关断隔离与频率的关系

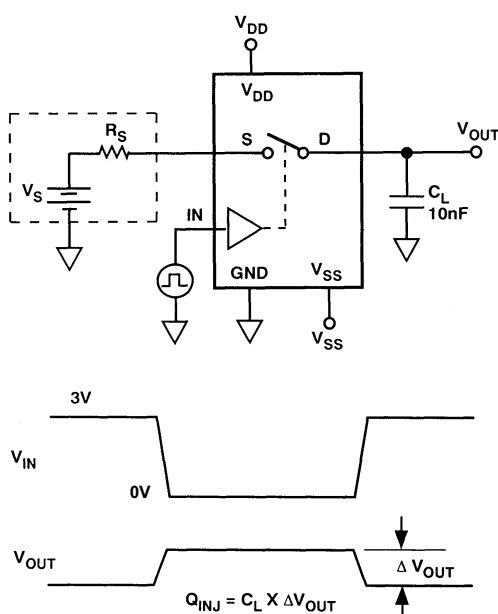
影响系统性能的另一交流参数是开关期间发生的电荷注入。图13所示为电荷注入机制的等效电路



**图13：动态性能考虑：电荷注入模型**

当开关控制输入置位时，结果会使控制电路在CMOS开关的栅极处发生较大的电压变化(从  $V_{DD}$  至  $V_{SS}$ ，反之亦然)。电压的这种快速变化会通过栅极-漏极电容  $C_Q$  将一个电荷注入开关输出。耦合电荷的数量取决于栅极-漏极电容的大小。

电荷注入会在开关过程中在输出电压中导致阶跃变化，如图14所示。输出电压的变化  $\Delta V_{OUT}$  为注入的电荷量  $Q_{INJ}$  (为栅极-漏极电容  $C_Q$  的函数) 和负载电容  $C_L$  的函数。



**图14：电荷注入对输出的影响**

开关电容导致的另一个问题是开关通道时保留的电荷。这种电荷会在开关输出中导致瞬变，图15所示即为该现象。设开始时S2闭合、S1断开。 $C_{S1}$ 和 $C_{S2}$ 充电至-5 V。当S2断开、S1闭合时，-5 V会保持于 $C_{S1}$ 和 $C_{S2}$ 上。因此，放大器A的输出会看到一个-5V的瞬变。在放大器A的输出使 $C_{S1}$ 和 $C_{S2}$ 完全放电并建立至0 V之前，输出不会稳定下来。图16中的示波图描述的即是该瞬变。因此，在选择正确的输入缓冲时，放大器的瞬变和建立特性是一个重要的考虑因素。

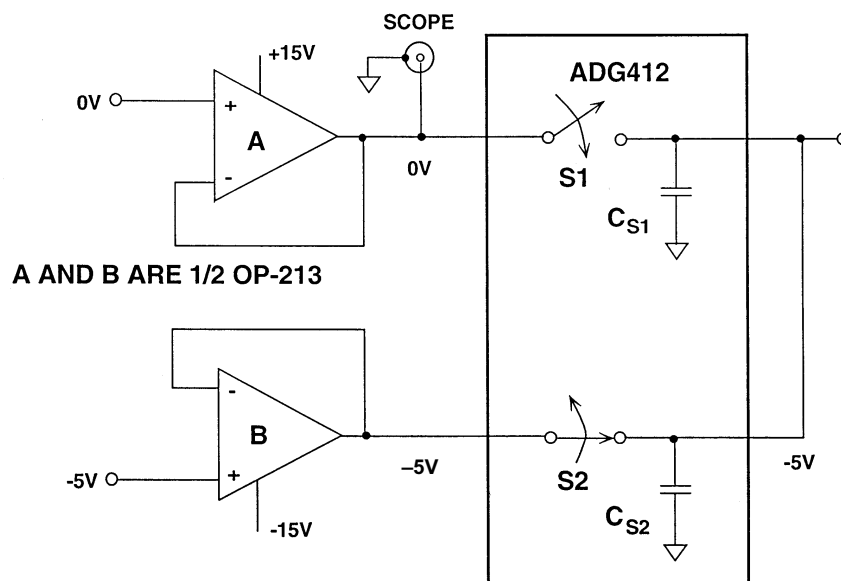
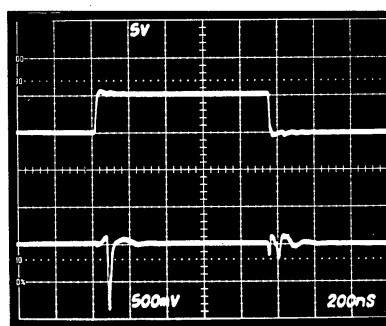


图15：电荷耦合会在多路复用信号时导致动态建立时间瞬变

SWITCH CONTROL  
5V/div.

AMPLIFIER A OUTPUT  
500mV/div.



HORIZONTAL SCALE: 200ns/div.

图16：放大器输出展示了因电荷耦合导致的动态建立时间瞬变

串扰与两个开关之间的电容相关，表示为 $C_{SS}$ 电容，如图17所示。

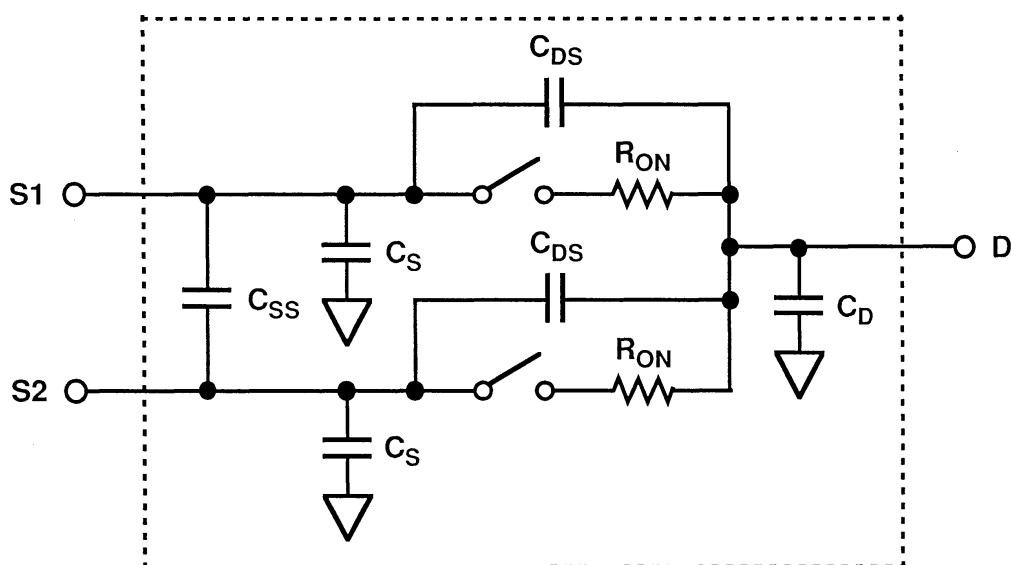


图17：相邻开关的通道间串扰等效电路

图18展示了ADG708 8通道CMOS多路复用器的典型串扰性能。

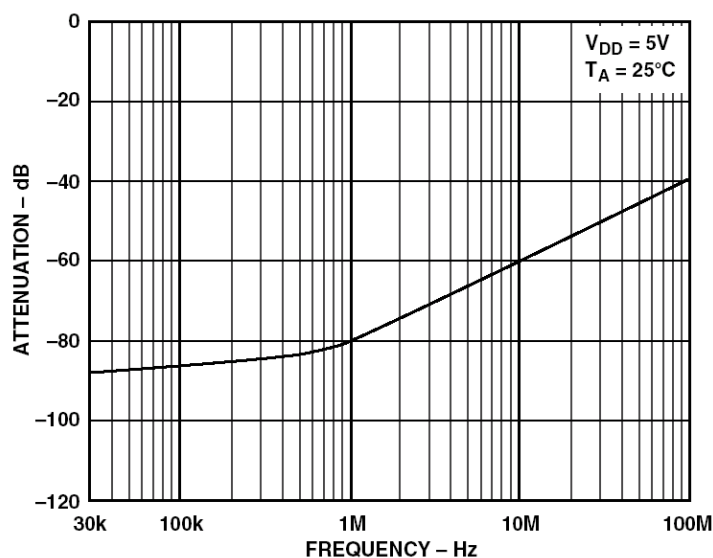
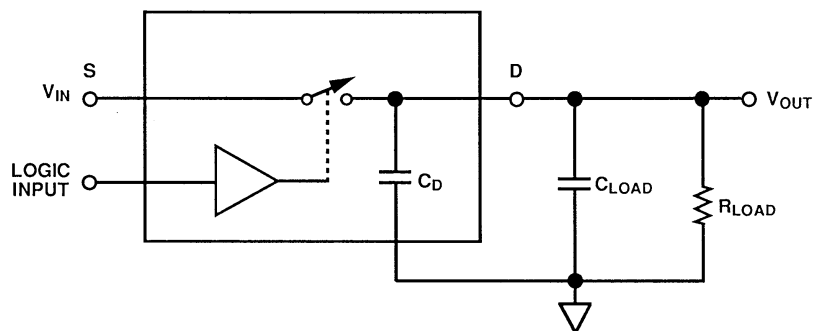


图18：ADG708 8通道多路复用器的串扰与频率的关系

最后，开关本身有着自己的建立时间，这也是必须考虑的。图19显示了动态传递函数。建立时间可以计算是因为响应是开关和电路电阻与电容的函数。可以假定这是一个单极点系统，并计算建立目标系统精度所需时间常数的数量，如图20所示。



$$\text{OFF - TO - ON: } t_{\text{SETT}} = t_{\text{ON}} + \left( \frac{R_{\text{ON}} R_{\text{LOAD}}}{R_{\text{ON}} + R_{\text{LOAD}}} \right) (C_{\text{LOAD}} + C_{\text{D}}) \left( -\ln \frac{\% \text{ERROR}}{100} \right)$$

$$\text{ON - TO - OFF: } t_{\text{SETT}} = t_{\text{OFF}} + (R_{\text{LOAD}}) (C_{\text{LOAD}} + C_{\text{D}}) \left( -\ln \frac{\% \text{ERROR}}{100} \right)$$

Settling time is the time required for the switch output to settle within a given error band of the final value.

**图19：多路复用器的建立时间**

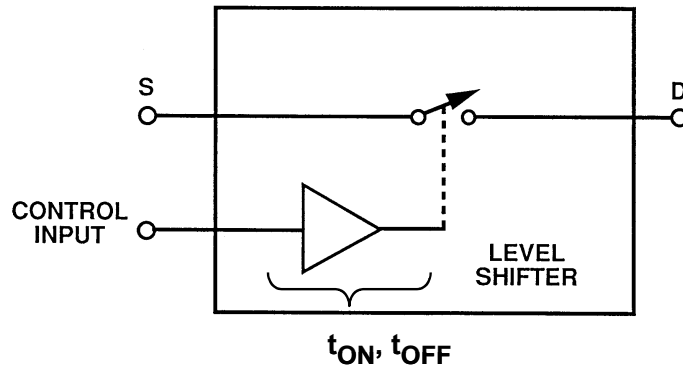
RESOLUTION, # OF BITS	LSB (%FS)	# OF TIME CONSTANTS
6	1.563	4.16
8	0.391	5.55
10	0.0977	6.93
12	0.0244	8.32
14	0.0061	9.70
16	0.00153	11.09
18	0.00038	12.48
20	0.000095	13.86
22	0.000024	15.25

**图20：为单极点系统建立1 LSB精度所需时间常数数量**



## 应用模拟开关

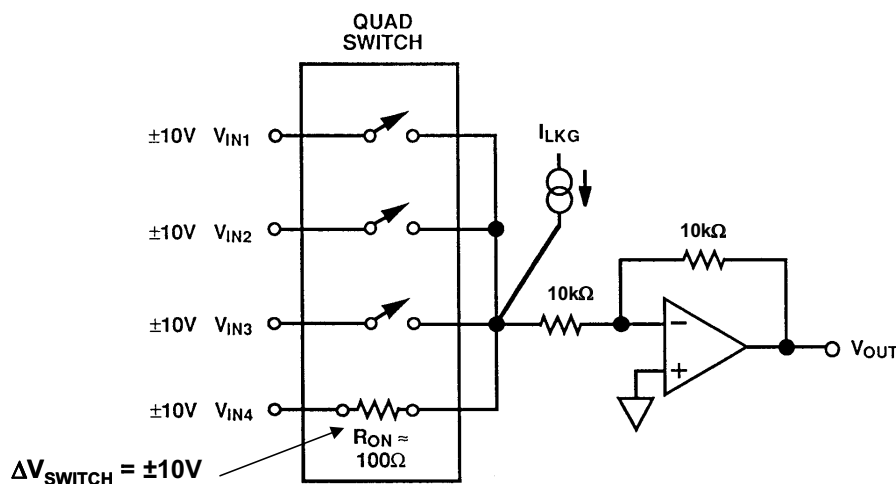
应用模拟开关时，开关时间是一个重要的考虑因素，但是，不能将开关时间与建立时间相混淆。导通时间和关断时间只是从控制输入到开关切换间的传播延迟的一种衡量指标，主要由驱动和电平转换电路中的时间延迟导致(见图21)。 $t_{ON}$ 和 $t_{OFF}$ 两个值一般是在从控制输入前沿的50%点到输出信号电平的90%点之间测量的。



- ◆  $t_{ON}$  and  $t_{OFF}$  should not be confused with settling time.
- ◆  $t_{ON}$  and  $t_{OFF}$  are simply a measure of the propagation delay from control input to operation of the analog switch. It is caused by time delays in the drive / level-shifter logic circuitry.
- ◆  $t_{ON}$  and  $t_{OFF}$  are measured from the 50% point of the control input to the 90% point of the output signal level.

**图21：应用模拟开关：动态性能考虑**

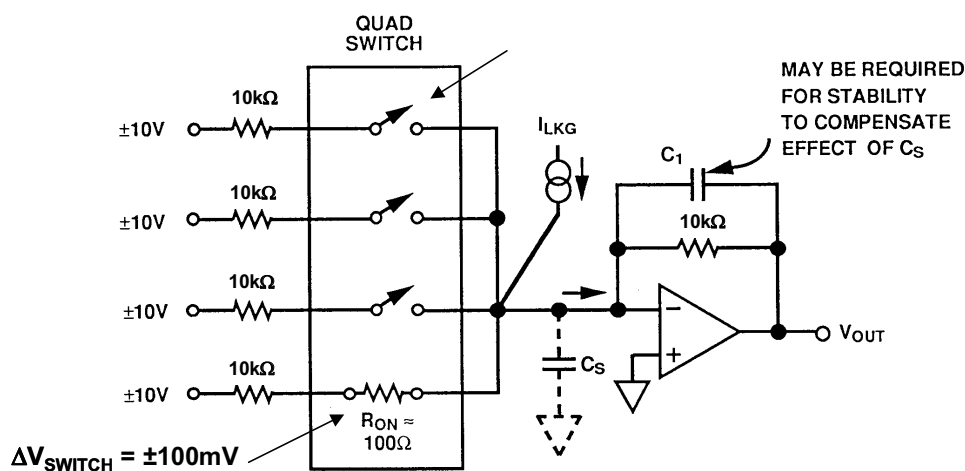
接下来，我们将考虑用运算放大器缓冲CMOS开关或多路复用器输出时涉及到的问题。当一个CMOS多路复用器接至反相求和放大器时，应该注意的是，导通电阻及其作为输入电压函数的非线性变化将导致增益误差和失真误差，如图22所示。如果电阻较大，则开关漏电流有可能带来误差。小电阻有利于减少漏电流误差，但会增加因 $R_{ON}$ 有限值导致的误差。



- ◆  $\Delta R_{ON}$  caused by  $\Delta V_{IN}$ , degrades linearity of  $V_{OUT}$  relative to  $V_{IN}$ .
- ◆  $\Delta R_{ON}$  causes overall gain error in  $V_{OUT}$  relative to  $V_{IN}$ .

图22：应用模拟开关：带开关输入的单位增益反相器

为了减少因输入电压变化导致的 $R_{ON}$ 变化的影响，建议把多路复用开关置于运算放大器求和点，如图23所示。这样可以确保开关仅以约 $\pm 100$  mV而非全 $\pm 10$  V电压调制——但各个输入引脚都需要一个独立的电阻。



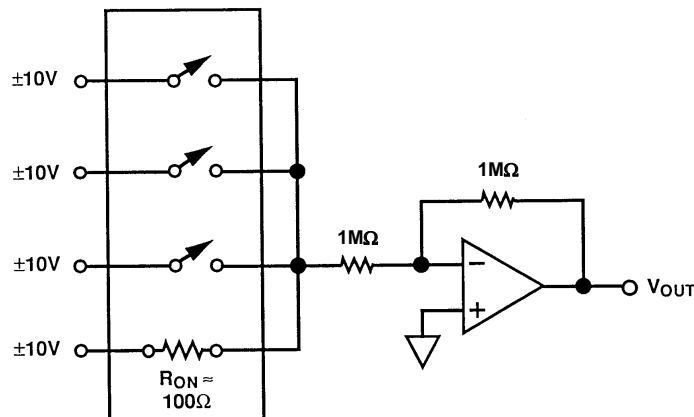
- ◆ Switch drives a virtual ground.
- ◆ Switch sees only  $\pm 100$  mV, not  $\pm 10$  V, minimizes  $\Delta R_{ON}$ .

图23：应用模拟开关：减少 $\Delta R_{ON}$ 的影响

必须了解因添加多路复用器给求和点增加了多少寄生电容，因为给该节点增加的任何电容都会给放大器闭环响应带来相移。如果该电容过大，则放大器可能变得不稳定并产生振荡。可能需要在反馈电阻上跨接一个小电容 $C_1$ 来稳定电路。

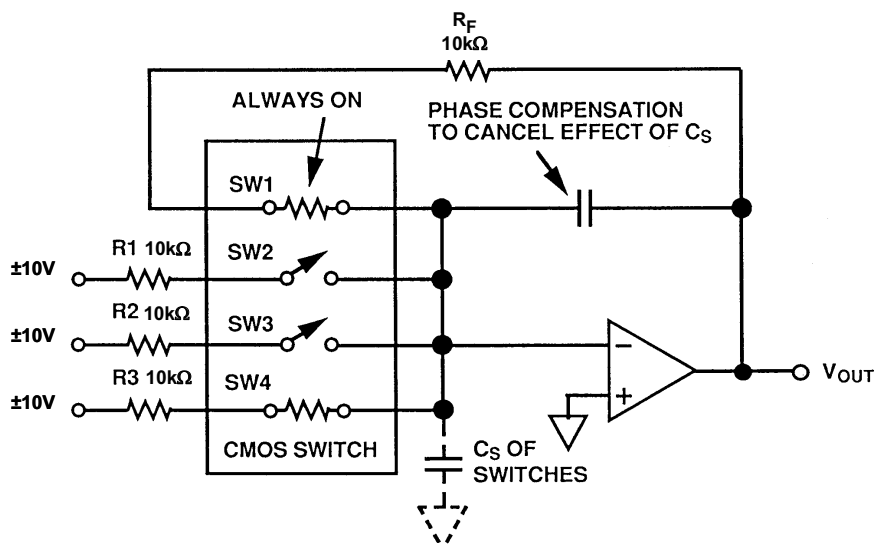
在如图24所示电路中， $R_{ON}$ 的有限值可能成为重要的误差源。增益设置电阻应该至少是开关导通电阻的1000倍，以保证0.1%的增益精度。较高的值会带来更高的精度，却会降低带宽，增加对漏电流和偏置电流的敏感度。

补偿 $R_{ON}$ 的一种更好的方式是使一个开关与反相放大器的反馈电阻串联，如图25所示。不妨假定，单个芯片上的多个开关在绝对特性和温度跟踪特性方面良好匹配。因此，放大器在单位增益下具有闭环增益稳定性，因为总前馈电阻和反馈电阻是相匹配的。



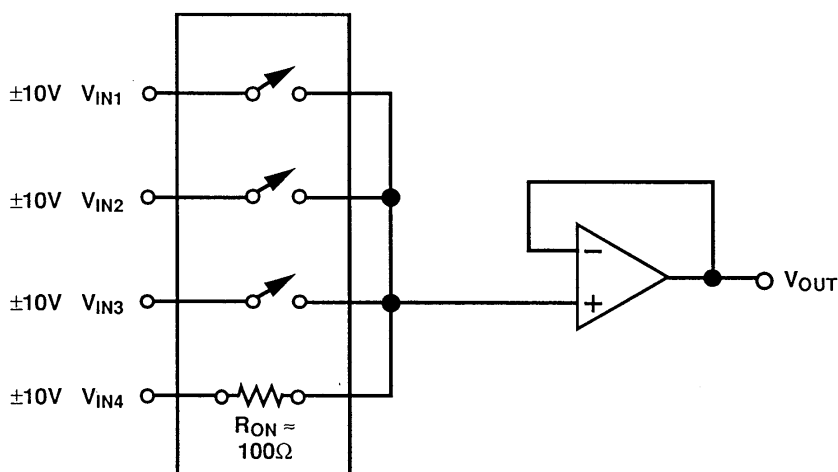
- ◆  $\Delta R_{ON}$  is small compared to  $1M\Omega$  switch load.
- ◆ Effect on transfer accuracy is minimized.
- ◆ Bias current and leakage current effects are now very important.
- ◆ Circuit bandwidth degrades.

图24：应用模拟开关：用大电阻值减少 $\Delta R_{ON}$ 的影响



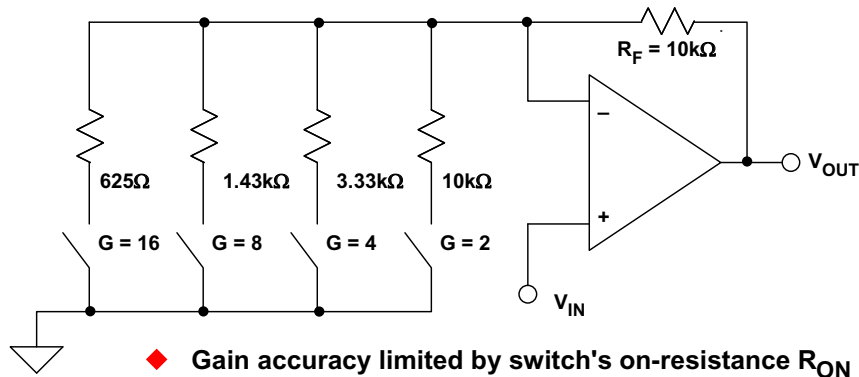
**图25：应用模拟开关：利用反馈中的“虚拟”开关降低 $\Delta R_{ON}$ 导致的增益误差**

最好的多路复用器设计以如图26所示方法驱动放大器的同相输入。同相输入较高的输入阻抗将消除 $R_{ON}$ 带来的误差。



**图26：应用模拟开关：利用同相配置减少 $\Delta R_{ON}$ 的影响**

CMOS开关和多路复用器通常与运算放大器相结合，以形成可编程增益放大器(PGA)。为了了解 $R_{ON}$ 对其性能的影响，我们来考察一下图27中的不良PGA设计。一个同相运算放大器有4个不同的增益设置电阻，各通过一个开关接地， $R_{ON}$ 为100-500  $\Omega$ 。即使当 $R_{ON}$ 低至25  $\Omega$ 时，增益为16时的误差为2.4%，比8位精度还要差！ $R_{ON}$ 还会随温度而变化，在开关间也会发生变化。

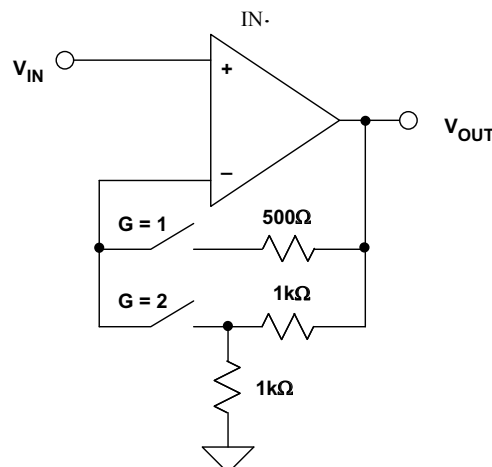


- ◆ Gain accuracy limited by switch's on-resistance  $R_{ON}$  and  $R_{ON}$  modulation
- ◆  $R_{ON}$  typically 1 - 500Ω for CMOS or JFET switch
- ◆ For  $R_{ON} = 25\Omega$ , there is a 2.4% gain error for  $G = 16$
- ◆  $R_{ON}$  drift over temperature limits accuracy
- ◆ Must use very low  $R_{ON}$  switches

**图27：用CMOS开关设计不当的PGA**

要尝试“修复”该设计，可以增加电阻，但随之而来的是噪声和失调问题。对于这种电路，提高精度的唯一方法是使用几乎不存在 $R_{ON}$ 的继电器。只有在这种情况下，继电器仅数mΩ的 $R_{ON}$ 只会产生较小的误差(与625 Ω相比)。

最好使用对 $R_{ON}$ 不敏感的电路。在图28中，开关与运算放大器的反相输入串联。由于运算放大器的输入阻抗非常大，因而与开关 $R_{ON}$ 不再相干，而此时的增益完全由外部电阻决定。请注意——如果运算放大器偏置电流较高， $R_{ON}$ 可能会增加较小的失调误差。如果情况确实如此，则可在 $V_{IN}$ 用一个等效电阻进行补偿。

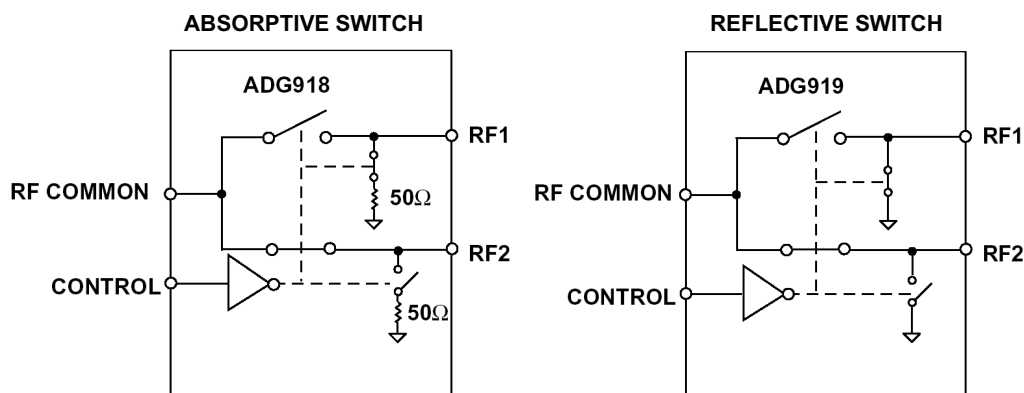


- ◆  $R_{ON}$  is not in series with gain setting resistors
- ◆  $R_{ON}$  is small compared to input impedance
- ◆ Only slight offset errors occur due to bias current flowing through the switches

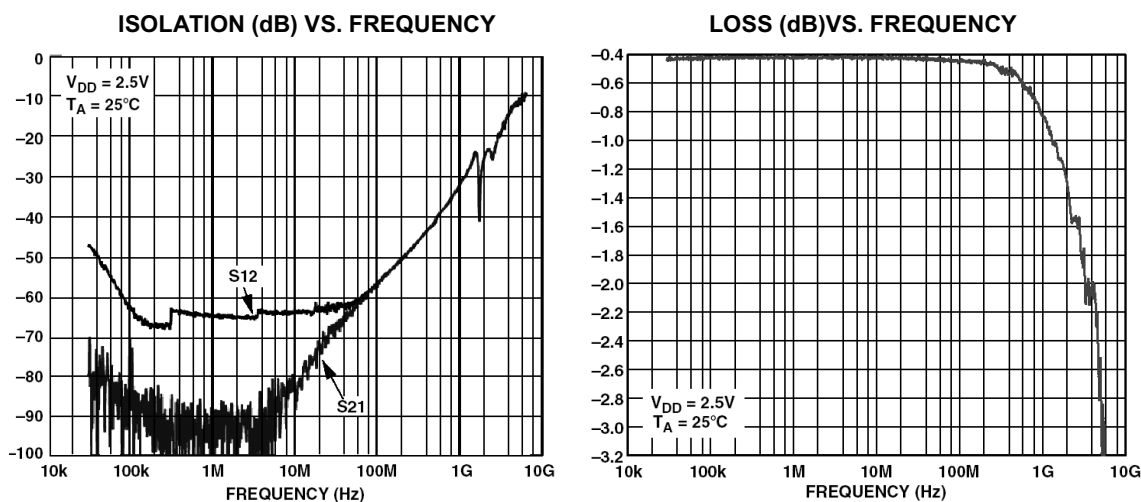
**图28：替代PGA配置降低 $R_{ON}$ 的影响**

## 1 GHz CMOS开关

[ADG918/ADG919](#)是首款采用CMOS工艺制成、具有高隔离和低插入损耗特点并且频率达1 GHz或以上的开关。在传送1 GHz信号时，这两款开关展现出较低的插入损耗(0.8 dB)和相对较高的关断隔离(37 dB)特性。在吞吐量功率为+18 dBm或以下、工作温度为25°C的高频应用中，它们是砷化镓(GaA)开关的一种具有成本效益的替代方案。图29给出了两款器件的框图，图30展示了隔离和损耗与频率之间的关系坐标图。



**图29: 1 GHz CMOS 1.65 V至2.75 V 2:1 Mux/SPDT开关**



**图30: AD918/AD919 1 GHz开关的隔离和频率响应**

ADG918是一款吸收式开关，内置50  $\Omega$ 端接分流引脚，允许与应用电路匹配阻抗，而ADG919则是一款反射式开关，设计用于同轴负载在芯片之外的应用。两款开关均具有功耗低( $<1 \mu\text{A}$ )、封装小(8引脚MSOP和3 mm  $\times$  3 mm引脚架构芯片级封装)、兼容CMOS/LVTTL的单引脚控制电压电平等特点，是无线应用和通用射频开关的理想选择。

### CMOS开关和多路复用器中的寄生闩锁

由于多路复用器往往处于数据采集系统的前端，因此，其输入一般来自远程位置——因而它们往往会受到过压条件的影响。了解这个问题及其与CMOS器件的相关性显得尤其重要。尽管本文主要讨论的是多路复用器，但它与几乎所有类型的CMOS器件都有密切关系。

多数CMOS模拟开关是以结隔离CMOS工艺制成的。单个开关单元的横截面如图31所示。如果模拟开关引脚的正电压比 $V_{DD}$ 大或者负电压比 $V_{SS}$ 大，则可能发生寄生硅控整流器(SCR)闩锁现象。即使是瞬变条件(如有输入电压时上电)也有可能激活寄生闩锁。如果传导电流过大(数百毫安或以上)，结果可能损坏开关。

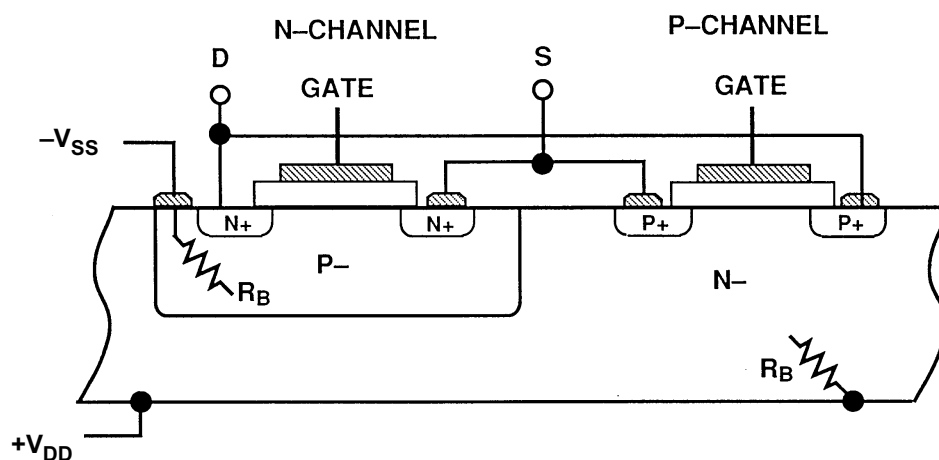
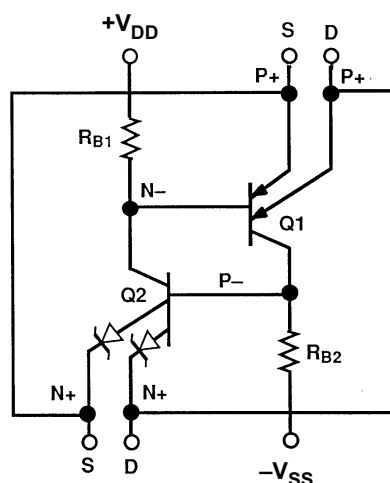


图31：结隔离CMOS开关的横截面

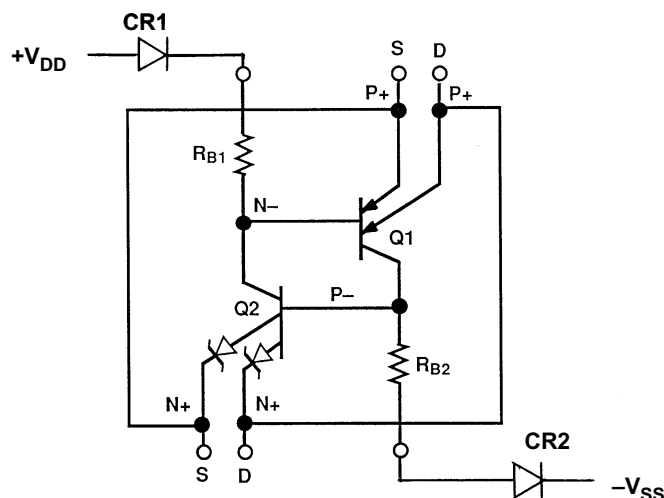
寄生SCR机制如图32所示。当开关的引脚之一(源引脚或漏引脚)比正 $V_{DD}$ 大一个二极管压降或者比负 $V_{SS}$ 大一个二极管压降时，将产生SCR动作。前一种情况下， $V_{DD}$ 引脚变成SCR栅极输入，并提供电流以激活SCR动作。当负电压比 $V_{SS}$ 大时， $V_{SS}$ 引脚变成SCR栅极输入，并提供栅极电流。任一情况下，电源之间都会有高电流通过。电流量取决于两个晶体管的集电极电阻，可能非常小。



**图32: CMOS开关的双极性晶体管等效电路  
展现出寄生SCR门锁**

一般而言, 为了防止发生门锁条件, CMOS器件的输入不得高于正电源0.3 V, 也不得低于负电源0.3 V。请注意, 这一限制同样适用于电源关断( $V_{DD} = V_{SS} = 0$  V)的情况, 因此, 当输入端存在信号时, 如果此时将电源施于某个器件, 则器件很可能门锁。CMOS器件的制造商们无一例外地把这一限制列于数据手册的绝对最大额定值表中。另外, 过压条件下的输入电流应限制为5-30 mA, 取决于具体的器件。

为了防止出现这种SCR门锁, 可以将一个串联二极管插入 $V_{DD}$ 和 $V_{SS}$ 引脚中, 如图33所示。二极管会阻止SCR栅极电流。正常情况下, 寄生晶体管Q1和Q2的beta较低(通常不到10), 需要相对较大的栅极电流来激活SCR。二极管对反向栅极电流进行限制, 以免激活SCR。



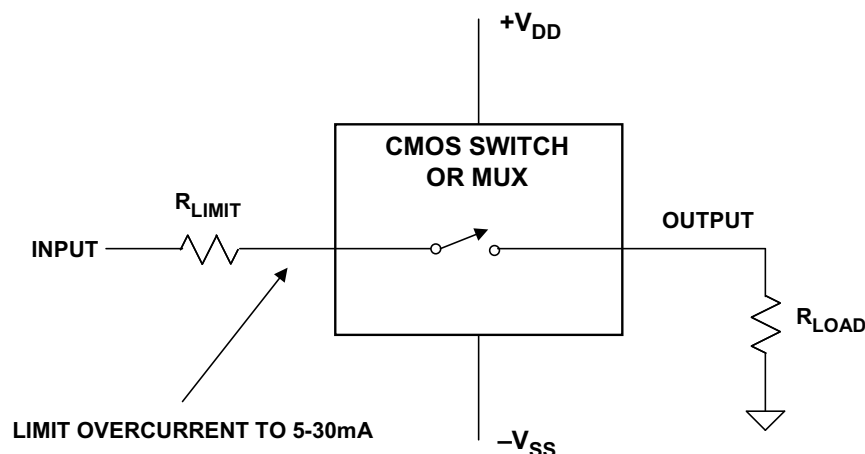
Diodes CR1 and CR2 block base current drive to Q1 and Q2 in the event of overvoltage at S or D.

**图33: CMOS开关的二极管保护方案**



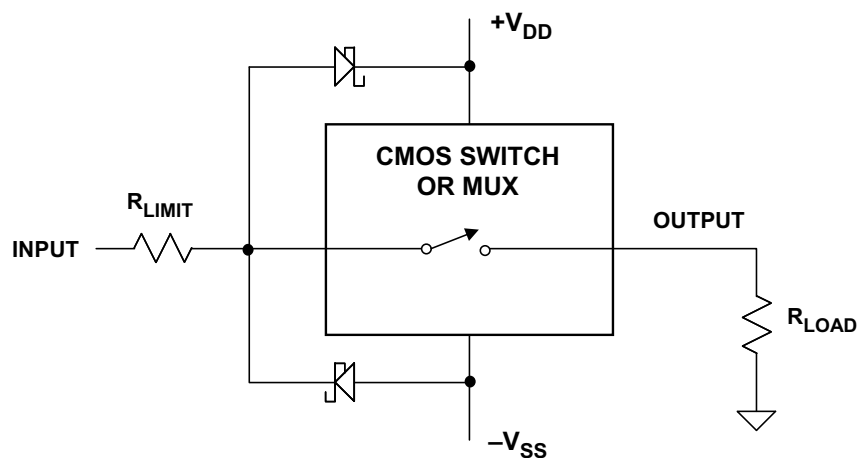
如果采用二极管保护模式，则开关各供电轨的模拟电压范围将减少一个 $V_{BE}$ 压降，在使用低电源电压时，这样做可能不太方便。

如前所述，CMOS开关和多路复用器也可以免受过流的影响，其方法是插入一个串联电阻，把电流限制在安全电平以内，如图34所示，一般低于5-30 mA。鉴于 $R_{LOAD}$ 和 $R_{LIMIT}$ 形成的阻性衰减器，只有在开关驱动相对较高的阻抗负载的时候，这种方法方才有效。



**图34：用外部电阻实现过流保护**

一种常见的输入保护法如图35所示，其中，肖特基二极管从输入引脚连接至各个电源电压。二极管实际上可以有效防止输入引脚超过电源电压达0.3-0.4 V以上，由此避免了闩锁条件的发生。另外，如果输入电压超过电源电压，则输入电流会经过外部二极管流至电源，而不流到器件中。肖特基二极管可以轻松处理50-100 mA瞬变电流，因而， $R_{LIMIT}$ 电阻可以非常低。



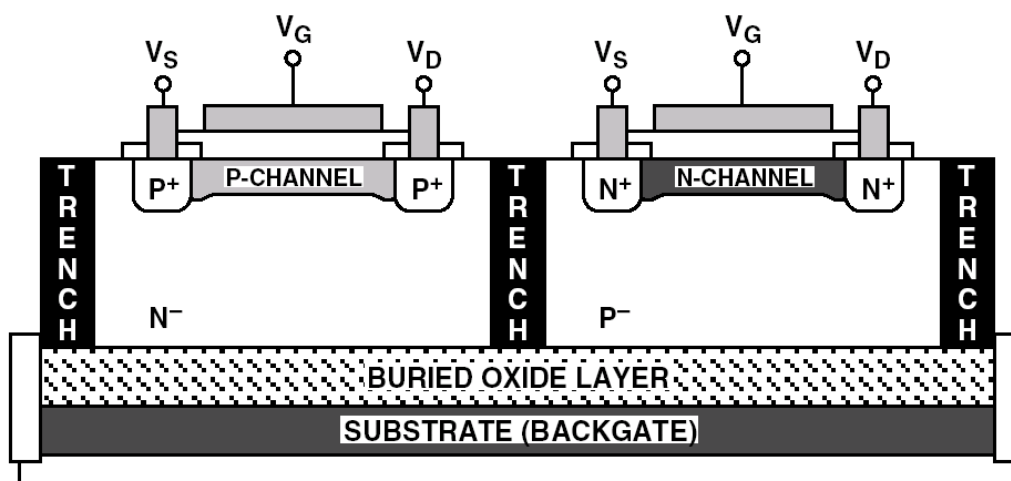
**图35：用外部肖特基二极管实现输入保护**

多数CMOS器件的内置ESD保护二极管都是从输入连接到供电轨，大幅降低了闩锁的可能。然而，内置的二极管在0.6 V时开始导电，而且电流处理能力有限，因此，添加外部肖特基二极管可以提供额外的保护。然而，必须考虑二极管漏电流和电容的影响。

请注意，闩锁保护并不提供过流保护，反之亦然。如果一个系统中可以同时存在两个故障条件，则须同时使用保护性二极管和电阻。

ADI公司采用沟道隔离技术来生产LC<sup>2</sup>MOS模拟开关。这种工艺有利于降低器件的闩锁可能和结电容，增加了开关时间和漏电流，模拟输入电压扩大至供电轨。

图36所示为沟道隔离CMOS结构的横截面视图。嵌入式氧化物层和侧壁将基板与各晶体管结完全隔离开来。因而不会形成反向偏置PN结。结果，可能减少带宽的电容以及SCR闩锁的可能性都大幅降低了。



**图36: 沟道隔离LC<sup>2</sup>MOS结构**

[ADG508F](#)、[ADG509F](#)、[ADG528F](#)、[ADG438F](#)和[ADG439F](#)均为±15V沟道隔离LC<sup>2</sup>MOS多路复用器，可为-40 V和+ 55 V之间的输入及输出过压提供“故障保护”功能。这些器件在信号路径中采用一种由三个MOSFET构成的串联结构。一个N沟道，其后为一个P沟道，再后为一个N沟道。另外，当电源关闭时，信号路径变成高阻抗。该结构可提供较高的闩锁和过压保护能力——但其代价是更高的 $R_{ON}$  (~300  $\Omega$ )，而且 $R_{ON}$ 随信号电平变化的幅度也会增大。有关这种保护方法的详细情况，请参见各产品数据手册。

**参考文献:**

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [\*Linear Circuit Design Handbook\*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.
2. Walt Kester, [\*Analog-Digital Conversion\*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. Also available as [\*The Data Conversion Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 视频多路复用器和交叉点开关

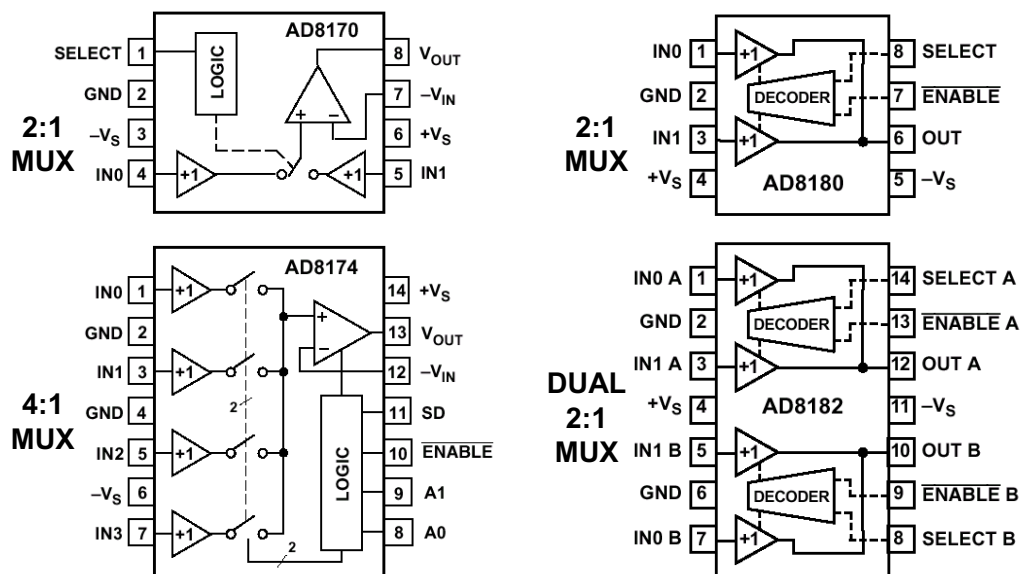
### 视频多路复用器

为了满足严格的带宽平坦度、差分增益和相位以及75  $\Omega$  驱动能力等规格要求，高速互补双极性工艺比CMOS工艺更适合制造视频开关和多路复用器。传统的CMOS开关和多路复用器在视频频率下往往存在多种劣势。它们的开关时间(通常为50 ns左右)不足以满足当今视频应用的需求，而且它们要求外部缓冲来驱动典型的视频负载。另外，CMOS开关导通电阻随信号电平的较小变化( $R_{ON}$  调制)会给差分增益和相位带来无用的失真。基于互补双极性技术的多路复用器在视频频率下表现更加卓越。当然，其代价是更高的功率和成本。

[AD8170/AD8174/AD8180/AD8182](#)双极性视频多路复用器的功能框图如图1所示。

[AD8183/AD8185](#)视频多路复用器如图2所示。这些器件具有高度的灵活性，是视频应用的理想之选，其差分增益和相位规格极其出色。该系列中所有器件的0.1%开关时间均为10 ns。

[AD8186/AD8187](#)是AD8183/AD8185的单电源版本。请注意，这些双极性多路复用器不是双向的。



**图1: AD8170/8174/8180/8182双极性视频多路复用器**

[AD8170/AD8174](#)系列多路复用器包括一个片上电流反馈运算放大器输出缓冲，其增益可以外部设置。整个系列在5 MHz下的通道关断隔离和串扰的典型值大于80 dB。

图3展示的是三个AD8170 2:1多路复用器的一种应用电路，其中，一个RGB监控器在两个RGB电脑视频源之间切换。

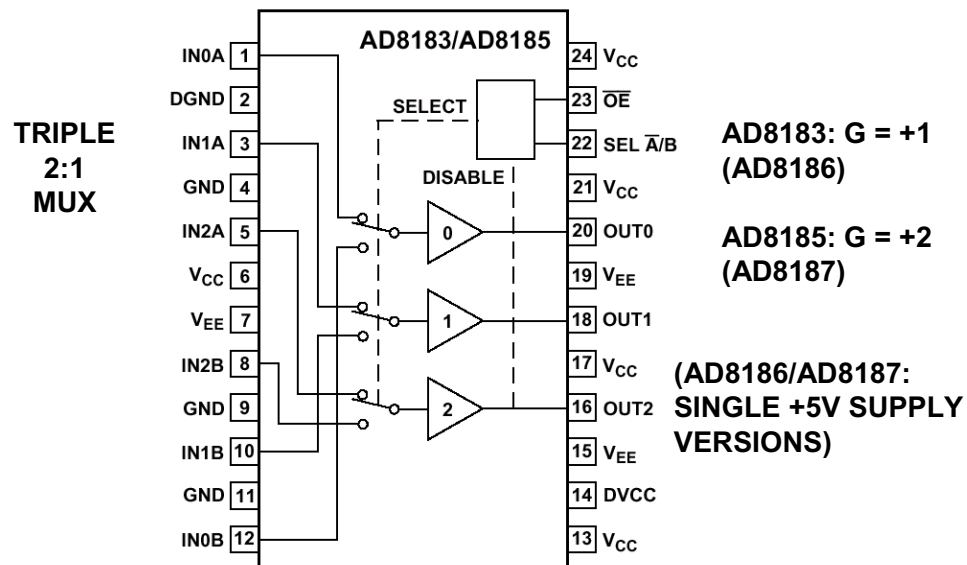


图2: AD8183/AD8185三路2:1视频多路复用器

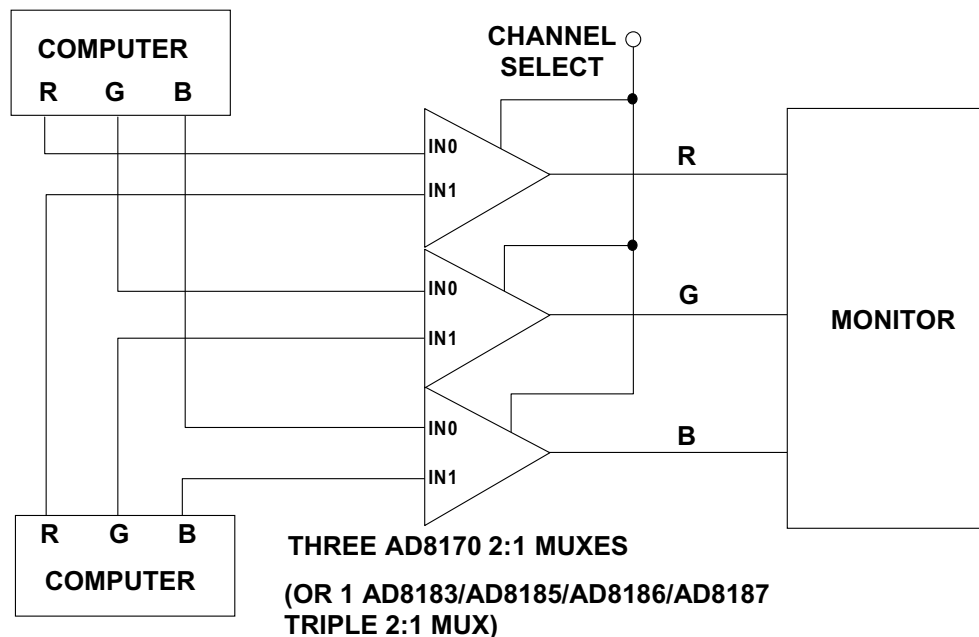
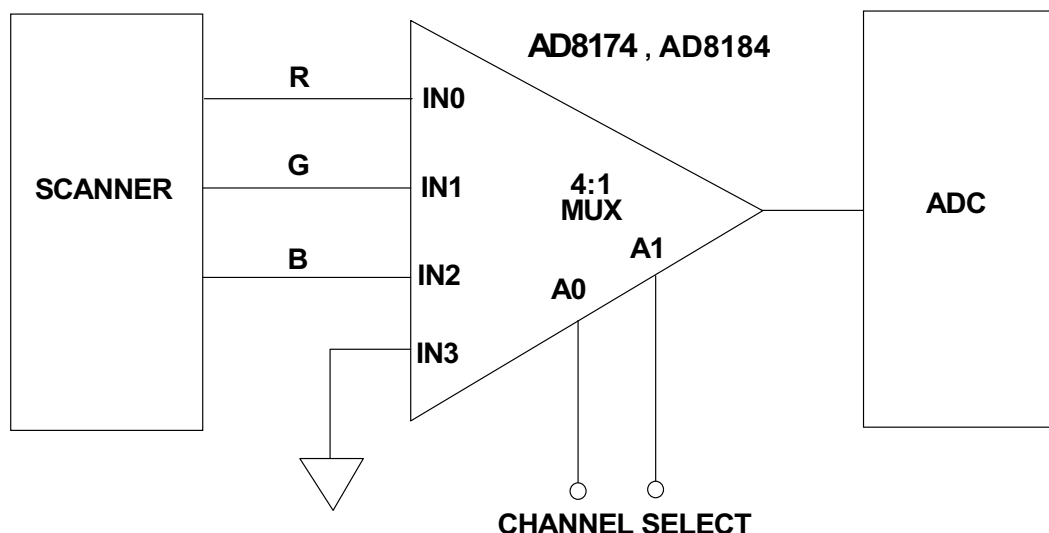


图3: 采用三路2:1多路复用器的双源RGB多路复用器

在该设置中，总体上相当于一个三刀双掷开关。三个视频源构成三个极点，上部或下部视频源构成开关的两个状态。请注意，用一个[AD8183](#)、[AD8185](#)、[AD8186](#)或[AD8187](#)三通道双输入多路复用器可以简化电路。

图4中使用了[AD8174](#)或[AD8184](#) 4:1多路复用器，用一个高速ADC即可实现扫描仪的RGB输出的数字化。



**图4：用一个ADC和一个4:1多路复用器实现RGB信号的数字化**

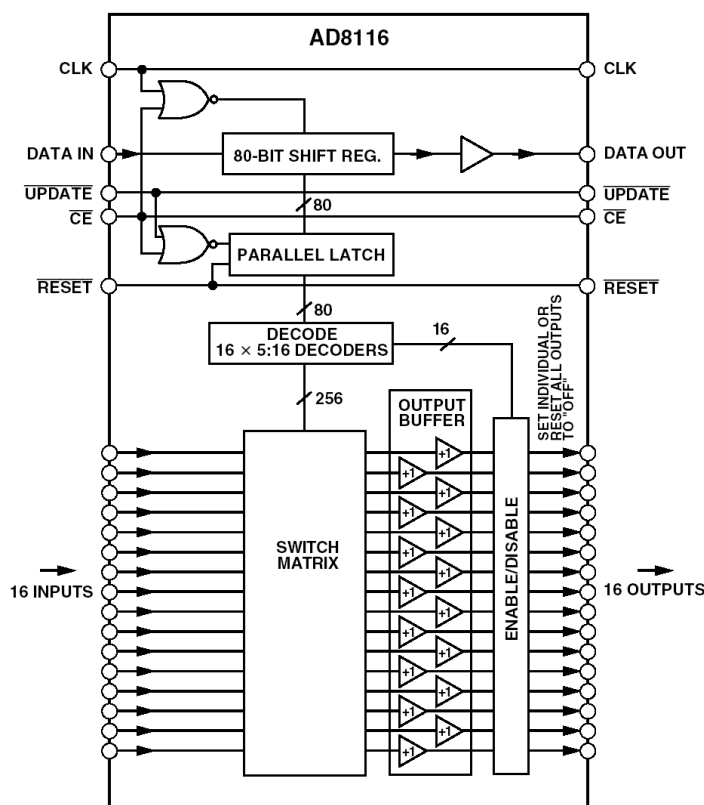
来自扫描仪的RGB视频信号按序馈入ADC，并按序数字化，如此，用一个ADC即可实现扫描仪数据的高效利用。

### 视频交叉点开关

[AD8116](#)把多路复用器的概念延伸到了一种全集成的16×16缓冲视频交叉点开关矩阵(图5)。3 dB带宽大于200 MHz，0.1 dB增益平坦度高达60 MHz。0.1%通道开关时间小于30 ns。5 MHz下测得的通道间串扰为-70 dB。150 Ω负载下，差分增益和相位分别为0.01%和0.01°。±5 V下的总功耗为900 mW。

AD8116内置输出缓冲，可置于高阻抗状态以提供并行交叉点级，从而关断通道不会加载输出总线。通道开关通过串行数字控制接口(允许以“菊花链”形式连接多个器件)实现。AD8116采用128引脚14 mm × 14 mm LQFP封装。

交叉点开关系统中的其他成员包括：[AD8108/AD8109](#)  $8 \times 8$ 交叉点开关；[AD8110/AD8111](#) 260 MHz、 $16 \times 8$ 缓冲交叉点开关；[AD8113](#)音频/视频60 MHz、 $16 \times 16$ 交叉点开关；以及[AD8114/AD8115](#)低成本225 MHz、 $16 \times 16$ 交叉点开关。



**图5：AD8116 16×16 200 MHz缓冲视频交叉点开关**

[ADV3200/ADV3201](#)为 $32 \times 32$ 模拟交叉点开关矩阵，具有适合交流耦合应用的可选同步脉冲顶部箝位输入，以及屏幕显示(OSD)插入多路复用器。两款器件的串扰性能均为-48 dB，隔离性能为-80 dB (5 MHz)，因而适合许多高密度路由应用。同时0.1 dB平坦度达60 MHz，堪称复合视频切换应用的理想之选。

ADV3200/ADV3201内置32个独立输出缓冲器，可以将这些缓冲器置于高阻抗状态，以提供并行交叉点输出，因此构建更大阵列时，关断通道仅向输出总线提供极小的负载。ADV3200提供增益+1，ADV3201提供增益+2，适合后部端接负载应用。两款器件可以采用5 V单电源、 $\pm 2.5$  V双电源或 $\pm 3.3$  V双电源( $G = +2$ )供电，所有输出均使能时的空闲功耗仅为250 mA。通道开关通过双缓冲式串行数字控制接口实现，可以利用该接口将多个器件以菊花链形式连接起来。

ADV3200/ADV3201采用176引脚裸露焊盘LQFP (24 mm  $\times$  24 mm)封装，工作温度范围为-40°C至+85°C扩展工业温度范围。

## 数字交叉点开关

[AD8152](#)是一款针对高速网络设计的3.2 Gbps  $34 \times 34$ 异步数字交叉点开关(见图6)。该器件能以每端口最高3.2 Gbps的数据速率工作, 适合采用前向纠错(FEC)的Sonet/SDH OC-48应用。AD8152具有数字可编程电流模式输出, 可以驱动多种端接方案和阻抗, 同时可以维持正确的电压水平、降低功耗。该器件支持最低+2.5 V的电源电压, 具有卓越的输入灵敏度。控制接口兼容LVTTTL或CMOS/TTL。

作为同类产品中功耗最低的交叉点开关解决方案, AD8152在2.5 V电源下且全部I/O开启时的功耗不到2 W, 不需要外部散热器。AD8152的抖动很低, 不到45 ps, 是高速网络系统的理想选择。AD8152的完全差分信号路径不仅可降低抖动和串扰, 而且允许使用较小的单端电压摆幅。该器件采用256引脚SBGA封装, 工作温度范围为 $0^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工业温度范围。

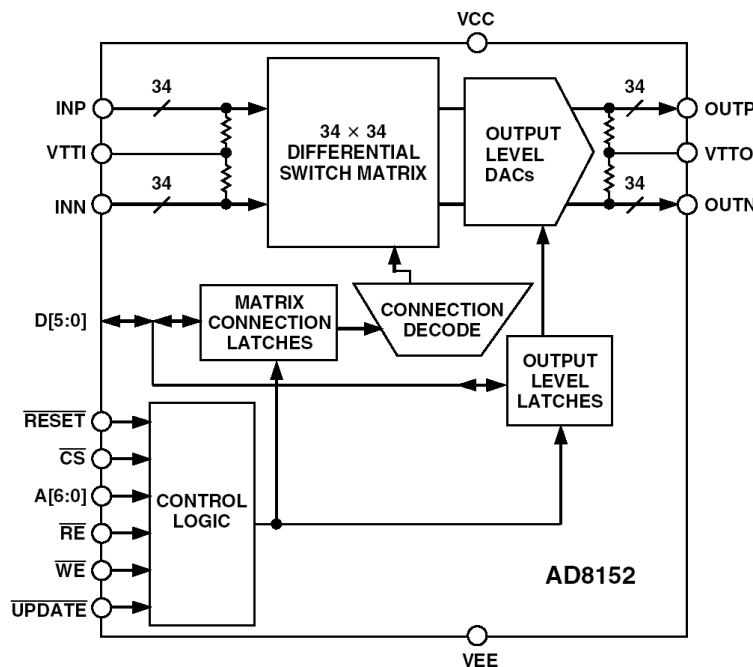


图6: AD8152 3.2 Gbps异步数字交叉点开关



**参考文献：**

1. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [\*Linear Circuit Design Handbook\*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 7.
2. Walt Kester, [\*Analog-Digital Conversion\*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 7. Also available as [\*The Data Conversion Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 7.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.