

实验二 (1) 计数器设计实验

计算机1202 张艺瀚

学号: 20123852

December 29, 2014

1 实验目的

1. 学习计数器不同设计方法。
2. 学习掌握VHDL中不同输出类型在具体应用时的区别 (OUT、INOUT、BUFFER)。
3. 学习掌握时序电路仿真方法。

2 实验内容

1. 采用VHDL设计方法, 设计一个60进制计数器, 采用BCD码输出。
2. 给出上述设计的仿真结果。

3 实验设备

1. 清华同方PIV2.4G/256M60G
2. ISE 6.2i—Windows软件系统

4 实验程序

```
1 library IEEE;  
2 use IEEE.STD_LOGIC_1164.ALL;  
3 use IEEE.STD_LOGIC_ARITH.ALL;  
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;  
5  
6 -- Uncomment the following lines to use the  
7 -- declarations that are  
8 -- provided for instantiating Xilinx primitive  
9 -- components.  
10 --library UNISIM;
```

```

9  --use UNISIM.VComponents.all;
10
11  entity c is port(
12      clk, en, clr: in std_logic;
13      qh, ql: out std_logic_vector(3 downto 0));
14  end c;
15
16  architecture Behavioral of c is
17
18      signal qccl: std_logic;
19      signal qtempl, qtemph: std_logic_vector(3 downto 0);
20
21  begin
22
23      ql<=qtempl;
24      qccl<=qtempl(3) and not qtempl(2) and not qtempl(1)
25          and qtempl(0);
26      qh<=qtemph;
27
28      p1: process(clk, en, clr)
29      begin
30          if clr='1' then
31              qtempl<="0000";
32          else
33              if rising_edge(clk) then
34                  if en='1' then
35                      if qtempl="1001" then
36                          qtempl<="0000";
37                      else
38                          qtempl<=qtempl+'1';
39                      end if;
40                  end if;
41              end if;
42          end process p1;
43
44      p2: process(clk, clr)
45      begin
46          if clr='1' then
47              qtemph<="0000";
48          else
49              if rising_edge(clk) then
50                  if qccl='1' then
51                      if qtemph="0101" then
52                          qtemph<="0000";
53                      else

```

```

54         qtemph<=qtemph+'1';
55     end if;
56 end if;
57 end if;
58 end if;
59 end process p2;
60
61 end Behavioral;

```

Listing 1: 60进制计数器代码清单

5 仿真结果

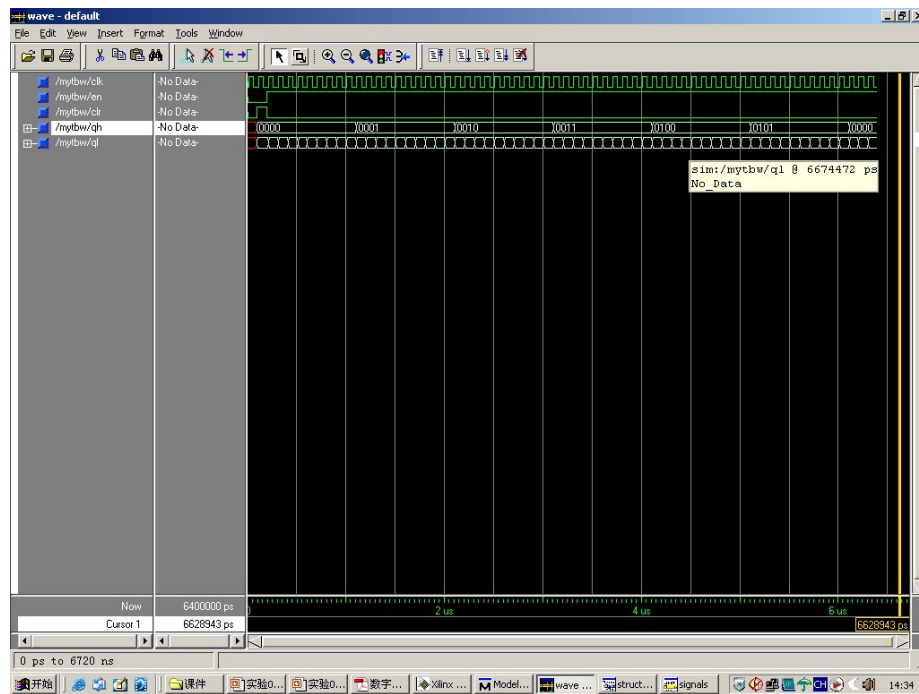


Figure 1: 60进制计数器仿真波形图