

实验一 (2) 译码电路设计实验

计算机1202 张艺瀚

学号: 20123852

December 29, 2014

1 实验目的

1. 复习二进制译码器的功能。
2. 学习VHDL语言源程序输入方法。
3. 学习VHDL语言源程序检查和修改。
4. 掌握用VHDL语言设计一个3线-8线译码器的方法。
5. 掌握VHDL语言编辑器的基本操作。

2 实验原理

译码为编码的逆过程。它将编码时赋予代码的含义“翻译”过来。实现译码的逻辑电路称为译码器。译码器输出与输入代码有唯一的对应关系。常用的译码器有二进制译码器、二十进制译码器、显示段译码器等等。

3线—8线译码器是二进制译码器的一种。其输入为一组三位二进制代码，而输出则对应一路高、低电平信号。图 1 示出了3线—8线译码器74138的逻辑图。

其中A, B, C为三位二进制代码输入端。Y0-Y7是八个输出端，G1, G2A, G2B 为三个输入控制端。只有当G1=1, G2A=0, G2B=0时，译码器才处于工作状态。否则，译码器将处在禁止状态，所有输出端全为高电平。其对应的真值表如图 2 所示。

3 实验内容

1. 本实验给出了有错误的3线—8线译码器的VHDL程序，请采用VHDL编辑器，修改调试程序。
2. 仿真3线—8线译码器的设计。

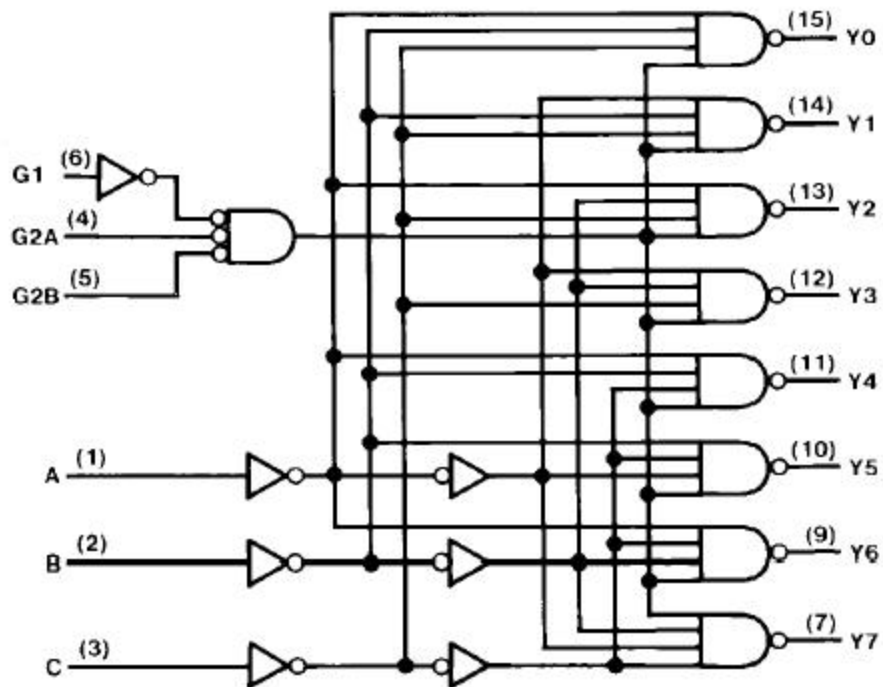


Figure 1: 74138译码器的逻辑图

4 实验设备

1. 清华同方PIV2.4G/256M60G
2. ISE 6.2i—Windows软件系统

5 实验程序

```

1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_ARITH.ALL;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6 -- Uncomment the following lines to use the
7 -- declarations that are
8 -- provided for instantiating Xilinx primitive
9 -- components.
10 --library UNISIM;
11 --use UNISIM.VComponents.all;

```

输 入						输 出							
G 1		G 2 B	C	B	A	Y 7	Y 6	Y 5	Y 4	Y 3	Y 2	Y 1	Y 0
0	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	1	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	1	0	1	0	1	1	1	1	1	1
1	0	0	1	1	1	0	1	1	1	1	1	1	1

Figure 2: 74138译码器的真值表

```

10
11 entity program is
12 port(a: in std_logic;
13       b: in std_logic;
14       c: in std_logic;
15       g1: in std_logic;
16       g2a: in std_logic;
17       g2b: in std_logic;
18       y: out std_logic_vector(7 downto 0));
19 end program;
20
21 architecture Behavioral of program is
22 signal d_in: std_logic_vector(2 downto 0);
23 begin
24 d_in<=c&b&a;
25 process(d_in)
26 begin

```

```

27 if(g1='1' and g2a='0' and g2b='0') then
28     case d_in is
29         when "000"=>y<="00000001";
30         when "001"=>y<="00000010";
31         when "010"=>y<="00000100";
32         when "011"=>y<="00001000";
33         when "100"=>y<="00010000";
34         when "101"=>y<="00100000";
35         when "110"=>y<="01000000";
36         when "111"=>y<="10000000";
37         when others=>NULL;
38     end case;
39 else
40     y<="11111111";
41 end if;
42 end process;
43 end Behavioral;

```

Listing 1: 74138译码器的代码清单

6 仿真结果

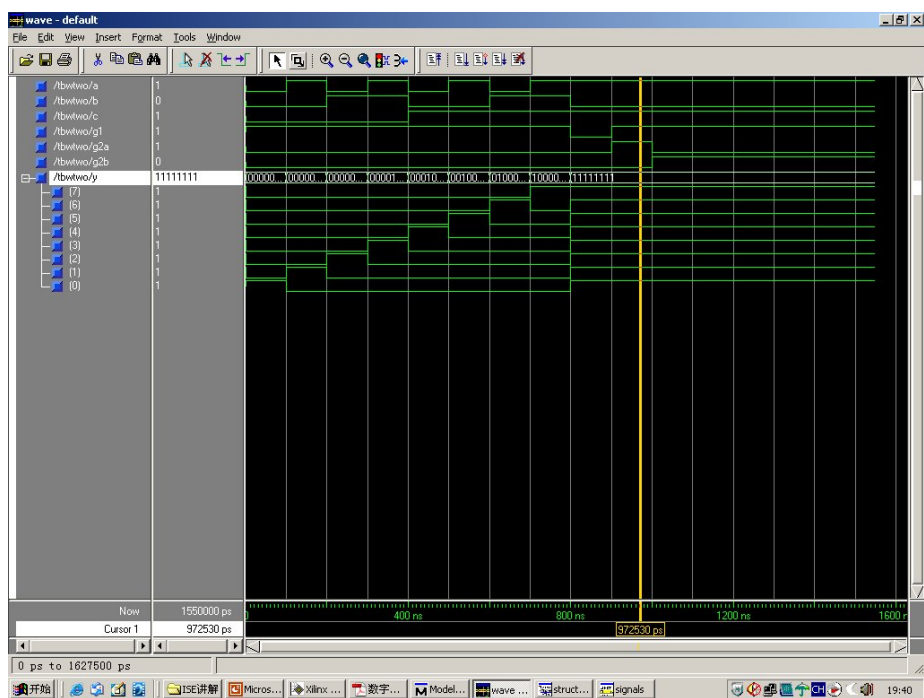


Figure 3: 74138译码器的仿真波形图