

实验十 简易数字钟设计实验

计算机1202 张艺瀚

学号：20123852

January 5, 2015

1 实验目的

1. 学习掌握数字系统综合设计方法。
2. 学习掌握层次设计方法。
3. 学习掌握设计下载方法。
4. 学习掌握实验系统使用方法。

2 实验原理

数字钟是对输入时基秒脉冲进行计数，依次输出秒数值、分数值、小时数值，从而确定时钟时间，其原理框图如图 1所示。

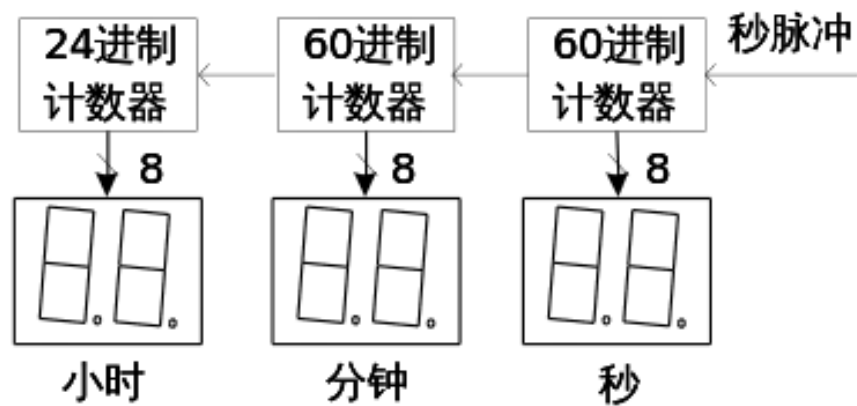


Figure 1: 简易数字钟原理图

实际的数字钟设计中还需要增加年月日的功能，这里框图中也省略了校时功能的结构。

3 实验内容

1. 选择XC2S200PQ208器件建立一个新的工程。
2. 在上述工程中，采用VHDL语言的方法设计上述简易数字钟。
3. 参考实验系统使用说明，按下列要求锁定引脚。秒、分钟、小时由实验系统的J1、J2输出，显示输出的时分秒间隔一位数码管。时钟输入由J7的1脚输入。
4. 下载编程并验证设计结果。

4 实验设备

1. 清华同方PIV2.4G/256M60G
2. ISE 6.2i—Windows软件系统
3. 多功能EDA实验系统(V型)

5 实验程序

数字钟代码清单如下（代码清单1）

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3 use IEEE.STD_LOGIC_ARITH.ALL;
4 use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6 -- Uncomment the following lines to use the
7 -- declarations that are
8 -- provided for instantiating Xilinx primitive
9 -- components.
10 --library UNISIM;
11 --use UNISIM.VComponents.all;
12
13 entity second is
14     Port ( clk : in std_logic;
15           clr1 : in std_logic;
16           clr2 : in std_logic;
17           en : in std_logic;
18           s1 : out std_logic_vector(3 downto 0);
19           s2 : out std_logic_vector(3 downto 0);
```

```

18         m1 : out std_logic_vector(3 downto 0);
19         m2 : out std_logic_vector(3 downto 0);
20         h1 : out std_logic_vector(3 downto 0);
21         h2 : out std_logic_vector(3 downto 0));
22 end second;
23
24 architecture Behavioral of second is
25     signal cq0,cq1,cq2,cq3,cq4,cq5:std_logic_vector(3
26         downto 0);
27 begin
28     process(clk,clr1,clr2)
29     begin
30         if( clr1='0' )then
31             cq0<="1000"; cq1<="0101";
32             cq2<="1000"; cq3<="0101";
33             cq4<="1001"; cq5<="0001";
34         elsif( clr2='0' )then
35             cq0<="1000"; cq1<="0101";
36             cq2<="1000"; cq3<="0101";
37             cq4<="0011"; cq5<="0010";
38         elsif clk='1' and clk'event then
39             if(en='1') then
40                 if cq0="1001" and cq1="0101" then
41                     cq0<="0000"; cq1<="0000";
42                     if cq2="1001" and cq3="0101" then
43                         cq2<="0000"; cq3<="0000";
44                         if cq4="0011" and cq5="0010" then
45                             cq4<="0000"; cq5<="0000";
46                         elsif cq4="1001" then
47                             cq4<="0000"; cq5<=cq5+1;
48                         else
49                             cq4<=cq4+1;
50                         end if;
51                     elsif(cq2="1001") then
52                         cq2<="0000"; cq3<=cq3+1;
53                     else
54                         cq2<=cq2+1;
55                     end if;
56                 elsif(cq0="1001") then
57                     cq1<=cq1+1; cq0<="0000";
58                 else
59                     cq0<=cq0+1;
60                 end if;
61             end if;
62         end if;
63     end process;

```

```

63 s1<=cq0;
64 s2<=cq1;
65 m1<=cq2;
66 m2<=cq3;
67 h1<=cq4;
68 h2<=cq5;
69
70 end Behavioral;

```

Listing 1: 数字钟代码清单

6 仿真结果

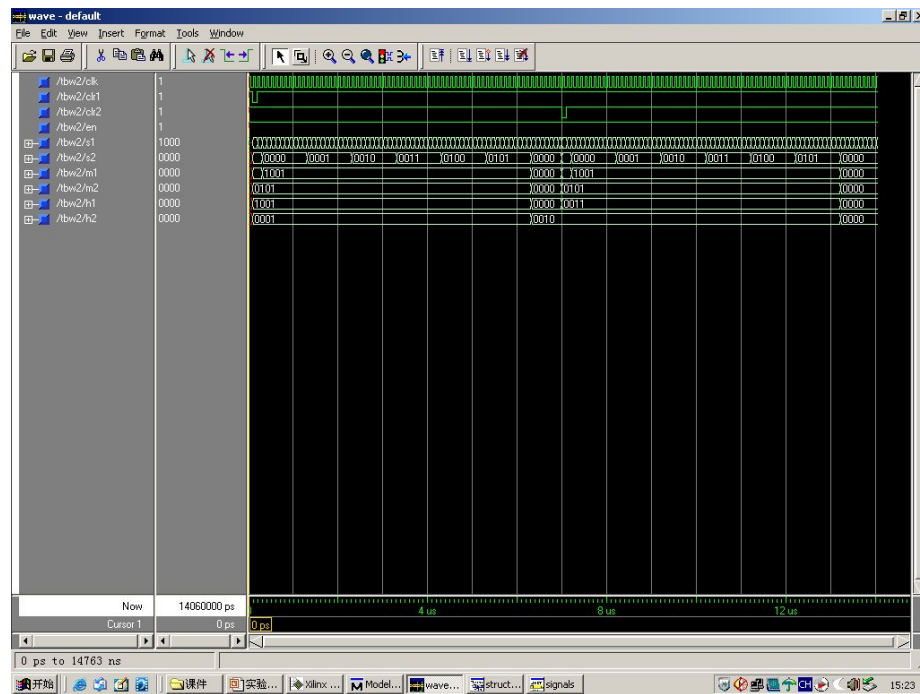


Figure 2: 数字钟仿真波形图