

Prj 1 报告

学号 2022K8009929011

姓名 王泽黎

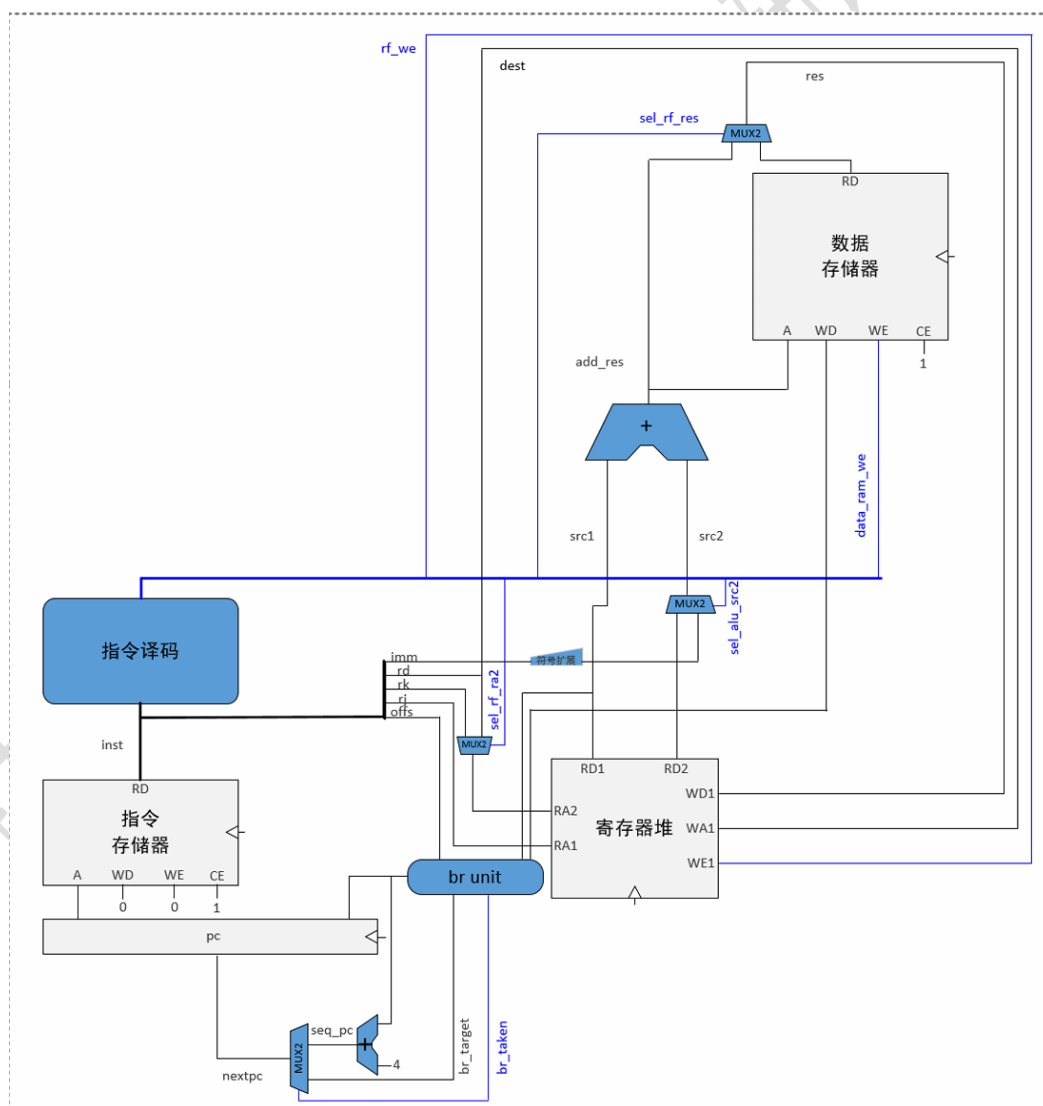
箱子号 16

一、实验任务

1. 个人独立完成教材 4.6.2 节实践任务 6，上传 RTL 设计代码，并进行现场验收。
2. 个人独立撰写“单周期 CPU 设计专题”实验报告，上传报告电子档。

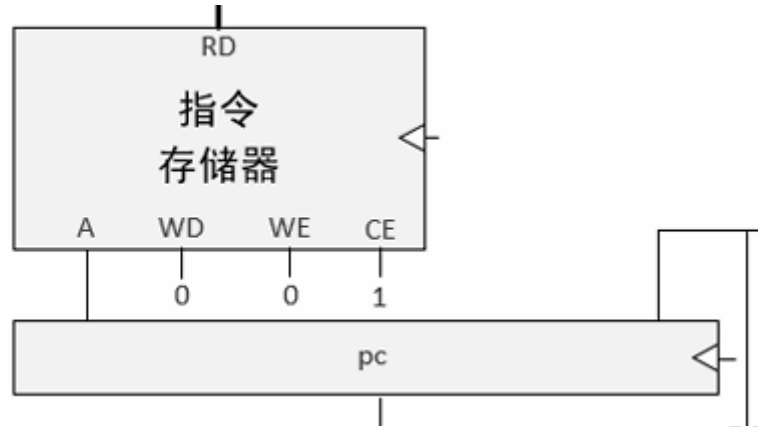
二、实验设计

(一) RTL 代码与处理器结构设计框图之间的对应关系



单周期 CPU 微结构设计

1. PC 与指令寄存器



```
1 assign seq_pc      = pc + 3'h4;
2 assign nextpc      = br_taken ? br_target : seq_pc;
3
4 always @(posedge clk) begin
5     if (reset) begin
6         pc <= 32'h1bffffffc; //trick: to make nextpc be 0x1c000000 during reset
7     end
8     else begin
9         pc <= nextpc;
10    end
11 end
12
13 assign inst_sram_we = 1'b0;
14 assign inst_sram_addr = pc;
15 assign inst_sram_wdata = 32'b0;
16 assign inst         = inst_sram_rdata;
```

2. 指令译码单元



```

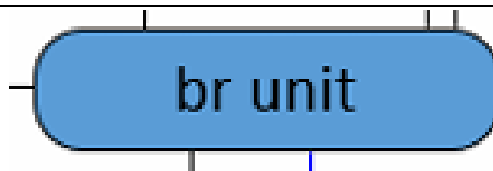
1 assign op_31_26 = inst[31:26];
2 assign op_25_22 = inst[25:22];
3 assign op_21_20 = inst[21:20];
4 assign op_19_15 = inst[19:15];
5
6 assign rd = inst[ 4: 0];
7 assign rj = inst[ 9: 5];
8 assign rk = inst[14:10];
9
10 assign i12 = inst[21:10];
11 assign i20 = inst[24: 5];
12 assign i16 = inst[25:10];
13 assign i26 = {inst[ 9: 0], inst[25:10]};
14
15 decoder_6_64 u_dec0(.in(op_31_26 ), .out(op_31_26_d ));
16 decoder_4_16 u_dec1(.in(op_25_22 ), .out(op_25_22_d ));
17 decoder_2_4 u_dec2(.in(op_21_20 ), .out(op_21_20_d ));
18 decoder_5_32 u_dec3(.in(op_19_15 ), .out(op_19_15_d ));
19
20 assign inst_add_w = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h00];
21 assign inst_sub_w = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h02];
22 assign inst_slt = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h04];
23 assign inst_sltu = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h05];
24 assign inst_nor = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h08];
25 assign inst_and = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h09];
26 assign inst_or = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h0a];
27 assign inst_xor = op_31_26_d[6'h00] & op_25_22_d[4'h0] & op_21_20_d[2'h1] & op_19_15_d[5'h0b];
28 assign inst_slli_w = op_31_26_d[6'h00] & op_25_22_d[4'h1] & op_21_20_d[2'h0] & op_19_15_d[5'h01];
29 assign inst_srli_w = op_31_26_d[6'h00] & op_25_22_d[4'h1] & op_21_20_d[2'h0] & op_19_15_d[5'h09];
30 assign inst_srai_w = op_31_26_d[6'h00] & op_25_22_d[4'h1] & op_21_20_d[2'h0] & op_19_15_d[5'h11];
31 assign inst_addi_w = op_31_26_d[6'h00] & op_25_22_d[4'ha];
32 assign inst_ld_w = op_31_26_d[6'h0a] & op_25_22_d[4'h2];
33 assign inst_st_w = op_31_26_d[6'h0a] & op_25_22_d[4'h6];
34 assign inst_jirl = op_31_26_d[6'h13];
35 assign inst_b = op_31_26_d[6'h14];
36 assign inst_b1 = op_31_26_d[6'h15];
37 assign inst_beq = op_31_26_d[6'h16];
38 assign inst_bne = op_31_26_d[6'h17];
39 assign inst_lu12i_w = op_31_26_d[6'h05] & ~inst[25];

```

```

1 assign imm = src2_is_4 ? 32'h4 :
2               need_si20 ? {i20[19:0], 12'b0} :
3               /*need_ui5 || need_si12*/{{20{i12[11]}}, i12[11:0]} ;
4
5 assign br_offs = need_si26 ? {{ 4{i26[25]}}, i26[25:0], 2'b0} :
6               {{14{i16[15]}}, i16[15:0], 2'b0} ;
7
8 assign jirl_offs = {{14{i16[15]}}, i16[15:0], 2'b0};

```

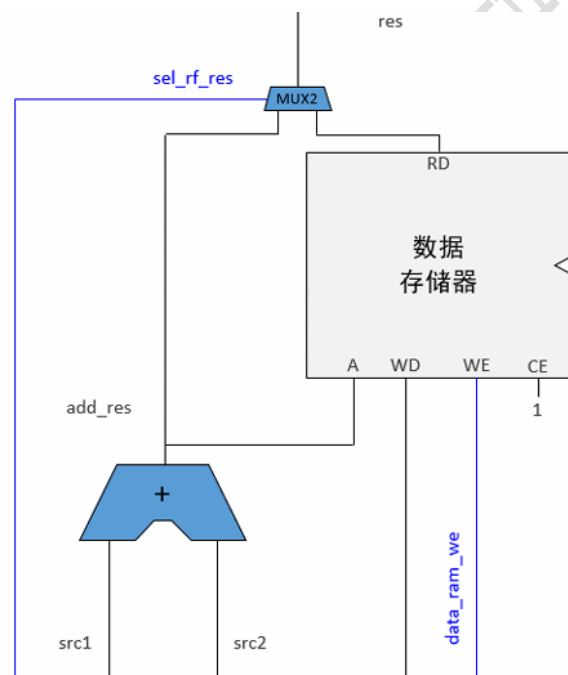


```

1  assign br_taken = ( inst_beq && rj_eq_rd
2                      || inst_bne && !rj_eq_rd
3                      || inst_jirl
4                      || inst_bl
5                      || inst_b
6                      ) && valid;
7  assign br_target = (inst_beq || inst_bne || inst_bl || inst_b) ? (pc + br_offs) :
8                      /*inst_jirl*/ (rj_value + jirl_offs);

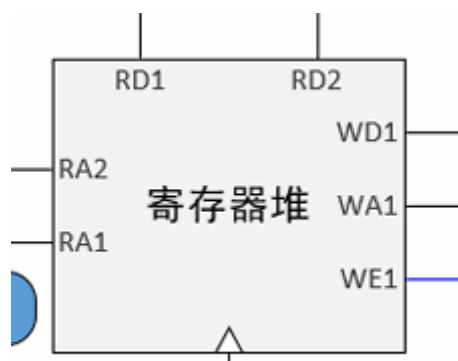
```

4. ALU



ALU 的 RTL 代码在 alu.v 中，此处不做展示

5. Regfile



三、实验过程

(一) 错误记录

1、错误 1: final_result 未声明

(1) 错误现象

写入数据 rf_wdata 与 golden_trace 不符

(2) 分析定位过程

仿真调试时根据信号波形，发现 final_result 信号始终为 1 位 0，查看 RTL 代码发现错误

(3) 错误原因

final_result 未声明

2、错误 2: 信号名书写错误

(1) 错误现象

Debug 信息生成异常

(2) 分析定位过程

实验开始时检查 RTL 代码发现错误

(3) 错误原因

rf_we 误写为 rf_wen

3、错误 3: 信号连接错误

(1) 错误现象

ALU 功能错误

(2) 分析定位过程

实验开始时检查 RTL 代码发现错误

(3) 错误原因

例化 ALU 模块时，alu_src1 和 alu_src2 都连接到了 alu_src2 信号

4、错误 4: 信号连接错误

(1) 错误现象

写使能信号 gr_we 异常

(2) 分析定位过程

仿真调试时根据信号波形，发现执行 b1 指令时写使能信号异常，查看 RTL 代码发现错误

(3) 错误原因

gr_we 额外接入了 ~inst_b1 信号

5、错误 5: 形成组合逻辑环

(1) 错误现象

电路中存在组合逻辑环

(2) 分析定位过程

实验开始时检查 RTL 代码发现错误

(3) 错误原因

alu.v 中，或运算存在组合逻辑环

6、错误 6: 移位对象错误

(1) 错误现象

ALU 执行移位操作时移位对象异常

(2) 分析定位过程

实验开始时检查 RTL 代码发现错误

(3) 错误原因

alu.v 中, 移位运算对象错误

7、错误 7：位宽错误

(1) 错误现象

ALU 运算结果信号位宽不匹配

(2) 分析定位过程

实验开始时检查 RTL 代码发现错误

(3) 错误原因

alu.v 中, sr_result 连接 sr64_result 信号位宽不匹配

四、实验总结

本次实验内容较为简单, 主要收获是重新熟悉 Verilog 代码编写与 debug 流程, 同时加深了对 vivado 的理解。