



# ВЫБОР ТЕСТОВОЙ СТРАТЕГИИ ПРИ ПРОИЗВОДСТВЕ ЦИФРОВОЙ И АНАЛОГОВО-ЦИФРОВОЙ ТЕХНИКИ

А.Иванов  
alexey@jtag.com

Уже не раз подчеркивалось, что функциональная проверка не должна и не может использоваться в качестве основного метода тестирования из-за таких своих отличительных характеристик, как отсутствие указаний к ремонту и индикации качества процесса производства, а также чрезмерные трудоемкость и затраты на локализацию структурных дефектов. В особенности это относится к производству сложной цифровой техники, изготавливаемой с использованием современных корпусов ИМС и многослойных печатных плат с большой плотностью монтажа. Практика показывает, что для определения такого простого дефекта современной собранной платы, как обычное замыкание, на отечественном предприятии может потребоваться от одной недели до двух месяцев. При этом используются не только трудовые производственные ресурсы, но и ресурсы подразделений разработчиков, а также дорогостоящее измерительное оборудование. Такую ситуацию нельзя не назвать абсурдной. На основе публикаций и выступлений, посвященных тестопригодной разработке и построению оптимальной тестовой стратегии, постараемся разобраться в ситуации с тестированием и выбрать необходимый вектор ее оптимизации.

## ЦЕЛИ ПРОИЗВОДСТВА И ТЕСТИРОВАНИЯ

При производстве цифровой техники прежде всего нужно четко определить задачи, которые должно выполнять тестирование на предприятии. Если взять функциональную проверку как основу производственного тестирования, это означает проверку работы изделия без учета времени проверки, регулировки, локализации дефектов и ремонта. Тем не менее, по мировым стандартам производственное тестирование должно обеспечивать выход на рынок годного продукта в кратчайшие сроки и с минимальными затратами. Кроме того, тестирование должно служить гарантом и индикатором качества произведенной продукции. В сущности, это входит в задачи производства в целом. Из этих соображений и необходимо подходить к политике тестирования на предприятии.

## ПРОИЗВОДСТВЕННОЕ ТЕСТИРОВАНИЕ И ОТЛАДКА ПРОТОТИПОВ. ТЕНДЕНЦИИ В ОТЕЧЕСТВЕННОЙ ОТРАСЛИ

В связи с увеличением сложности изделий функциональное тестирование становится все более трудоемким. На отечественных предприятиях, использующих его как основной метод тестирования, наметились две тенденции его выполнения (нужно отметить, что ни одна из них не является приемлемой).

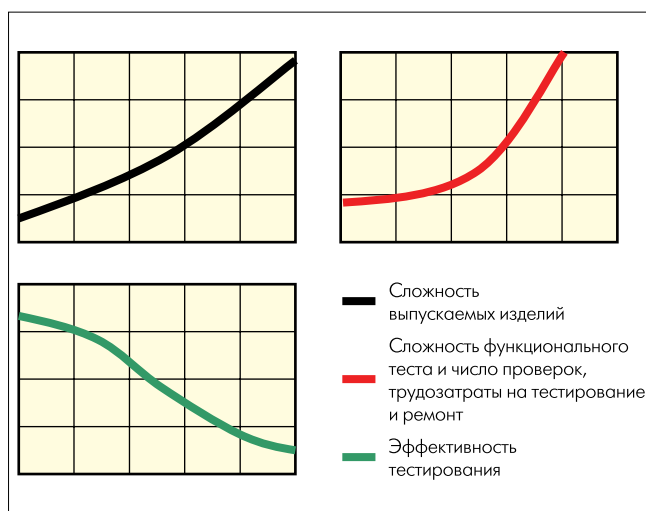
Первая тенденция — это усложнение самого функционального тестирования, увеличение числа проверок, их трудоемкости и, как следствие, увеличение объема инструкций по проверке и регулировке. Сюда же нужно прибавить трудоемкость по созданию самих тестовых программ, оснастки и методик проверки. Современный модуль цифровой обработки сигналов может содержать несколько тысяч цепей и десятки тысяч паяных соединений. Один из методов производственного тестирования цифровой техники — периферийное сканирование JTAG — позволяет получать карту найденных дефектов за 1–2 минуты. Функциональная проверка всех узлов такого модуля при хорошей организации может длиться несколько дней. Однако это только проверка, которая не указывает, какие дефекты имеются на плате и сколько времени понадобится на их поиск (недели, месяцы).

Вторая тенденция — это использование на производстве методик проверки, которые применялись разработчиками для создания и отладки прототипов изделий. Такой подход обусловлен нехваткой времени на создание производственных методик и программ. Вследствие этого возникают такие казусы, как проверка на производстве абсолютно лишних параметров модуля, которые необходимо проверять только при квалификационных испыта-

ниях. Очень часто можно встретить эмуляцию процессоров, применяемых для тестирования, тогда как такая эмуляция, в сущности, должна использоваться только для отладки опытных образцов. Отсутствуют унифицированные рабочие места, количество оснастки превышает все допустимые пределы. Чаще всего тестовые программы и методики в этом случае "обтачиваются" на уже выпускаемом серийном продукте с многократными изменениями КД.

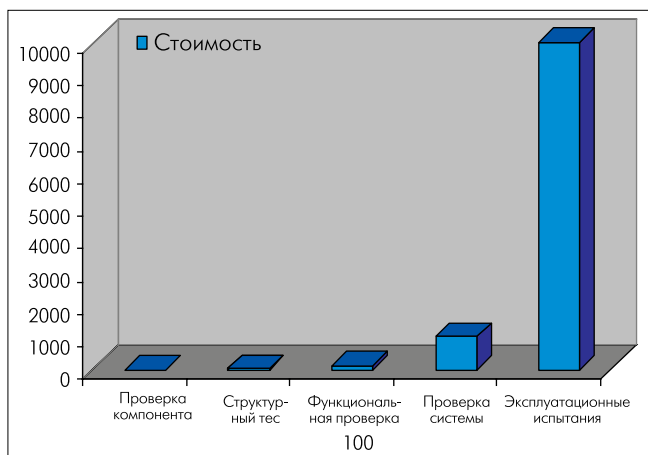
Увеличение сложности изделий характерно для цифровой техники. При использовании автоматических тестовых методов, таких как внутрисхемное тестирование или периферийное сканирование, сложность тестирования, число проверок и трудозатраты практически не будут возрастать, а эффективность тестирования будет приблизительно постоянной величиной. Вызвано это тем, что для локализации дефектов автоматическими методами размеры платы и число цепей не имеют значения. Однако в большинстве случаев получить идеальную постоянную зависимость можно при грамотной комбинации тестовых методов и построении оптимальной стратегии тестирования.

Важным аргументом использования автоматических средств тестирования является так называ-



**Рис. 1. Характеристики функционального тестирования в зависимости от сложности выпускаемых изделий**

емое "правило десяти", согласно которому стоимость нахождения дефекта на каждой последующей стадии тестирования (структурный тест, функциональная проверка, тест блока и т.д.) умножается на 10. Это правило впервые было сформулировано в 1982 году Бренданом Дэвисом в книге "Экономика автоматического тестирования" (рис.2).



**Рис. 2. Стоимость нахождения дефекта увеличивается в 10 раз на каждом этапе производственного цикла. (Brendan Davies "The Economics of Automated Testing", 1982)**

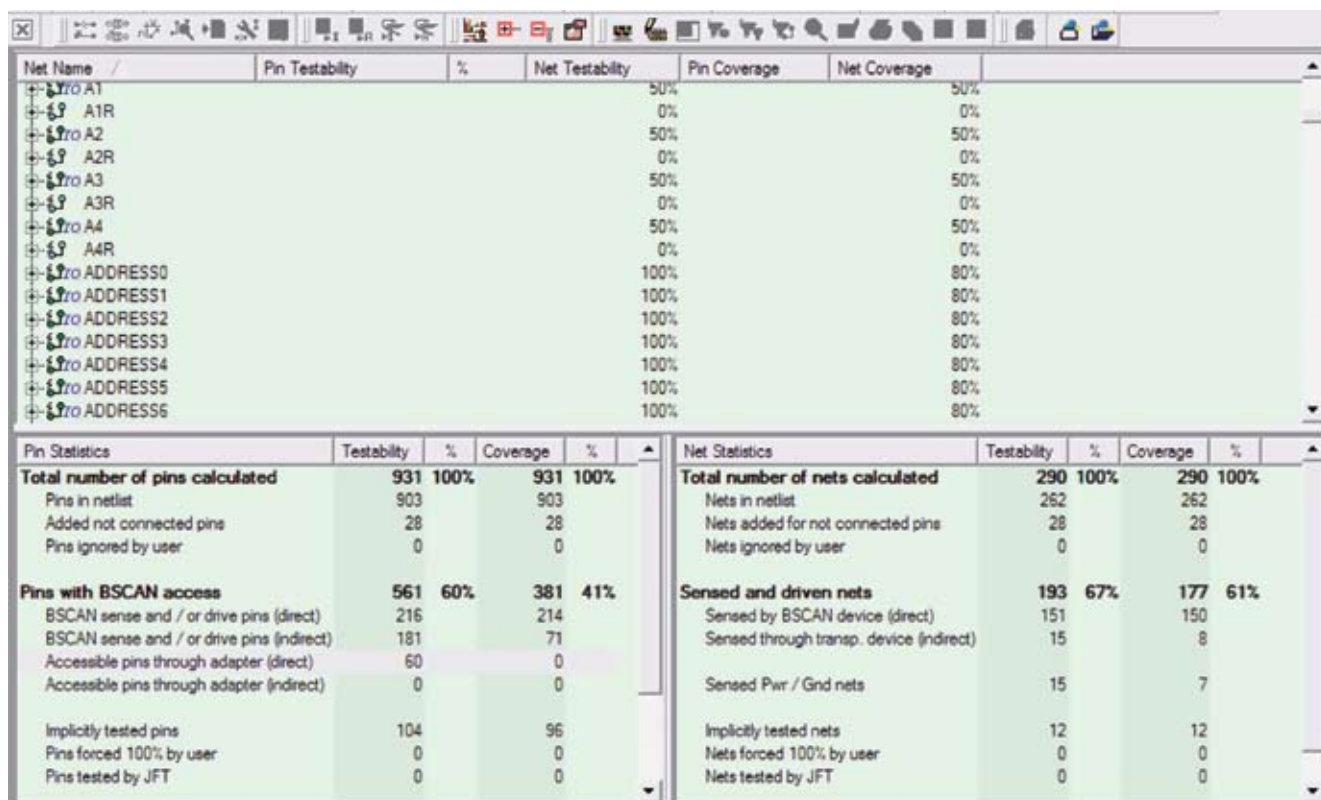
## КРИТЕРИИ ВЫБОРА ТЕСТОВОЙ СТРАТЕГИИ

Если говорить об электрическом тестировании, то существует два метода: внутрисхемный тест и внутрисистемный. Внутрисхемный тест подразумевает физический контакт с тестовыми точками на плате или паяными соединениями. Внутрисхемный тест может выполняться различным оборудованием с разными возможностями. Существуют установки с "летающими пробниками" и адаптеры с полем кон-

тактов, выполненным отдельно под каждую модификацию выпускаемого изделия. Внутрисистемный тест подразумевает тестирование "изнутри" при помощи технологии периферийного сканирования по интерфейсу JTAG. Этот метод получил популярность в странах запада еще десятилетие назад. Популярность вызвана возможностью использования "виртуальных" тестовых щупов для тестирования цепей, скрытых под корпусами с матрицей шариковых выводов (BGA) или в слоях платы. При этом тест все же является электрическим.

Существуют также методы, автоматизирующие функциональную проверку, которые, с одной стороны, можно отнести к автоматическим, но, с другой стороны, не являются структурными методами, так как не дают локализации дефектов и указаний к ремонту. Использование автоматизированных систем функционального теста позволяет лишь внести порядок и универсальность в ту "разношерстность" функциональных проверок, которые используются в отечественной радиопромышленности. Реализуются такие методы на системах автоматического проектирования (например, LabView) и модульных системах PXI, Compact-PCI и т.п. Эти системы довольно быстродействующие, а их многофункциональность позволяет на одном рабочем месте проводить полную проверку всех функций модуля.

Итак, критериев для выбора того или иного метода может быть много. Их сопоставлением и выбо-



**Рис. 3. Пример расчета тестового покрытия в программе JTAG ProVision. В верхнем окне возможен детальный просмотр покрытия каждой цепи**



ром должен заниматься специалист по тестированию. При выборе метода тестирования нужно учитывать следующее:

- сложность выпускаемых изделий (число цепей, слоев, типы компонентов);
- объемы выпуска;
- область применения выпускаемого изделия (ответственное, коммерческое и т.п.);
- стоимость оборудования для тестирования, ремонта, сервисного обслуживания, стоимость совокупного владения;
- бюджет предприятия;
- сроки выпуска готовой продукции (дни, месяцы, годы).

Кроме приведенных критериев решающую роль при выборе того или иного тестового метода играет тестовое покрытие. Это понятие включает число цепей и паяных соединений, на которых производится точная локализация производственных дефектов. При этом универсального тестового метода, обеспечивающего 100%-ное тестовое покрытие проверяемой платы, нет. В идеале необходимо найти точку баланса между максимально достижимым тестовым покрытием и стоимостью тестового оборудования. При этом, возможно, придется пожертвовать некоторыми участками платы, где де-

фекты возникают очень редко или их локализация достаточно проста без применения автоматических методов. Обычно автоматические установки для тестирования снабжаются системами проектирования, позволяющими рассчитать тестовое покрытие. Для этого используются те же исходные данные, что и для разработки тестов, а именно — данные САПР тестируемого изделия. На рис.3 и 4 показаны примеры расчетов и визуализации тестового покрытия в системе проектирования JTAG ProVision, поставляемой с установками периферийного сканирования JTAG Technologies.

Таким образом, еще на этапе проектирования изделия разработчик может рассчитать тестовое покрытие, основываясь на предварительных файлах схемотехники.

#### **КОМБИНАЦИЯ ТЕСТОВЫХ МЕТОДОВ**

Как уже говорилось, ни один из тестовых методов не обеспечит 100%-ного тестового покрытия, каким бы сверхсовременным он не был. Тестеры внутрисхемного контроля, использующие физический контакт с цепями платы при помощи механических пробников, имеют ограничения для тестирования сложных плат с высокой плотностью монтажа и скрытыми слоями, а также компонента-



**Рис.4. Визуализация тестового покрытия, рассчитанного в JTAG ProVision. Белым цветом указаны цепи со 100%-ным покрытием, желтым – 80%-ным и оранжевым – с 60%-ным покрытием**

ми в корпусах BGA. Периферийное сканирование JTAG может применяться только для тестирования цифровой части плат или самостоятельно для полностью цифровых изделий. В статье, опубликованной в информационном бюллетене "Поверхностный монтаж" № 5/2009, рассматривались различные варианты комбинации тестовых методов как друг с другом, так и с методами функциональной проверки.

Выделим два основных варианта комбинации тестовых методов: последовательное использование и интеграция. Пример интеграции – это применение JTAG-тестера, подключенного к полю контактов внутрисхемного тестера или к "летающим" пробникам. Возможна также интеграция JTAG-контроллера в стойки функционального тестирования на базе PXI. Внутрисхемные тестеры помимо структурной проверки цепей и компонентов с помощью пробников могут выполнять некоторые функциональные проверки. Как видно, вариантов интеграции может быть множество. Тем не менее, опыт показывает, что не все производители идут на полную интеграцию в рамках одной рабочей установки. К примеру, несмотря на то, что тестеры периферийного сканирования выпускаются сегодня в различных форматах (автономная станция, моду-

ли PXI, VXI, различные карты для установок внутрисхемного теста и т.п.), выбор зачастую делается в пользу отдельно стоящей станции, так как это дает своего рода свободу использования тестера и некоторую мобильность.

Достоинств интеграции несколько: экономия рабочих мест и числа операторов, использование одного графического интерфейса, уменьшение износа подвижных пробников.

Одним из важных аспектов, которые следует учитывать при выборе тестовой стратегии, – это жизненный цикл выпускаемого изделия, методы или комбинации, которые могут использоваться с момента разработки и отладки вплоть до сервисного обслуживания готовых изделий у заказчика. Существуют следующие причины, почему важно выбрать метод, готовый к использованию, еще на стадии разработки:

- внедрение тестирования при разработке помогает ускорить отладку опытных образцов вследствие точной диагностики дефектов, возникающих порой чаще на прототипах, чем на серийных изделиях;
- тестирование на стадии разработки приучает разработчика использовать структурное тестирование и учитывать его в своей работе. Мотивирует соблюдение правил тестопригодной разработки;
- выбор метода тестирования помогает реально оценивать тестовое покрытие будущего серийного изделия и контролировать его.

Рассмотрим три разных метода электрического

## Применение методов электрического контроля на различных стадиях жизненного цикла изделия

Стадия жизненного цикла	Внутрисхемный тест при помощи адаптера	Установка с подвижными пробниками	Периферийное сканирование
Разработка	–	+	+
Мелкосерийное производство	+/-	+	+
Крупносерийное производство	+	+	+
Тестирование плат с покрытием	–	+/-	+
Тестирование плат в блоках	–	–	+
Ремонт в полевых условиях	–	–	+
Программирование ПЗУ и ПЛИС	+	+	+

контроля и их применение на различных стадиях жизненного цикла изделия (см. таблицу).

**Внутрисхемный тест при помощи игольчатого адаптера** — самый точный и всеобъемлющий метод. Может использоваться только при серийном производстве. Изготовление игольчатого адаптера — процесс трудоемкий и требует окончательной разводки платы с точно выведенными тестовыми точками. Поэтому для тестирования прототипов или мелкосерийных продуктов создание такого адаптера не целесообразно. Кроме того, метод приемлем в большинстве случаев только для производственного тестирования до нанесения влагозащитных покрытий и сборки блоков.

**Внутрисхемный тест при помощи установки с подвижными пробниками** использует те же принципы, что и предыдущий метод, однако не требует специально выведенных контактных площадок и благодаря подвижности контактирующих устройств не чувствителен к изменению схематики и топологии платы. Поэтому может с успехом использоваться как для тестирования опытных, так и серийных изделий, независимо от их объемов выпуска и номенклатуры. Некоторые модели тестовых установок позволяют "пробивать" влагозащиту на полностью готовых изделиях. Метод широко используется при тестировании "голых" печатных плат.

**Периферийное сканирование по стандарту IEEE 1149.1**, требующее для тестирования только интерфейс JTAG, может использоваться разрабатывающими подразделениями, какие бы изменения не вносились в структуру изделия. Может применяться для тестирования опытных образцов, мелко- и крупносерийных продуктов, а также плат, находящихся внутри собранных блоков. Метод не зависит от наличия влагозащитных покрытий. Так как установки периферийного сканирования достаточно компактны, то их довольно удобно использовать для ремонта и обслуживания изделий на месте у заказчика. Широко используется для локализации дефектов при климатических испытаниях прямо в камерах.

Использование рассмотренных методов в течение жизненного цикла изделия показано в таблице.

Как указывалось ранее, ни один метод не позволяет обеспечить 100%-ного тестового покрытия. Какие-то методы можно использовать для тестирования цифровой электроники, какие-то — для тестирования аналоговых устройств. Возможно, не все из них удастся внедрить еще на стадии разработки, но такое внедрение позволяет мотивировать разработчиков учитывать принципы тестопригодного проектирования (DFT) в работе. ■