

实验五 综合设计电路实验

张蔚桐 2015011493 自 55

目录

1	仿真和预习	2
1.1	峰值提取部分	2
1.2	电压转换部分	3
1.3	FPGA 部分	4
2	电路工作原理说明	6
2.1	峰峰值提取部分	6
2.1.1	简单峰值提取电路	6
2.1.2	精密峰值提取电路	7
2.1.3	其他辅助设计	7
2.1.4	综合输出	8
2.2	V-F 转换部分	8
2.2.1	工作原理	8
2.2.2	定量分析	9
3	实验结果	10
4	总结	10

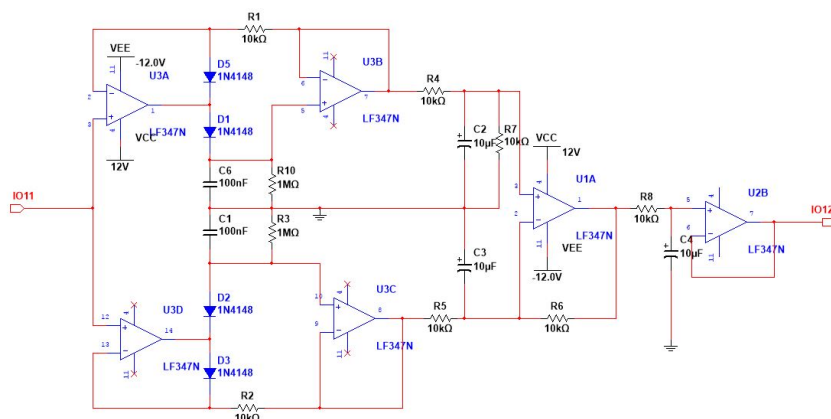


Fig. 1: 峰值提取电路

1 仿真和预习

实验要求设计数字电压表，显示输入正弦波电压的峰值。因此考虑将电路分割为如下几个部分进行设计

1.1 峰值提取部分

这部分输入将输入的正弦波电压转换为尽可能稳定的输出电压，输出电压的值为输入正弦波的峰峰值。

具体的电路如图 1所示，这是两个对称峰值检测电路分别检测电路的上峰值和下谷值。

其中，上半侧电路检测峰值，U1A 为一个输入阻抗变换和 U1B，二极管同时构成精密二极管，串接电容 C6 接地，完成正峰值检测。C6 并联 R10 完成放电过程，方便动态检测电路。在 U1B 输出正向峰值。

下半部电路输出谷值，这里就不加赘述了。

输出之后进行 R4C2 的一个简单的一节低通滤波虑去前面 C6 放电出现的不稳定震荡，这方面 R5C3, R8C4 组成的简答低通滤波均完成此项内容，且效果稳定。

之后，U2A 运放完成减法操作，检出峰峰值，之后滤波后阻抗变换跟随输出，稳定这个模块内部的工作，输出稳定电压。

经过仿真可以得到输出的电压准确度，稳定性均较好。

相对于其他设计，这个电路能够应对多种波形输入，并且尤其适合中高频信号的输入。对于极低频信号，可能因为峰值检测电容放电的影响出现明显的纹波影响电路稳定性。

1.2 电压转换部分

这部分输入一个稳定的正电压，输出一个频率稳定的方波，具体的电路如图2所示

这个电路参考了模拟电子技术基础书上的压频转换电路的设计，具体原理略去。经过简单计算可以得到，电路在输入电压的控制下可以约为输出 $50U_I \text{Hz/V}$ 频率的方波，经过稳压之后输出共后级电路处理。

电路涉及的电阻较多，因此受到电阻型号和相对误差的影响，电路的具体的参数（如选择的电阻电容）选择在电路搭建的过程中也需要进一步的选取，这里的仿真就先略去。

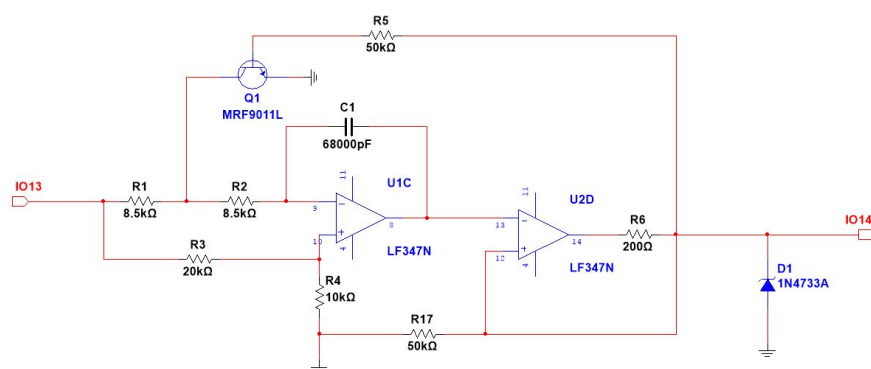


Fig. 2: 压频转换电路

1.3 FPGA 部分

这部分要求将模拟电路输出的方波信号计数，得到最后要求显示的频率，为数字电路部分，电路模块图如图 3所示。其中 FCore 模块是核心模块，负责在 FPGA 上的 50MHz 时钟下输出输入波形 in 的频率并在数码管中扫描显示。选通端由 74138 确定，数码管由 7448 驱动。

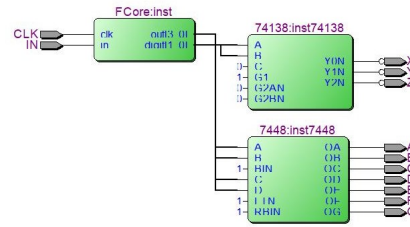


Fig. 3: 频率计数电路布置

FCore 模块的具体实现由 Verilog 代码给出。模块首先将输入时钟分频为 1Hz，并在 1Hz 时钟上升沿设置输出记号。在输入 in 的每个上升沿，模块进行十进制计数。如果此时发现设置了输出记号，则清除此记号之后将当前值输出显示清零。

FCore 也同时满足了一些诸如扫描数码管的功能，具体见下面的代码

```
01 module FCore (clk,in,out,digit);
02 input clk;
03 input in;
04 output [1:0] digit;
05 output [3:0] out;
06 reg sec;
07 reg a = 0;
08 reg b = 0;
09 reg [1:0] digit = 2'b00;
10 reg [3:0] out;
11 reg [3:0] num [2:0];
12 reg [3:0] _num [2:0];
13 reg [11:0] div = 12'b1;
14 reg [27:0] counter = 28'b0;
15 always @ (posedge clk)
16 begin
17 //TODO: div the 50MHz clock to 1Hz
18 if(counter == 28'd25000000)
19 begin
20 sec <= ~sec;
21 counter = 28'b1;
```

```
22 end
23 else
24     counter <= counter + 1'b1;
25
26 //TODO: div a sweeping signal
27 if(div == 28'b0)
28     begin
29         div <= div + 1'b1;
30         if(digit == 2'b10)
31             digit <= 2'b00;
32         else
33             digit <= digit + 1'b1;
34     end
35 else
36     div <= div + 1'b1;
37
38 if(div == 28'd10)
39     out <= num[digit];
40 end
41
42 always @ (posedge sec)
43 begin
44 //TODO: clear the output
45 a <= ~b;
46 end
47
48 always @ (posedge in)
49 begin
50 //TODO: count
51 if(a == b)
52     begin
53         if(_num[0] < 4'd9)
54             _num[0] <= _num[0] + 4'b0001;
55         else
56             begin
57                 if(_num[1] < 4'd9)
```

```

58     begin
59         _num[1] <= _num[1] + 4'b0001;
60         _num[0] <= 4'b0000;
61     end
62     else
63     begin
64         _num[0] <= 4'b0000;
65         _num[1] <= 4'b0000;
66         _num[2] <= _num[2] + 4'b0001;
67     end
68     end
69 end
70 else
71 begin
72     b <= a;
73     num[0] <= _num[0];
74     num[1] <= _num[1];
75     num[2] <= _num[2];
76     _num[0] <= 4'b0001;
77     _num[1] <= 4'b0000;
78     _num[2] <= 4'b0000;
79 end
80 end
81 endmodule

```

2 电路工作原理说明

2.1 峰峰值提取部分

由于采取了和老师给出的电路不同的设计，因此这里重新将模拟部分的两个电路的工作原理详细说明如下。

2.1.1 简单峰值提取电路

如图 4所示是简单峰值提取电路，我们首先先认为二极管导通压降为 0，则若输入电压大于电容 C 上的电压，电容充电升压，如果输入电压小于电容 C 上的电压，电

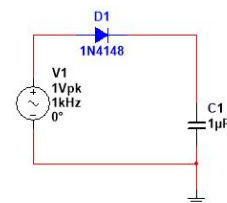


Fig. 4: 基本峰值提取电路

容不放电，因此电容上保持的是整个电路的历史最高输入电压。

然而实际电路中，由于存在二极管分压，输出的电压值显然和最大峰值相差二极管导通电压。需要采用其他的电路来改进这个电路

2.1.2 精密峰值提取电路

如图 5 所示，首先分析二极管 D5 能否导通，如果 D5 能导通，则运放 U3A 工作在负反馈状态，而如果 D5 截断，运放 U3A 处于比较器状态。我们假设 D5 导通，则可以看出运放 U3A 输出电压为 $V_2 - V_{PN}$ ，电容 C6 随运放 U3B 跟随，此时可以明显分析出此时 C6 上电压大于输入电压，因此此时 C6 电压保持不变，条件为 $V_2 < U_{C6}$

当输入电压大于电容上电压时，上述推理不成立，运放工作在非线性区。可以看出，此时 U3A 上有 $U_P = V_2, U_N = VC6$ ，运放输出正摆幅，对 C6 高速充电（因为输入电压很大而电阻很小）保证电路响应顺畅。

因此在当前环境下 U3B 阻抗变换之后可以输出质量相当好的输入电压峰值。

2.1.3 其他辅助设计

● 峰值电容放电回路

上述设计能够准确检测出输入电压的历史最大值，但如果使用者希望动态测量峰峰值的话，当输入电压峰值减小之后整个电路将被锁死不工作。因此在 C 上并联放电电阻 R 使得当输入减小之后 C 能够缓慢放电最后达到测量目的。当输入电压峰值稳定时，由于不断有周期性峰值的影响，整个电路整体稳定，但略有纹波。

● 双向峰峰值检测电路

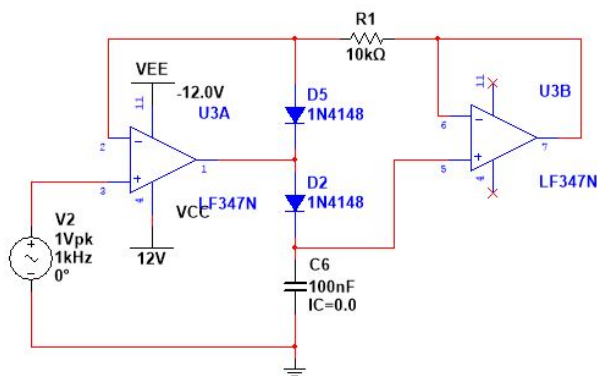


Fig. 5: 精密峰值提取电路

将上述设计反向，得到负峰值检测电路，整个前级电路的如图 6 所示。

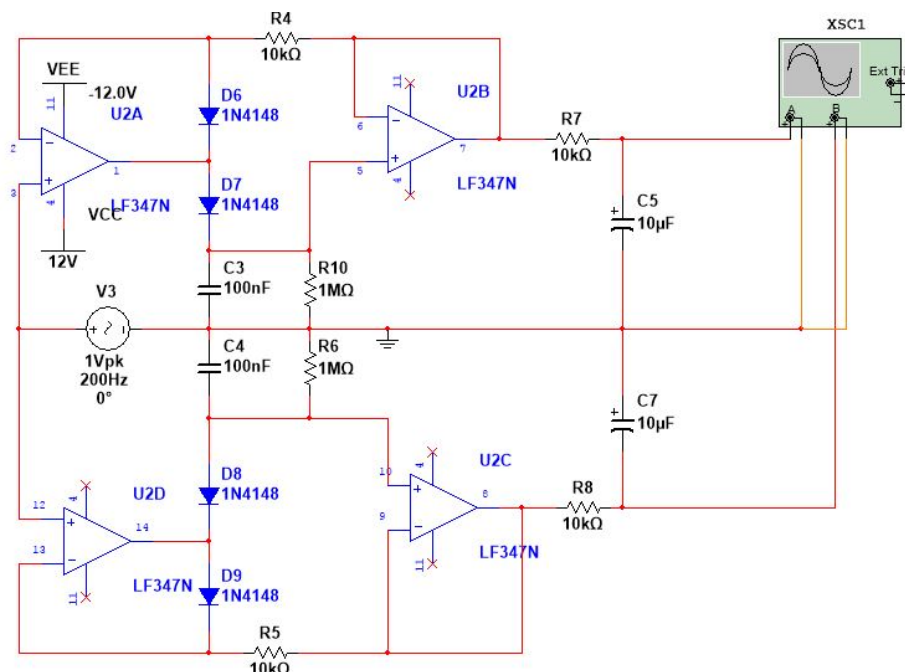


Fig. 6: 双向峰峰值检测电路

2.1.4 综合输出

最后利用减法器将正峰值和负峰值相减，得到峰峰值。同时在电路引入适当的一节低通滤波电路消除之前由于 RC 环节引入的纹波，整个电路如图 1 所示。在 $V_{PP} = 5V$, $f = 20\text{Hz}$ 的作用下输出的波形如图 7 所示。

可以看出，经过 0.6s 的过渡时间之后，电路输出电压已经很稳定了，而且由于采用负反馈运放，输出电压的稳定性也特别理想。

2.2 V-F 转换部分

参考模拟电子技术基础的习题 7.24 搭建了基于运放的复位式压控振荡电路，如图 8 所示。

2.2.1 工作原理

本压控振荡电路主要由滞回比较器、积分器及电子开关组成，根据本实验的特性（输出方波不需要也不允许有负值），我们将电路进行了适当的修改：

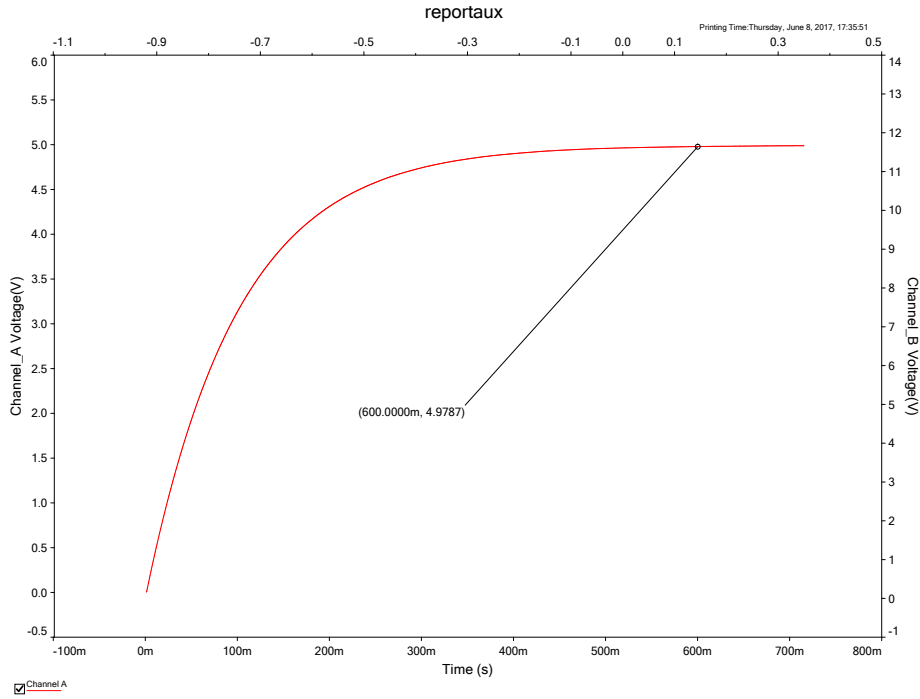


Fig. 7: 峰峰值检测电路输出波形

运放 U2D 与 R5,R6 以及稳压管 D1 构成滞回比较器, 采用了一个稳压管来使得输出的方波低电平值约为-0.7V, 高电平值约为 5V, 运放 U1C 与电容 C1 及输入端电阻构成积分器, 晶体管 Q1 及电阻 R5 构成电子开关。

我们可以看到, 运放 U2D 输出高电平时, 稳压管反向击穿稳压, 晶体管饱和导通, 可以认为 ce 之间出现小电阻, 电容 C 充电, 直到运放 U1C 输出端 u_{o1} 达到阈值电压 $+U_T$ 使得 U2D 输出低电平。U2D2 输出低电平, 稳压管正向导通, 钳位输出电压为-0.7。晶体管截止, 电容 C 反向充电, 直到运放 U1C 输出端 u_{o1} 达到阈值电压 $-U_T$ 使得 U2D 输出高电平, 进入下一个循环。

2.2.2 定量分析

当晶体管导通时

$$i_c = \frac{0 - u_{N1}}{3R1} = -\frac{u_I}{3R1}$$

当晶体管截止时

$$u_{o1} = u_{o1}(t_0) + \frac{u_I}{3R1C}(t_1 - t_0)$$

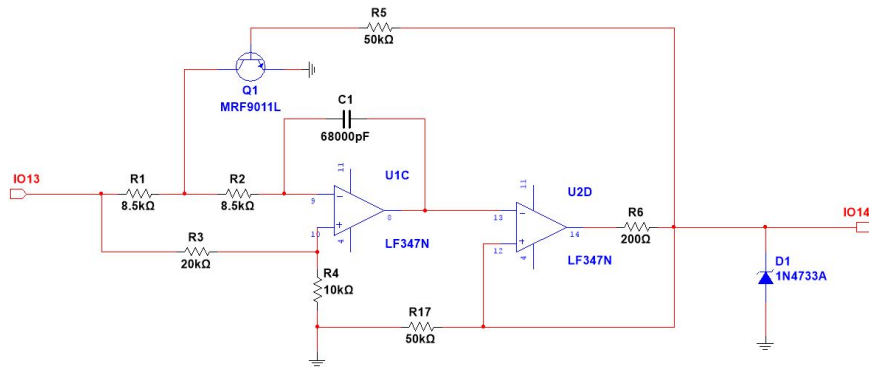


Fig. 8: VF 变换电路图

另外，滞回比较器阈值电压

$$\begin{cases} i_c = \frac{u_I}{3R_1} \\ u_{o1} = u_{o1}(t_1) - \frac{u_I}{3R_1C}(t_2 - t_1) \end{cases}$$

则可以得到振荡频率

$$f = \frac{1}{T} = \frac{u_I}{12R_1CU_T}$$

振荡频率与输入电压呈线性

设计中要求前级输入电压 U_I 和输出信号频率 f 的关系为 $f = 100U_I \text{Hz/V}$ 因此设计电路参数图中 C 改为 20nF 其他参数不变。

仿真得到输入 1V 波形如图 9 所示，测得频率接近 100Hz，效果还是比较理想的，同时方波波形稳定，可以提供给下级 FPGA 工作，剩余误差可以在实验过程中微调解决。不是设计问题。

3 实验结果

对实际电路进行测试的得到了如表 1 的结果，可以看出电路输出的电压值（在 FPGA 上显示得到）的精度相当高。

4 总结

本次实验自己新设计了电路，相比于老师提供的电路，除了输出准确之外，还能够一定程度上接受输入电压的直流偏置和各种波形（因为前级电路峰值提取不受波形的影响）

另外，这次实验在 12 周提前两周就已经完成了电路的搭建并利用 my-Dac 完成了初步的测试工作。由于电路搭建和 FPGA 的设计是一起考虑的，

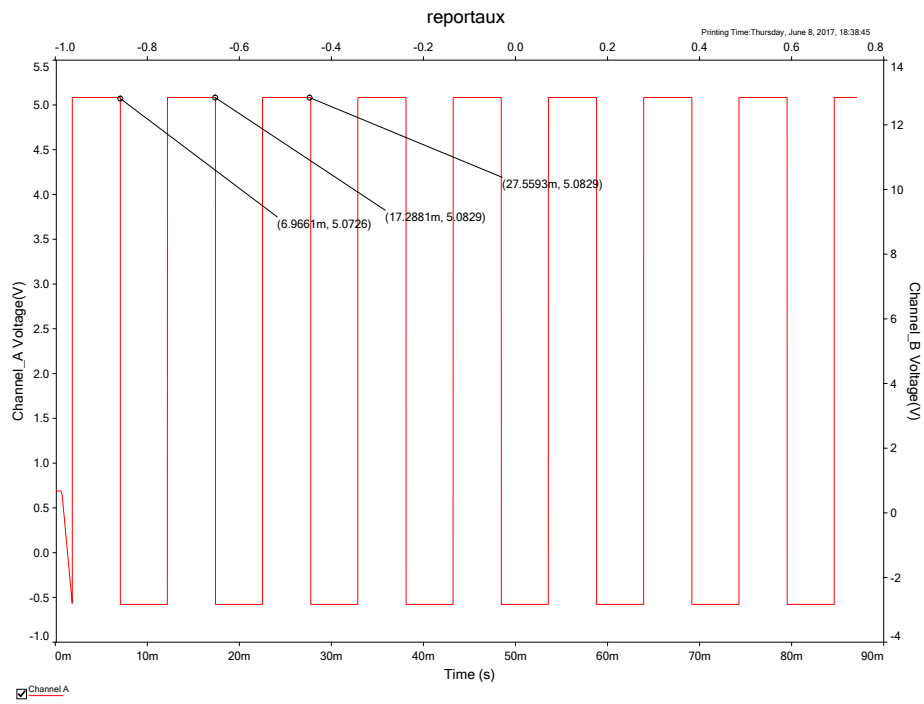


Fig. 9: VF 输出波形

体现了设计的整体性和模块之间的相互兼容的特性，如方波占空比适中，边沿锋利使得 FPGA 可以高精度工作等。可以说，这次实验是相当成功的。

Tab. 1: 实验结果

V_I	20Hz	200Hz	V_I	20Hz	200Hz	V_I	20Hz	200Hz
5	4.95	4.98	0.9	0.89	0.90	0.4	0.39	0.40
4	3.95	3.98	0.8	0.79	0.78	0.3	0.29	0.30
3	2.96	2.98	0.7	0.69	0.68	0.2	0.19	0.19
2	1.97	1.98	0.6	0.59	0.59	0.1	0.10	0.10
1	0.98	0.99	0.5	0.50	0.49	0.0	0.01	0.01