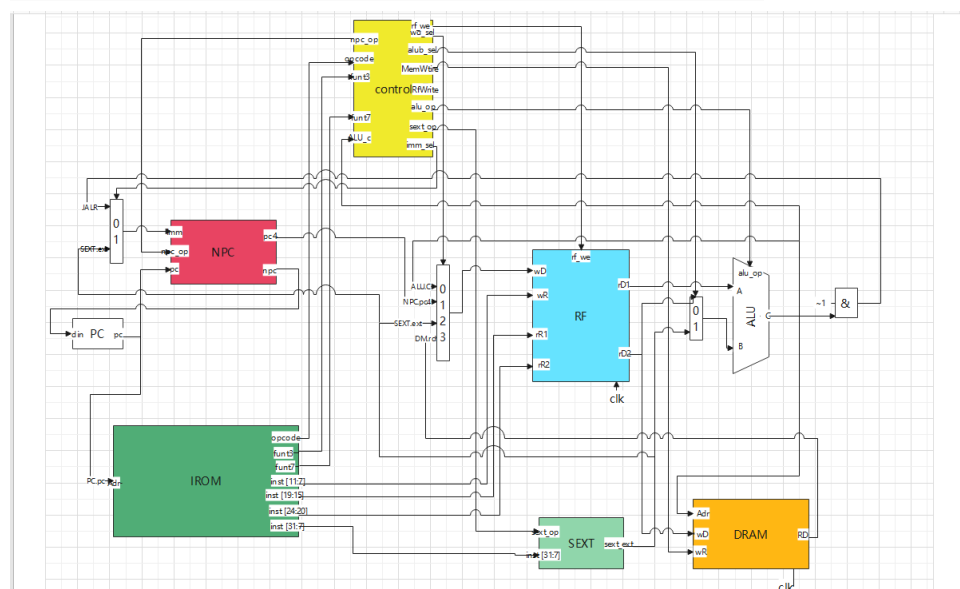
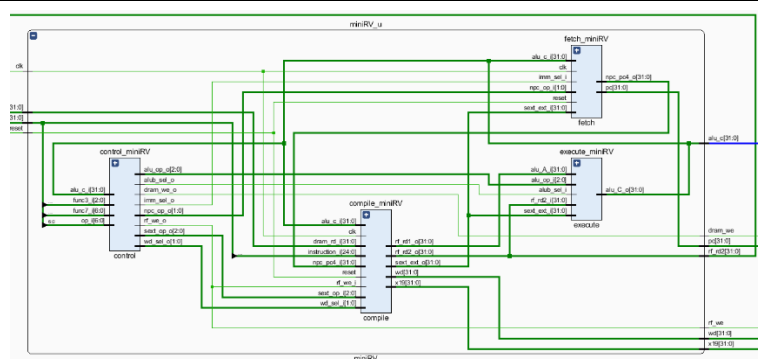


设计的功能描述（含所有实现的指令描述，以及单周期/流水线 CPU 频率）														
<p>实现了 R 类型指令中的 add/sub/and/or/xor/sll/srl/sra、</p> <p>I 类型指令中的 addi/andi/ori/xori/slli/srli/srai/lw/jalr、</p> <p>B 类型指令中的 beq/bne/blt/bge 和 lui/jal/sw 等 24 条基本指令。</p> <p>CPU 的频率为 25MHz,外设的频率为 1kHz。</p>														
设计的主要特色（除基本要求以外的设计）														
<div><div>1. 将 jarl 所需要的数据处理指令从本来该在的执行阶段挪到取指模块，这样执行模块能更专注该有的逻辑运算而不用进行判断输出（参考书目中给的设计图也是这个思想）；</div><div>2. 由于分支控制的指令只要实现四条，所以可以简单的用 ALU 的输出和操作码来进行判断，这样可以简化设计一个分支控制的模块，而将整个模块融入到 CPU 的控制模块当中。</div></div>														
资源使用情况、功耗数据截图（实现后）														
<div><div><div>DRC Violations</div><div>Summary: 2 warnings</div><div>Implemented DRC Report</div></div><div><div>Utilization</div><div>Post-Synthesis Post-Implementation</div><div><div>Graph Table</div><table><tr><th>Resource</th><th>Utilization (%)</th></tr><tr><td>LUT</td><td>22%</td></tr><tr><td>LUTRAM</td><td>43%</td></tr><tr><td>FF</td><td>1%</td></tr><tr><td>IO</td><td>6%</td></tr><tr><td>BUFG</td><td>13%</td></tr><tr><td>PLL</td><td>17%</td></tr></table></div></div></div> <div><div>Timing</div><div>Setup Hold</div><div><div>Worst Negative Slack (WNS): 7.328 ns</div><div>Total Negative Slack (TNS): 0 ns</div><div>Number of Failing Endpoints: 0</div><div>Total Number of Endpoints: 84001</div><div>Implemented Timing Report</div></div></div> <div><div>Power</div><div>Setup Hold</div><div><div>Total On-Chip Power: 0.241 W</div><div>Junction Temperature: 25.6 °C</div><div>Thermal Margin: 59.4 °C (22.1 W)</div><div>Effective SJA: 2.7 °C/W</div><div>Power supplied to off-chip devices: 0 W</div><div>Confidence level: Medium</div><div>Implemented Power Report</div></div></div>	Resource	Utilization (%)	LUT	22%	LUTRAM	43%	FF	1%	IO	6%	BUFG	13%	PLL	17%
Resource	Utilization (%)													
LUT	22%													
LUTRAM	43%													
FF	1%													
IO	6%													
BUFG	13%													
PLL	17%													

1 单周期 CPU 设计与实现

1.1 单周期 CPU 整体框图

(要求：无需画出模块内的逻辑，但要标出模块之间信号线的信号名和位宽，以及说明每个模块的功能含义)



取指模块功能：

根据程序计数器 PC 中的指令地址，从存储器中取出一条指令，同时，PC 根据指令字长度自动递增产生下一条指令所需要的指令地址，但遇到“地址转移”指令时，则控制器把“转移地址”送入 PC，当然得到的“地址”需要做些变换才送入 PC。

译码模块功能：

对取指令操作中得到的指令进行分析并译码，确定这条指令需要完成的操作，从而产生相应的操作控制信号，用于驱动执行状态中的各种操作。

执行模块功能：

根据指令译码得到的操作控制信号，具体地执行指令动作，然后转移到结果写回状态。

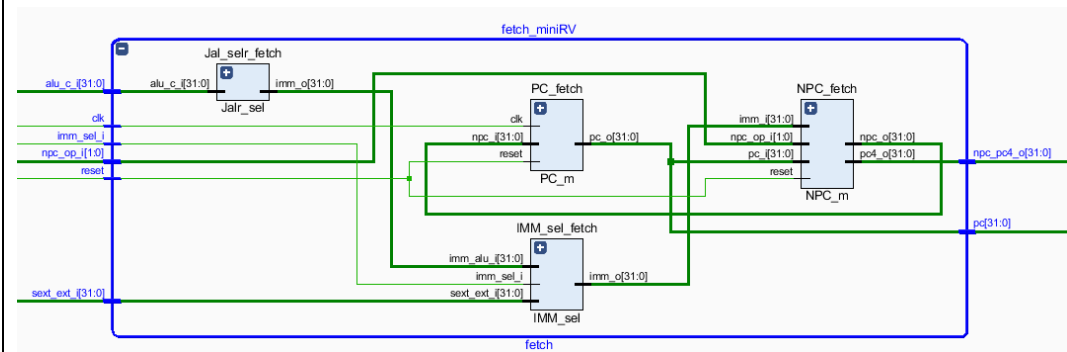
控制模块功能：

根据 IROM 的输出对操作码进行判断，给其他模块传递操作控制的信号。

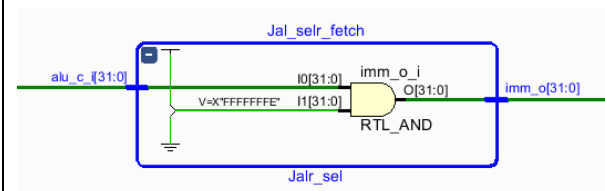
1.2 单周期 CPU 模块详细设计

(要求：各个模块的详细设计图，要包含内部的子模块，以及关键性逻辑，标出信号名和位宽，并有详细说明)

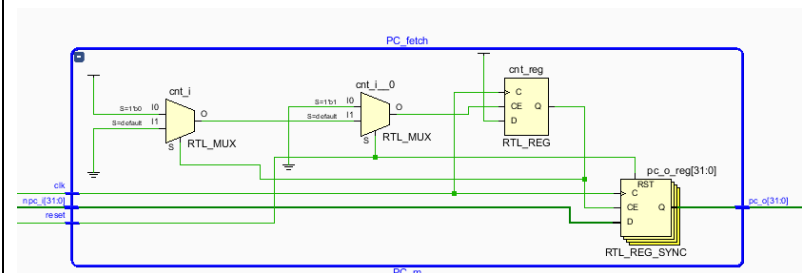
取指模块：



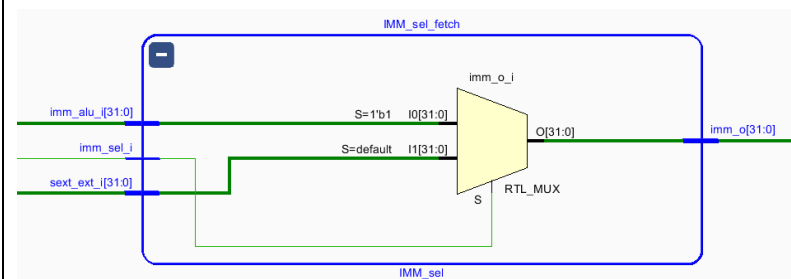
Jal_sel: 进行 JALR 指令的输出操作



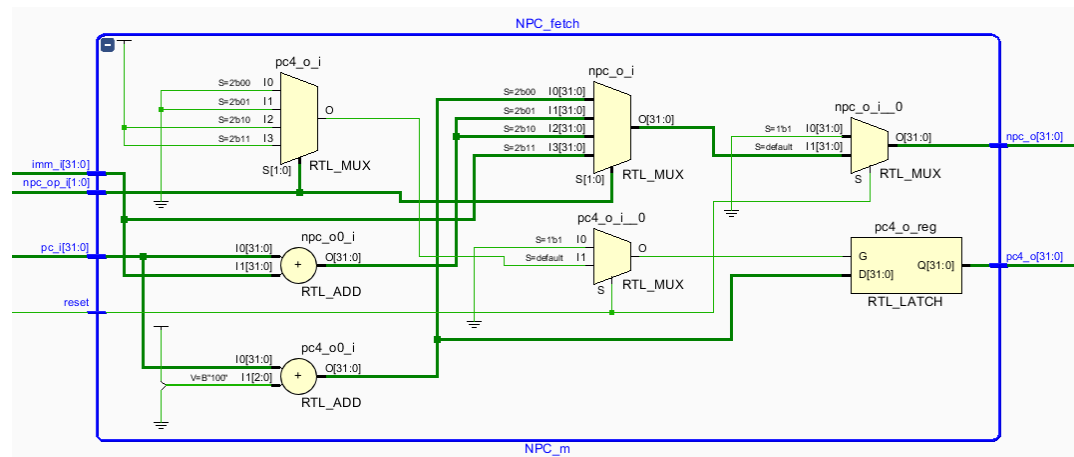
PC: 32bit 寄存器，存储着当前指令的地址



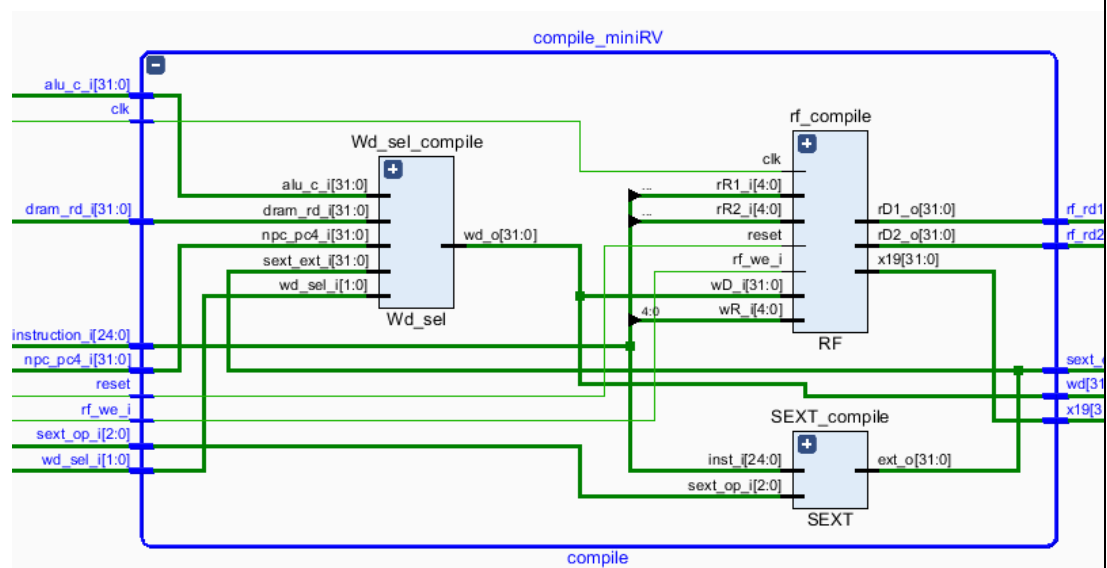
IMM_sel: 控制 NPC 立即数的输入



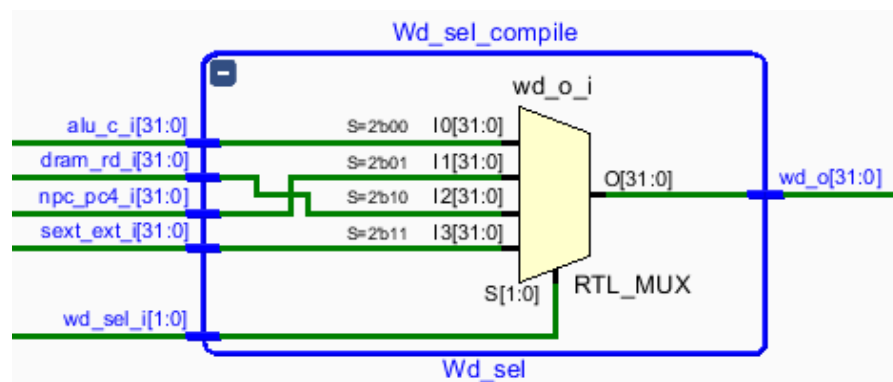
NPC: 根据输入判断所需送出的 npc_o 和 pc4_o



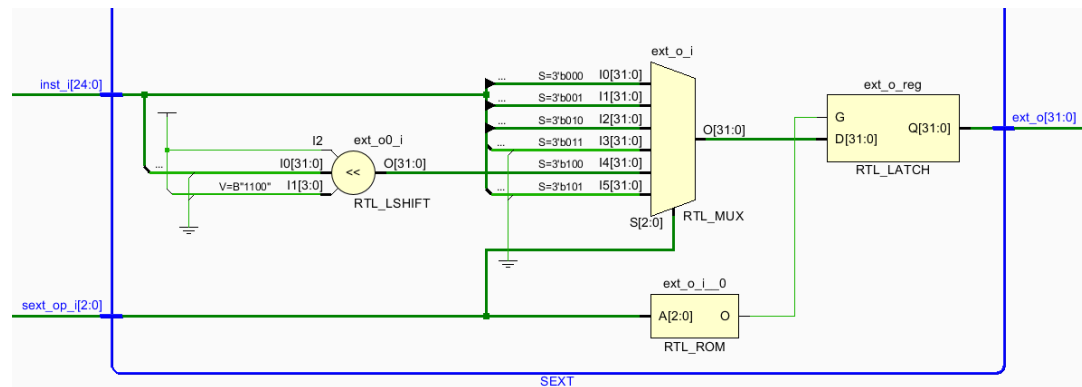
译码模块：将得出的指令（IROM 和 ID 传过来）解析成该完成的操作 输出交给存储器和执行模块



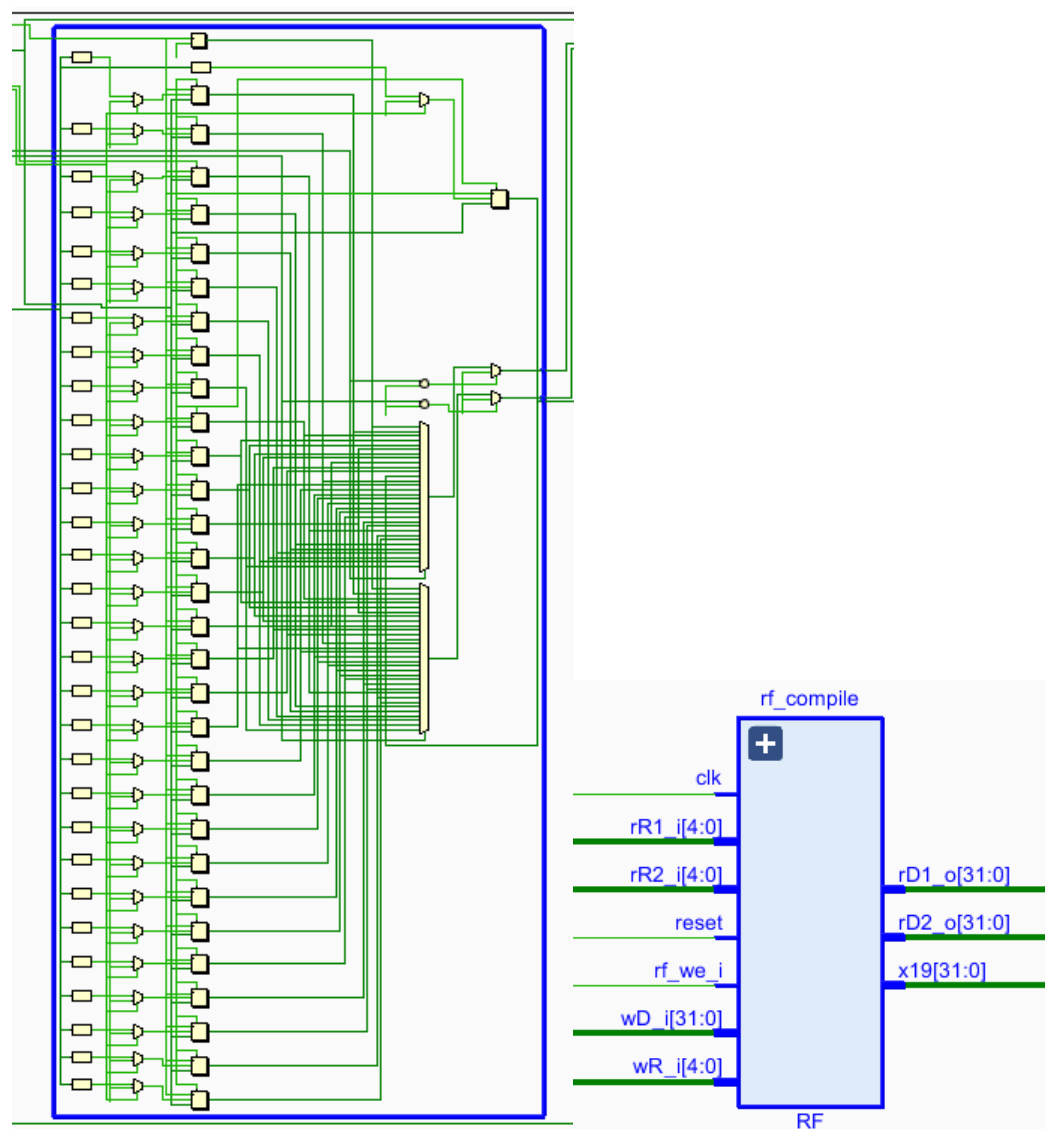
Wd_sel: 对该输出的 wd 进行控制（选择器）



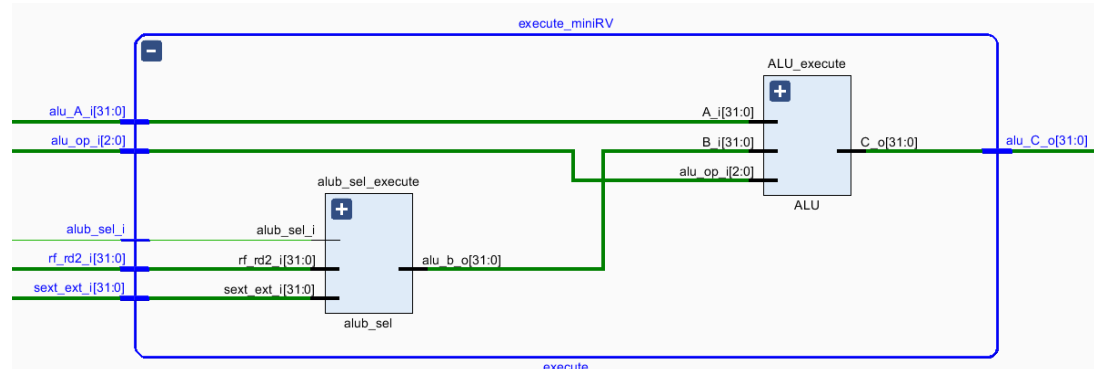
SEXT: 立即数扩展



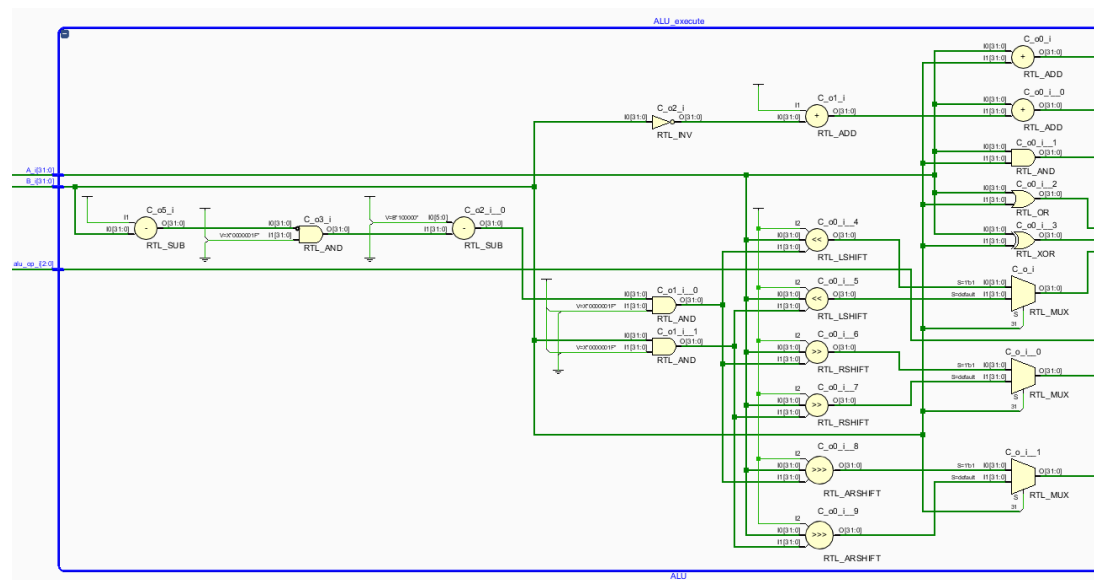
RF: 译码单元核心（32 个 32 位的寄存器选择）



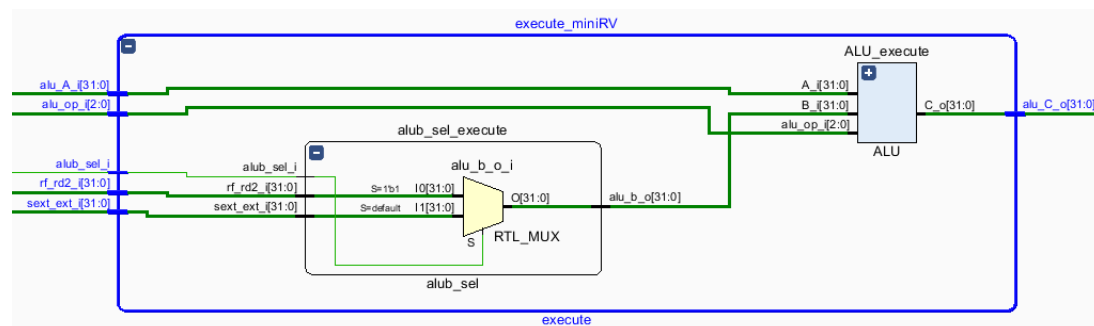
执行模块:



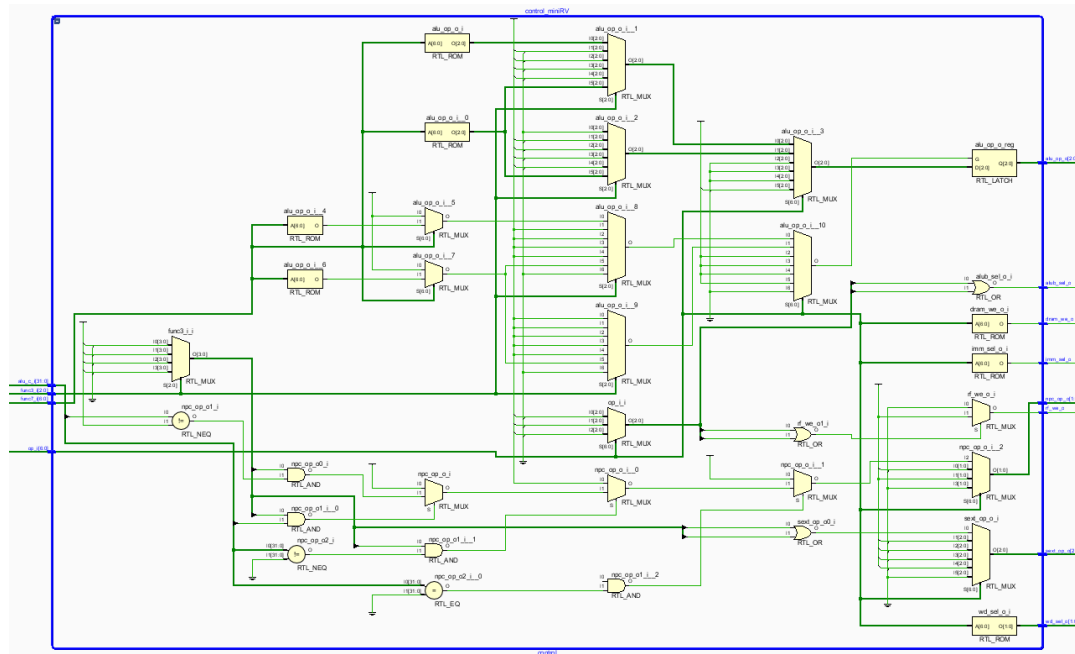
ALU: 对输入的数据进行逻辑运算并输出结果



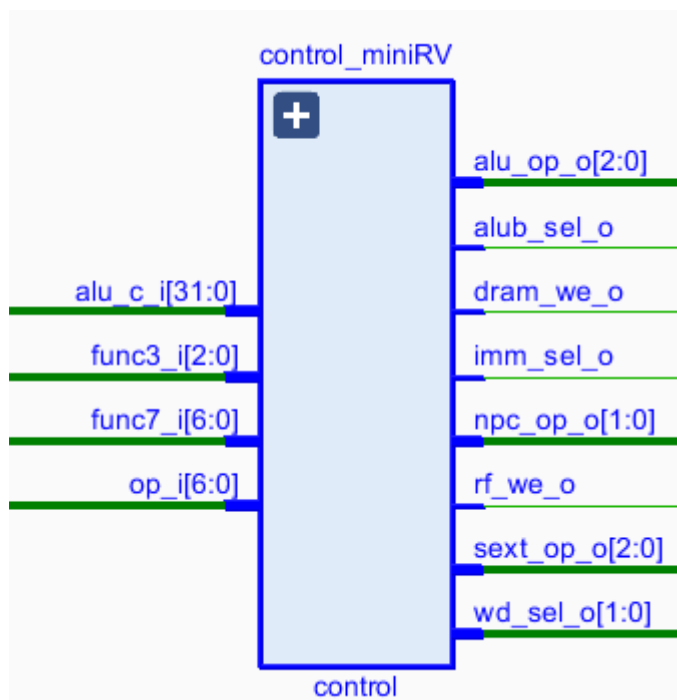
alub_sel: 对输入 ALU 的 B_i 进行选择



控制模块:

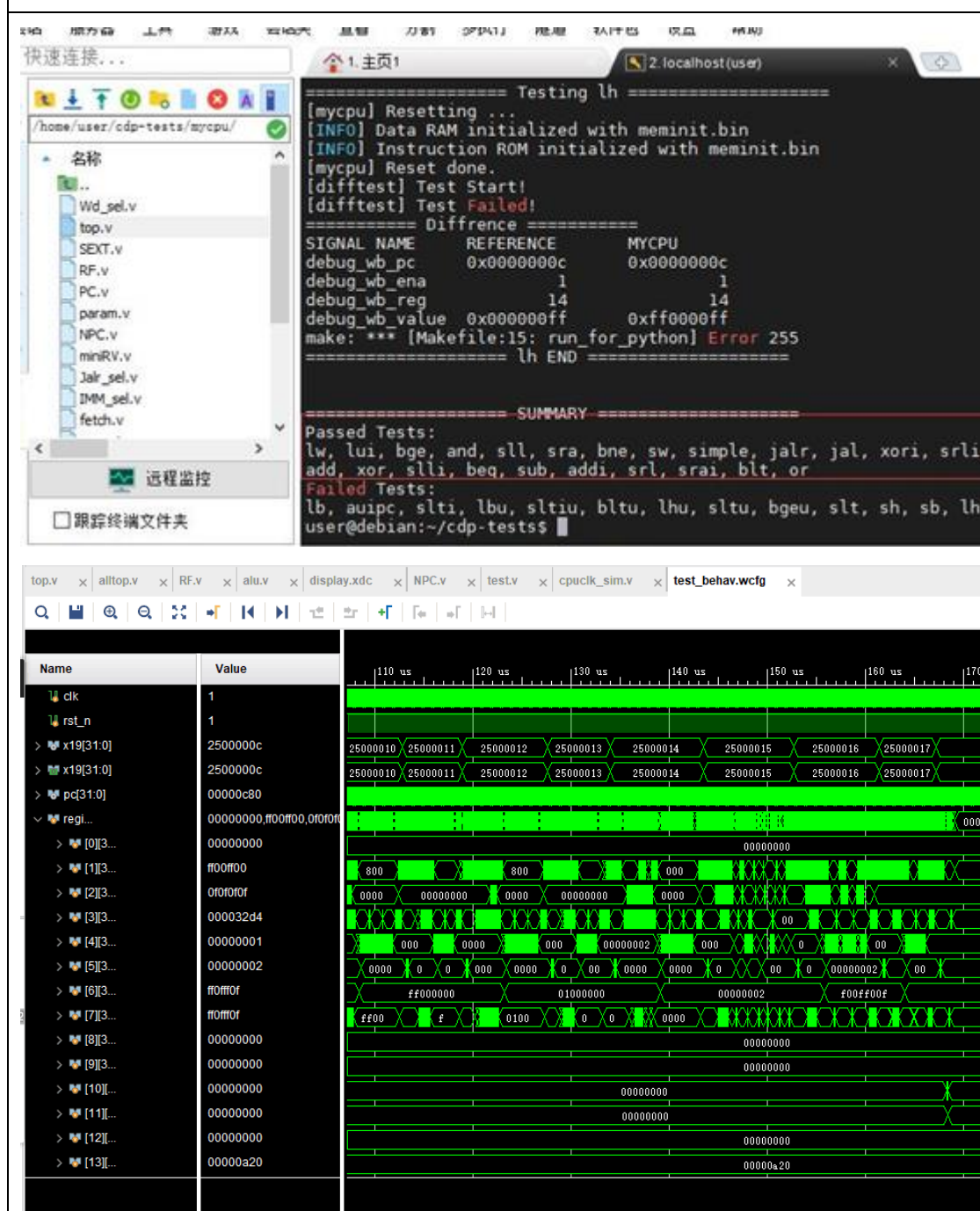


输入输出:



1.3 单周期 CPU 仿真及结果分析

(要求: 包含逻辑运算指令、访存指令、跳转指令的仿真截图, 以及结果分析)



Trace 测试目标 24 条指令全部通过，符合通过的标准。

下板的仿真结果 x_{19} 为 25000018, 全部测试通过而且下板能够实现理想预期效果。