DDR3 基础知识

1、DDR3 全称第三代双倍速率同步动态随机存储器。

特点：①掉电无法保存数据，需要周期性的刷新。②时钟上升沿和下降沿都会传输数据。③突发传输，突发长度 Burst Length 一般为 8。

2、DDR3 的存储：bank、行地址和列地址

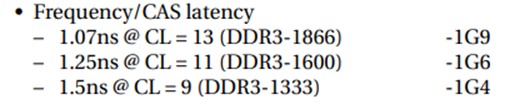
数据怎么存入到 DDR3：先指定一个 Bank 地址，再指定行地址，最后指定列地址。

DDR3 容量计算：bank 数量 × 行数量 ×列数量 × 存储单元容量。

比如 bank address 位宽为 3，Row address 位宽为 14，Column address 为 10，则容量为：2^3 × 2^14 × 2^12 × 16bit

3、DDR3 命名

以镁光公司的 DDR3 为例子：MT16KTF1G64HZ –1G6 8G



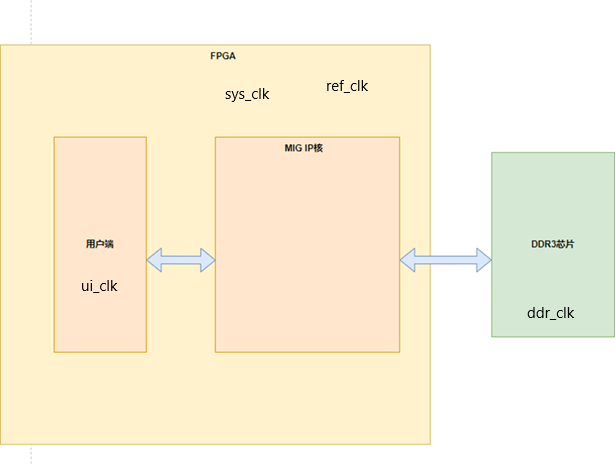
从 DDR3 的命名，我们可以得出几点有用的信息：

① DDR3 传输数据端口的位宽 64

② DDR3 支持的最大的时钟频率 800M（MIG ip里只能选到667M？）

③ DDR3 传输数据的带宽 频率乘以位宽

2.时钟



1、时钟类别

系统时钟：MIG IP 核工作时钟，一般命名为 sys\_clk。

参考时钟：MIG IP 的参考时钟，必须为 200M，命名为 ref\_clk

DDR3 芯片工作的时钟：FPGA中MIG IP核输出来给DDR3使用

用户端时钟：MIG IP 核输出给用户端的时钟，命名为 ui\_clk

2.时钟关系

DDR3 芯片工作的时钟与用户端时钟有一个比例关系：

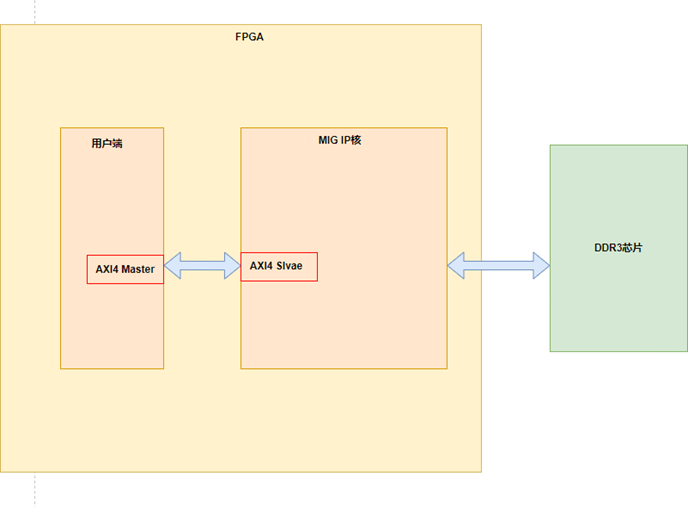
DDR3 芯片工作的频率：用户端时钟频率= 4:1 / 2:1，当 DDR3 芯片工作的时钟为 800M 时候，比例只能为 4:1

MIG IP核配置

参考师兄师姐的文档

关键点：DDR型号、时钟频率、比例、类型、数据位宽、管脚

用户端接口又native和axi两种接口，选择axi接口



1. DDR型号
2. 时钟频率：

根据师兄文档，系统时钟建议输入200Mhz（mig 核的系统时钟），后面参考时钟可以直接使用系统时钟。（系统时钟输入400M报错，实现不了）

Sys\_clk = 200M ,ref\_clk = 200M，clk\_ddr = 400M，ui\_clk=100M，比例4：1

1. 时钟类型

系统时钟由内部时钟产生，比如经过 PLL/MMCM 后产生的 200M 时钟，选择 No buffer。

系统时钟由 FPGA 外部晶振产生，输入到 FPGA 的管脚，再输入到 MIG IP核，选择 Single-Ended（单端） 或者 Differential（差分）。外部晶振产生的时钟为单端时钟，选择 Single-Ended；外部晶振产生的时钟为差分时钟，选择 Differential；

No Buffer 含义：

No Buffer 就是 MIG IP 核内部没有例化 IBUF 原语，IBUF原语相当于进行一个缓冲，让时钟更稳定，PLL/MMCM ip核自带了，所以MIG ip核输出给DDR的时钟就不用加了，选择nobuffer

1. axi最大带宽

①FPGA 写入数据到 DDR3 芯片的带宽为：

400M × 2 × 64bit

②用户端写入数据到 MIG IP 核的带宽为：

100M ×用户端数据位宽

因为 400M × 2 × 64bit = 100M ×用户端数据位宽，所以用户端axi最大数据位宽为 512bit

1. 绑定管脚可以手敲，也可以导入ucf/xdc文件
2. 用户端时序

参考之前的axi\_example文件，以及官方MIG文档UG586

1. 仿真

仿真直接用MIG ip核和自己的设计仿真仿真不出来，DDR3 初始化信号 init\_calib\_complete 会一直拉不高。MIG ip核生成后可以生成一个官方示例项目，里面有一个 ddr3\_model.sv 的文件，ddr3\_model.sv 的作用就是模拟 DDR3 物理芯片，可以仿真（没试过）

1. 上板验证结果

可以运行，写的数据和地址是对的，读比写慢很多，写满8G可能会有问题，不写满可以