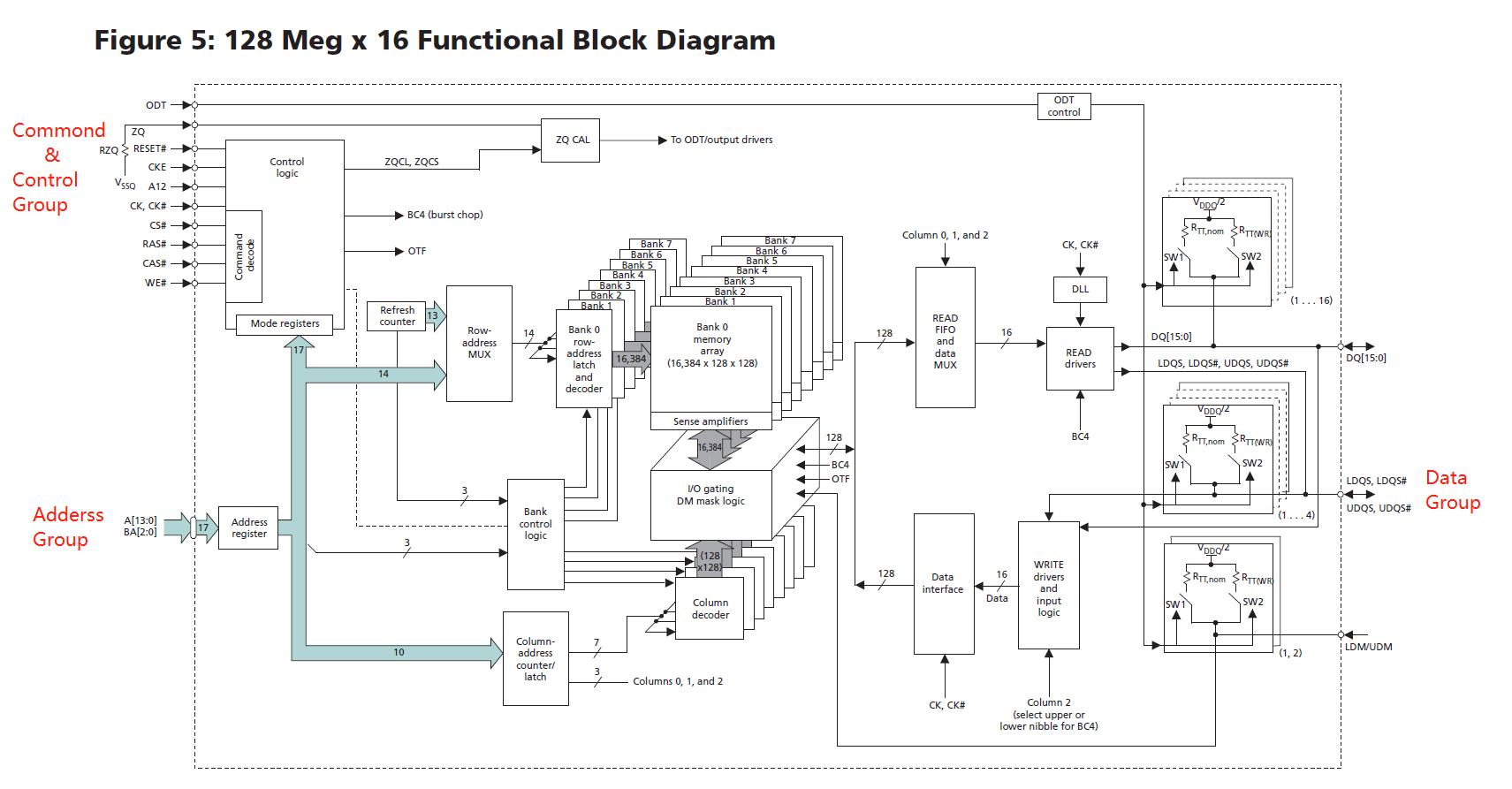
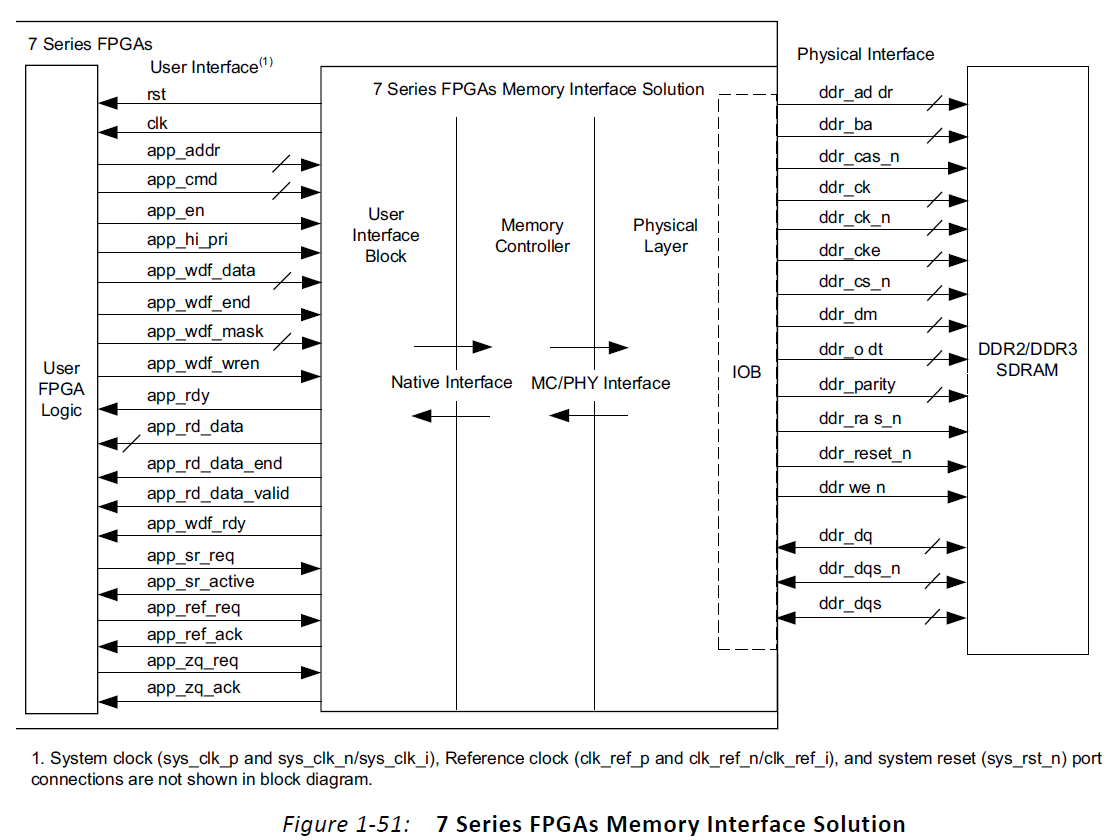
## Mig 7 Series核心架构

### MT41J128M16 – 16 Meg x 16 x 8 Banks



### Mig7接口框架



Memory Controller（MC）的前端向UI块提供用户接口，允许用户进行读写请求，并提供将数据从UI块移动到外部存储器设备的机制；MC后端连接到物理端口，并处理该模块的所有接口请求。内存控制器还提供重新排序功能（Reorder）来重新排序接收的请求，以优化数据吞吐量和延迟。

### 2.1 Physical Layer

|  |  |  |
| --- | --- | --- |
| 物理接口 | | |
| 信号名称 | 方向 | 简介 |
| ddr3\_dq | In/Out | 低8位和高8位数据信号线，共16位数据信号线 |
| ddr3\_dqs\_n  ddr3\_dqs\_p | In/Out | 数据选通信号，输出读取的数据，输入写入的数据 |
| ddr3\_addr[13:0] | Input | 地址选择信号  A13 A12/BC# A11 A10/AP A[9:0] |
| ddr3\_ba[2:0] | Input | Bank地址选择，定义在load mode期间加载哪种模式寄存器  (MR0 MR1 MR2 MR3)  ACTIVE READ WRITE PRECHARGE |
| ddr3\_ras\_n | Input | 输入的命令 |
| ddr3\_cas\_n |
| ddr3\_we\_n |
| ddr3\_reset\_n | Input | DDR复位信号，低电平有效。正常操作过程中，保持高电平 |
| ddr3\_ck\_p  ddr3\_ck\_n | Input | 差分时钟信号，由DDR Controller输出。所有控制和地址输入信号在CK上升沿和CK#的下降沿交叉处被采样,输出数据选通(DQs,DQS#)参考与CK和CK#的交叉点 |
| ddr3\_cke | Input | 时钟信号使能。CKE为高电平时，启动内部时钟信号、设备输入缓冲以及输出驱动单元。CKE低电平时则关闭上述单元，进入低功耗模式 |
| ddr3\_cs\_n |  | DDR芯片使能，用于多个RANK时的RANK组选择 |
| ddr3\_dm | In/Out | 数据掩码 |
| ddr3\_odt | Input | ODT使能(高)和禁止(低)片内终端电阻，在常操作使能时,ODT仅对下面的引脚有效:DQ[7：0]、DQS、DQS#和DM。如果通过LOADMODE命令禁止,ODT输入被忽略。ODT的参考值是VREFCA引脚。 |
| LDM | Input | 写入数据的低字节输入掩码信号。当LDM在写入访问期间与输入数据一起被采样为高电平时，低字节输入数据被屏蔽。 |
| UDM | Input | 写入数据的高位字节输入掩码信号。当UDM在WRITE访问期间与输入数据一起被采样为HIGH时，高位字节输入数据被屏蔽。 |

### 2.2 User Interface

|  |  |  |
| --- | --- | --- |
| 用户接口 | | |
| 信号名称 | 方向 | 简介 |
| app\_addr | Input | 地址总线， UI聚合外部SDRAM的所有地址字段，并提供平面地址空间（Rank,bank,row,colum）；读写地址总线复用。  根据突发长度BL=8，所以地址每次+8； |
| app\_cmd | Input | 当前请求的命令，3’b000：写命令，3’b001：读命令 |
| app\_en | Input | app\_addr / app\_cmd / app\_sz / app\_hi\_pr输入的高选通，和app\_rdy握手 |
| app\_rdy | Output | 表示UI已准备好，app\_en=1时，若app\_rdy=0，则需重试当前app\_cmd和app\_addr直至app\_rdy=1 |
| app\_hi\_pri | Input | 拉高时提高当前请求的优先级 |
| app\_rd\_data |  | 读取指令后的数据输出 |
| app\_rd\_data\_end | Output | 拉高时表示当前clk是app\_rd\_data[]上输出数据的最后一个周期，仅当app\_rd\_data\_valid置1时此选项才有效 |
| app\_rd\_data\_valid | Output | 指示app\_rd\_data[]是否有效 |
| app\_sz | Input | 此输入是保留输入，应绑定到0 |
| app\_wdf\_data | Input | 为写入指令提供数据 |
| app\_wdf\_end | Input | 拉高时表示当前clk是app\_wdf\_data[]上写入数据的最后一个周期 |
| app\_wdf\_mask | Input | 指示app\_wdf\_data[]的哪些字节被写入外部存储器，哪些字节保持在其当前状态。通过将值1设置为app\_wdf\_mask中的相应位来屏蔽字节。1：屏蔽数据 0：有效数据；每1bit对应一个输入数据字节 |
| app\_wdf\_rdy | Output | 指示写入数据FIFO已准备好接收数据。当app\_wdf\_rdy=1’b1 && app\_wdf\_wren=1’b1时，接受写入数据 |
| app\_wdf\_wren | Input | 对app\_wdf\_data[]动作高选通 |
| app\_correct\_en\_i | Input | 当被断言时，该激活的高电平信号纠正单位数据错误。此输入仅在GUI中启用ECC时有效。  在示例设计中，该信号始终与1相关。 |
| app\_sr\_req | Input | 保留输入，绑定到0 |
| app\_sr\_active | Output | 保留输出 |
| app\_ref\_req | Input | 拉高时，请求向DRAM发出刷新命令，一般置零 |
| app\_ref\_ack | Output | 拉高时代表Memory Controller已将请求的刷新命令发送到PHY接口 |
| app\_zq\_req | Input | 拉高时，请求向DRAM发出ZQ校准命令，一般置零 |
| app\_zq\_ack | Output | 拉高时代表Memory Controller已将请求的ZQ校准命令发送到PHY接口 |
| ui\_clk | Output | 必须是DRAM clock的1/2或1/4 |
| init\_calib\_complete | Output | 当校准完成时，PHY断言init\_calib\_complete |
| app\_ecc\_multiple\_err[7:0] | Output | 当启用ECC时，此信号适用，并且与app\_rd\_data\_valid一起有效。如果来自外部存储器的读取数据在读取脉冲串的每拍中具有两位错误，则app\_ecc\_multiple\_err[3:0]信号为非零。SECDED算法不校正相应的读取数据，并在该信号上设置一个非零值。 |
| ui\_clk\_sync\_rst | Output | UI重置 |
| app\_ecc\_single\_err[7:0] | Output | 此信号在启用ECC时适用，并且与app\_rd\_data\_vali一起有效。如果来自外部存储器的读取数据在读取脉冲串的每拍中具有单个比特误差，则app\_ecc\_single\_err信号为非零。 |

### 2.3 AXI4 Slave Interface Block

AXI4 slave interface block将AXI4事务映射到UI接口上，以此向Memory Controller提供标准总线协议接口。在Mig IP设计中，AXI4接口是可选的，两种工具之间的RTL是一致的。

AXI channel允许独立的读写事务。UI的读写命令依赖于一个简单的round-robin仲裁器来处理同时请求。Address read / Address write模块负责将AXI4的 burst / wrap请求分割成四个或八个较小的内存大小突发长度，并将较小的突发长度传送给读/写数据模块，以便它们能够与用户界面交互。

如果启用了ECC，所有启用了任何掩码位的写命令都将作为read-modify-write操作发出。所有未启用掩码位的写入命令都将作为write操作发出。