多模态可编程数据包解析单元

可编程数据包处理单元

可编程数据包逆解析单元

硬件功能虚拟化组件引擎与管理技术

FlexE

多队列对多模态支持

网络实验环境

算力服务平台

**可编程异构算力服务系统**

第一份整理了好久的mig核学习记录找不到了（哭死）

只能重新整理一份了：

简单来说：xilinx公司为多种存储器的读写开发了存储接口的方案MIS（memory interface solution），而MIG(memory interface generator)是解决方案中最核心的部分。通过配置mig的参数，可以为各种型号的用户端fpga芯片、各种不同条件下的内存读写提供定制化的借口。再通过例化mig模块，用户端仅需要考虑fpga与mig模块之间的接口以及接线便可以实现对内存的读写。

对mig的各项参数配置可以通过vivado软件提供的GUI图形化界面直观地进行，也可以通过直接在工程文件中加入或修改配置文件（.prj）来进行，本记录中通过阅读UG586文档，以GUI方式为例，对各项配置的参数以及底层工作原理进行扫盲。

从0开始建立空白工程之后，在IP catalog中搜索mig核并双击进入GUI配置界面。

第一个需要注意的点是：配置mig output option ：（设置输出得到的mig模块的最大最外层的框架）：mig组件的名称、模块数量、在用户端使用的接口（axi4）

第二个需要注意的点是：所谓引脚兼容性，简单来说，xilinx同一族的多种型号的芯片的封装方式和引脚排布相似，因此会有引脚兼容。但是由于不同芯片内部结构的细微区别，依然会有不相兼容的管脚。因此如果在这一步选取了和其他多个型号的芯片进行管脚兼容的话，生成的mig将只会配置满足兼容的管脚而不是全部管脚。

下面是设置mig核心控制器部分的关键参数：

第三个需要注意的点是：mig作为内存控制器，连接着用户接口和内存物理层，需要注意时钟比例（基本内容在ddr学习记录中有记录），这里需要补充的是1.mig的工作时钟频率与用户时钟似乎频率是一样的。2.一般比例有2:1和4:1两种，有各自的优缺点：2:1具有较低的延迟，而4:1的比例对于最高数据吞吐率是必要的。

第四个需要注意的点是：辅助电压vccaux\_io，这个参数的设置是基于周期和频率设置的，一般高性能下用2v，低频率下可以使用1.8v或者2v。

第五个需要注意的点是：SDRAM的内存类型（memory type）问题，类型有：内存颗粒（component）、内存条（RDIMMs、 UDIMMs、 SODIMMs）

第六个需要注意的点是：memory part 主要是挑选内存颗粒型号。

第七个需要注意的点是：data\_width，（这个不理解是用户端的数据位宽还是物理端的数据位宽）似乎是内存端的数据位宽

第八个需要注意的点是：data\_mask，Data Masking 是一种数据传输技术，它允许在内存中的数据传输过程中选择性地掩盖或屏蔽某些数据位，从而实现更灵活的数据操作。但是掩码也需要占用引脚，因此取消掩码会提高引脚效率。另外有些内存并不支持掩码，这时这个功能也将被禁用。（对于AXI设计而言，数据掩码总是被选中使用，这是因为AXI设计中支持对数据的读改写操作，即将某个位置上的数据读取后修改并写回原来的位置，这需要数据掩码的参与因为这个操作不能对其他的数据位进行修改）（另外ECC与DM之间存在冲突，因此ECC与DM不能够同时使用，而72bit数据位宽中的ECC总是被启用，因此这时不能使用DM）

第九个需要注意的点是：ECC（代表“Error-Correcting Code”，它是一种用于检测和纠正内存中数据错误的技术。内存存储中的位错误可能是由于硬件故障、电磁干扰或其他因素引起的。ECC技术能够检测这些错误，并在可能的情况下进行纠正，从而提高存储系统的可靠性）。MIG支持72bit数据位宽的ECC，（不知道为什么被disabled了）

第十个需要注意的点是number of bank machines：每个bank machine会控制一个bank，如果一个颗粒里面有8个bank，便应该对应地有8个bank machine，如果数量过少的话，会造成较低的资源利用率。

第十一个需要注意的点是：ordering参数（normal允许内存控制器对命令进行重新排序，以提高内存总线的效率；strict要求命令严格按照顺序执行）

第十二个要注意的点是内存电压的设置（用于设置与外部存储器（如DDR SDRAM）连接的内存接口的电压级别）一般要与内存芯片要求相适配

下面是mig核的用户接口部分参数设置。

第十三个要注意的点：arbitration scheme（仲裁方案）多个主机通过AXI接口去向内存要数据时需要进行优先级的仲裁，有多种仲裁方式。

下面是mig核的内存接口部分参数设置（设置DDR3内存参数选项）

第十四个要注意的点：按照颗粒手册选择时钟频率

第十五个需要注意的点：选择DDR的一些参数选项（被用户端所限制，二者互相耦合），比如读数据的突发类型和长度（RTT和Output Driver Impedance Control目前不懂）Output Driver Impdance Control：输出驱动器阻抗控制设置 DRAM 上的输出驱动器阻抗。列表的选项由所选的特定 DRAM 决定。 RZQ 为 240Ω。如果选择 RZQ/6，则输出驱动阻抗为 40Ω。这里选择 RZQ/7约为34.29Ω。ODT代表"On-Die Termination"（芯片内终端）。ODT是一种电阻网络，用于在内存总线上控制信号的终端阻抗，以优化信号完整性和减少信号反射。这对于提高DDR内存系统的性能和稳定性非常重要。

16. 当片选信号被设置为disable之后，可以节约一个引脚，从外部直接绑定引脚，而只有存在一个颗粒的情况下可以被disable掉