**MIG 7 Series配置流程**

2023年2月

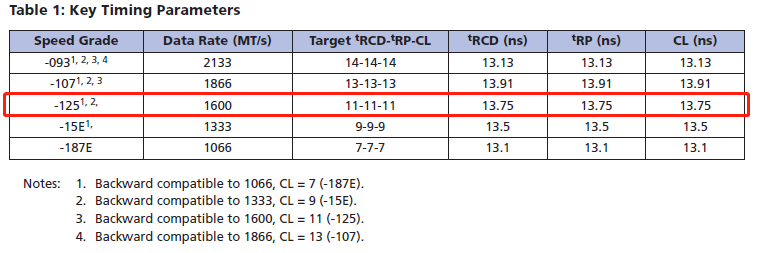
## 1. 测试环境

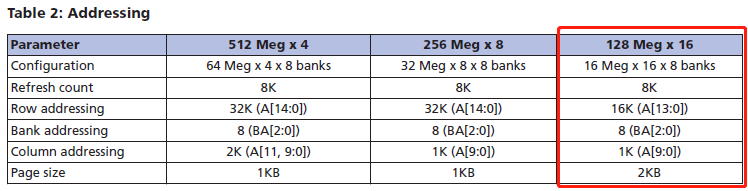
DDR3型号：MT41J128M16XX-125

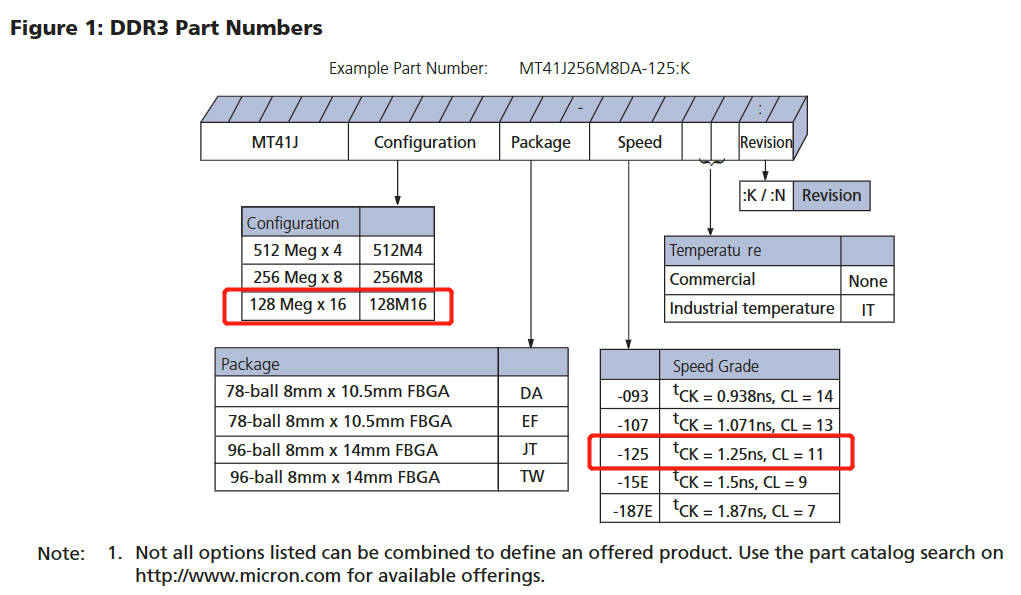
板卡型号：XC7K325TFFG900-2

Vivado：2020.2

## 2. MT41J128M16XX-125介绍





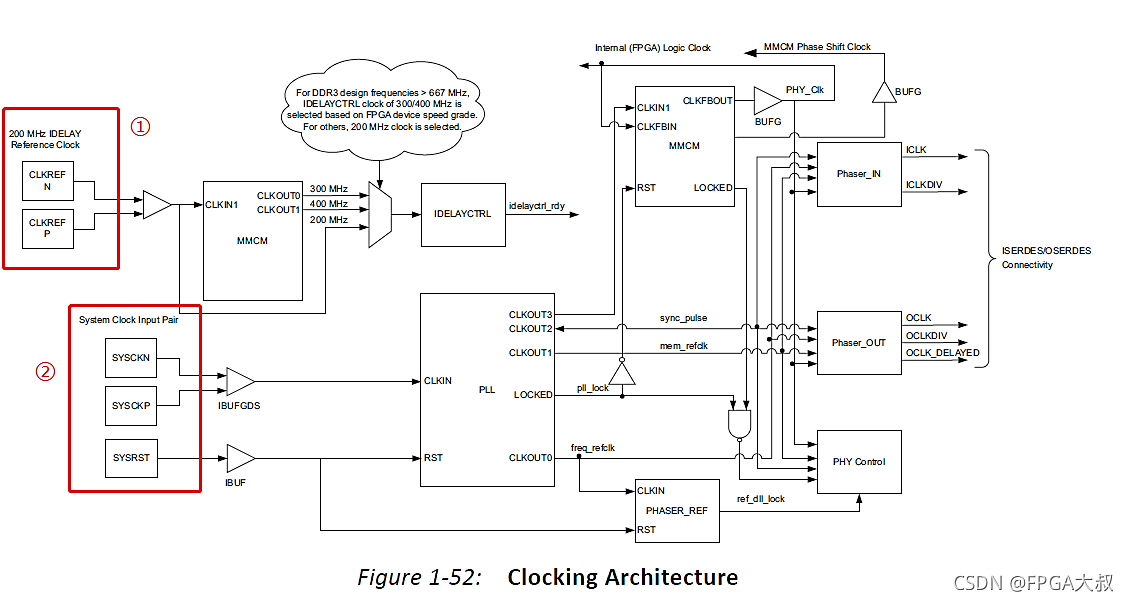


IO时钟频率：Tck=1.25ns，所以DDR3芯片支持的最大IO时钟频率：1/1.25ns = 800Mhz

位宽：128M16代表16位数据线

带宽：一根数据线的传输速率是 2\*800Mhz = 1600Mbit/s

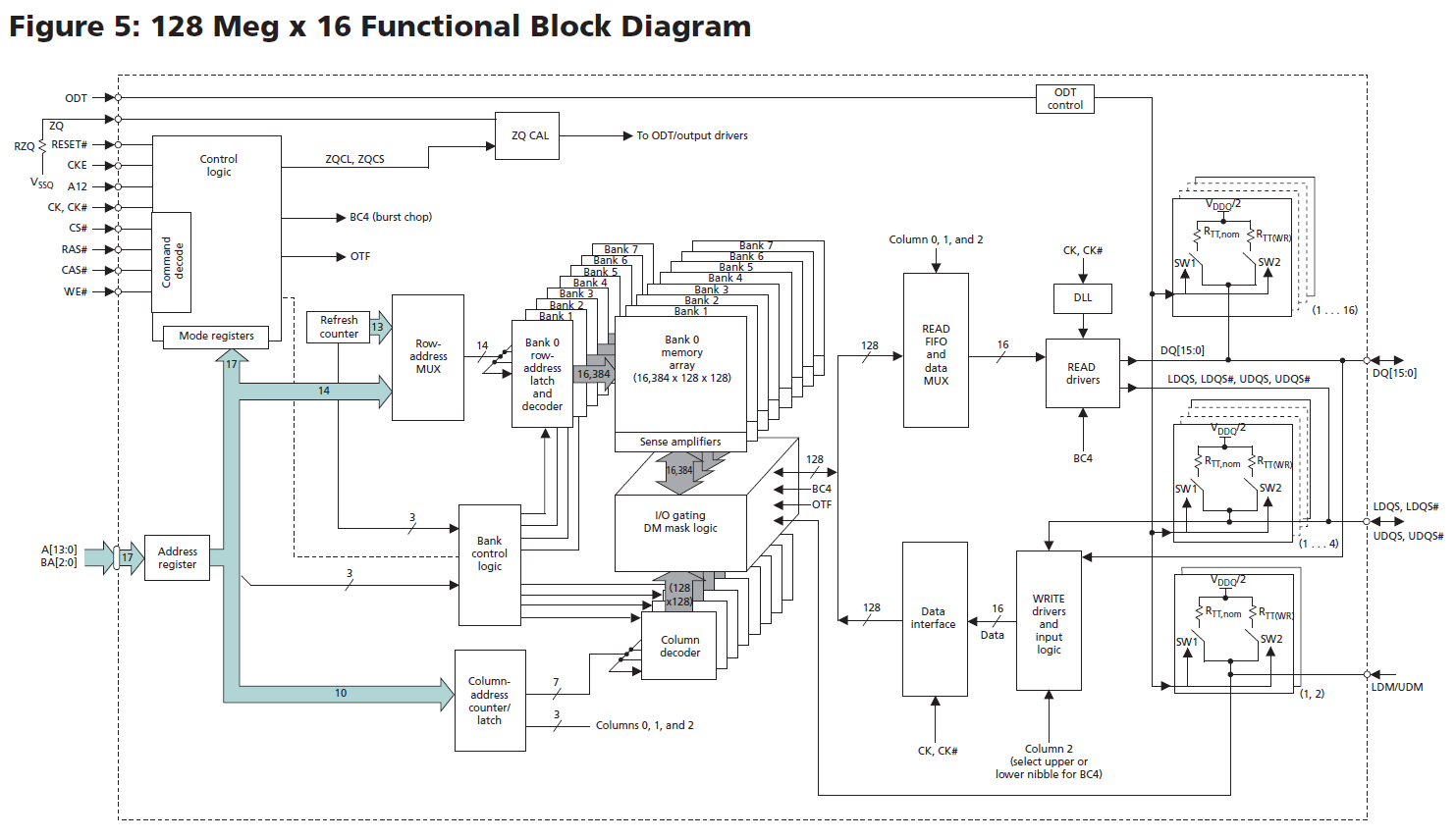
16根数据线同时传输的数据速率 = 1600Mbit/s x 16 = 25600Mbit/s = 3200Mbyte/s = 3.125GByte/s



两个时钟：

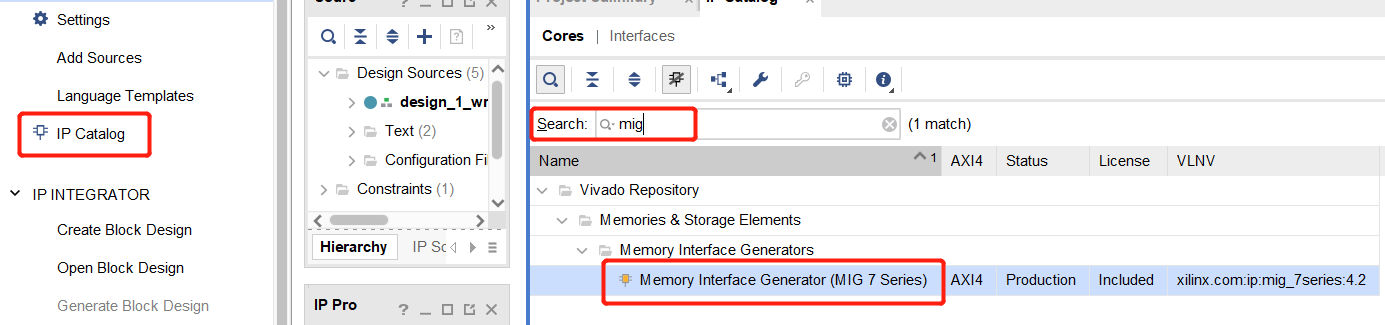
参考时钟：一般为200MHz

系统时钟：系统输入时钟

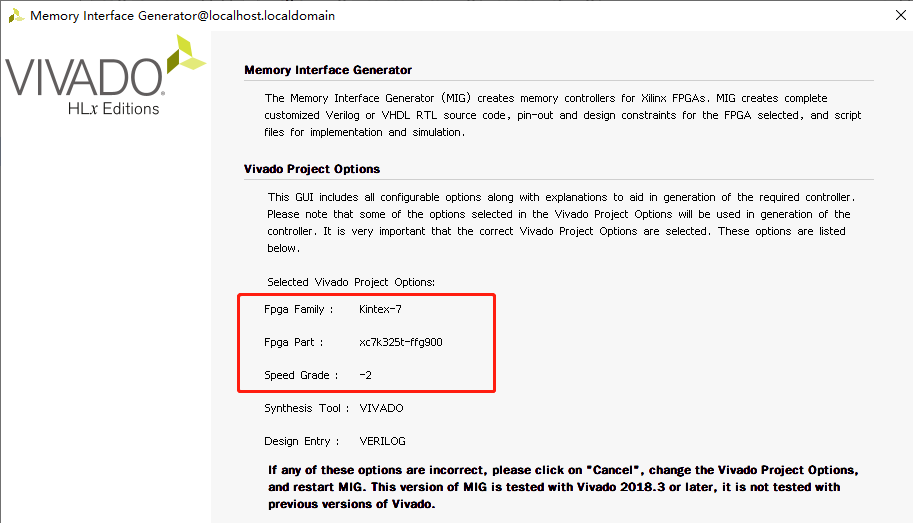


## 3. Mig IP核配置

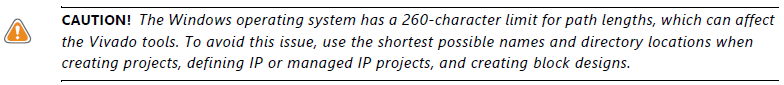
1. Vivado进入Mig配置界面



1. 确认FPGA板卡型号等



*Tip:*



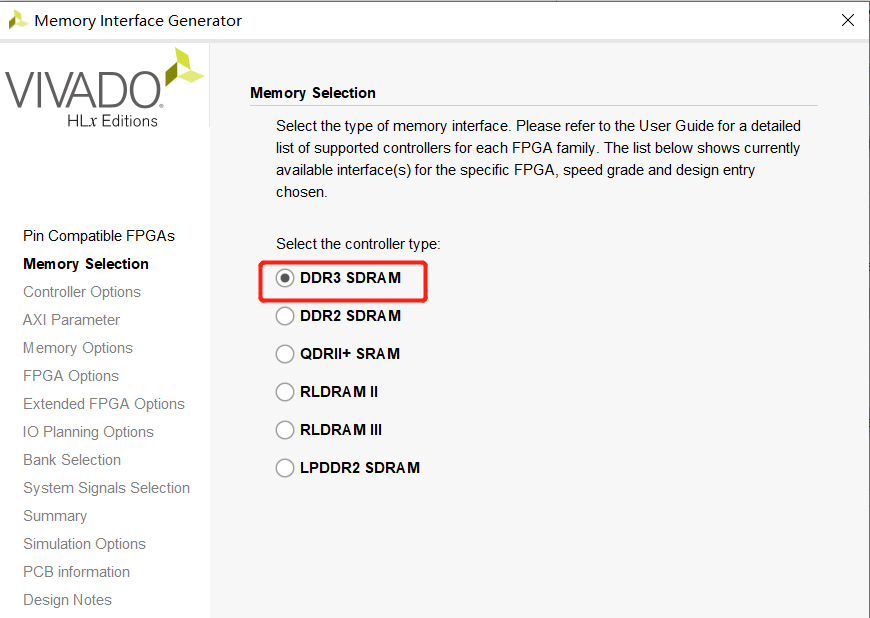
1. 创建设计



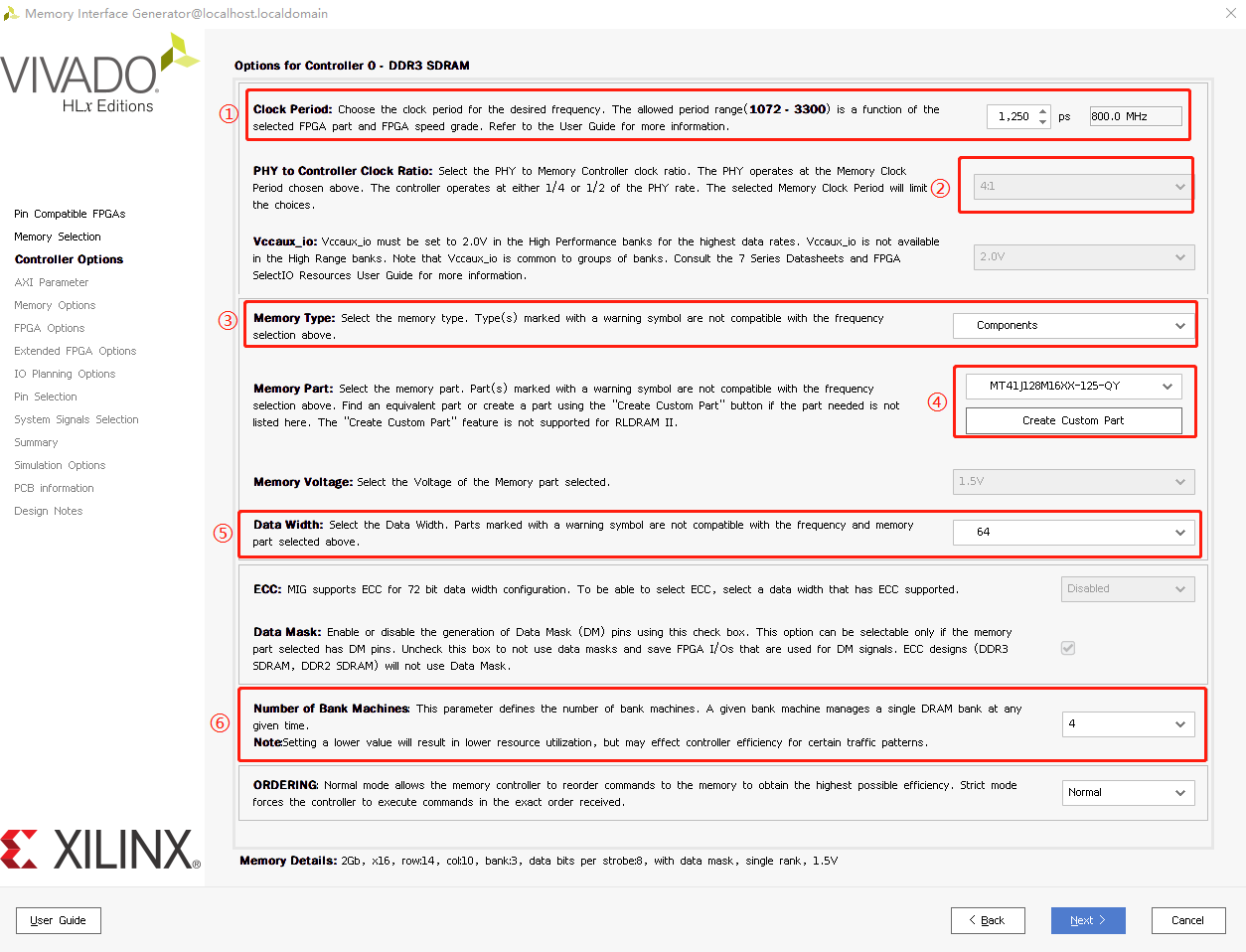
1. Component Name：Mig输出时文件夹也以此命名，不能使用特殊字符作为开头
2. DDR2和DDR3 SDRAM设计支持内存映射AXI4接口。AXI4接口仅在Verilog中实现。如果未选择AXI4界面，则用户界面（UI）是主界面。
3. 兼容器件选择



1. Pin Compatible FPGA页面列出所选系列中具有相同封装的FPGA。如果MIG工具生成的引脚需要与其他型号兼容，则勾选，选择后Mig仅会使用二者的公共引脚。使用堆叠硅互连（SSI）技术的Xilinx 7系列器件具有超逻辑区（SLR）。内存接口不能跨越SLR。如果所选设备或所选的兼容设备具有SLR，MIG工具将确保界面不会跨越SLR边界。
2. 存储器选择



1. 时钟配置，内存配置等



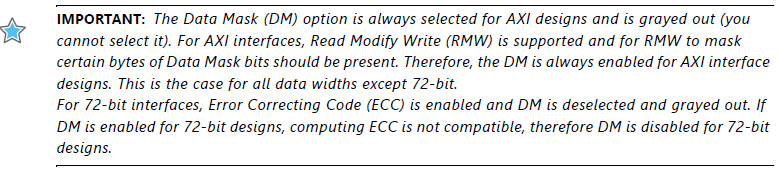
如果设计有多个控制器，则对每个控制器重复控制器选项页面。

* 1. Clock Period，指示所有控制器的工作频率，受FPGA器件及速度等级等限制。也是DDR芯片物理侧的IO时钟频率，称之为核心频率（ddr3芯片实际跑的时钟频率，开头已经算过，MT41J128M16XX-125最大运行频率为800MHz）
  2. 物理侧到控制器时钟的比例，可选4：1或2：1；决定了ui\_clk的频率；如图配置的话，ui\_clk = 800M /4 =200Mhz
  3. 选择DDR3的类型，Components指的是DDR3的型号是元件类，笔记本那种的插条类是SODIMMs
  4. 选择DDR3的型号，青翼ddr3测试需要进行自定义一部分
  5. 数据位宽，由DDR型号决定，显示所选零件的所有支持数据宽度，可以选择其中一个数据宽度。但是当FPGA挂了多片DDR时，位宽相应增加；
  6. Num of Bank Machines：一个bank Machines在一个时间内只能操作一个Bank，提高Bank Machines的数量有利于提升系统效率，但是会占用更多资源。
  7. Data Mask：数据掩码，此选项在选中时分配数据掩码引脚。应取消选择此选项以释放数据屏蔽引脚并提高引脚效率。此外，对于不支持数据掩码的内存部件，此选项将被禁用。
  8. Ordering：NORM：允许内存控制器重新排序读取命令，但不重排写入命令

RELAXED：可对命令重排序，以提高内存总线效率

STRICT：强制控制器按接收的确切顺序执行命令

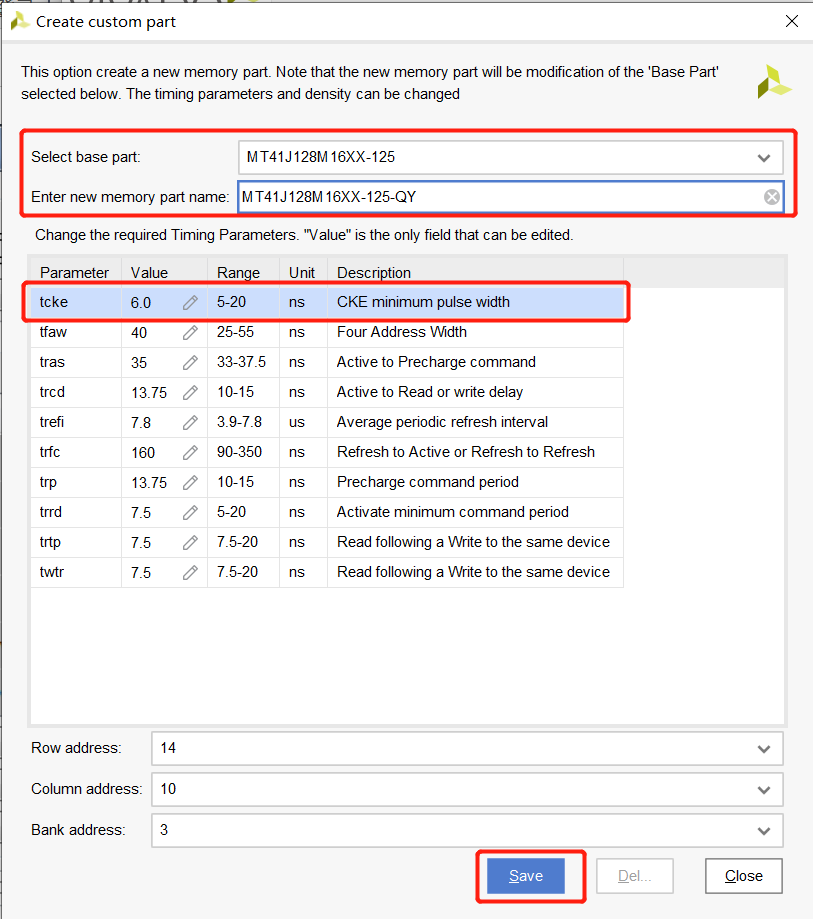
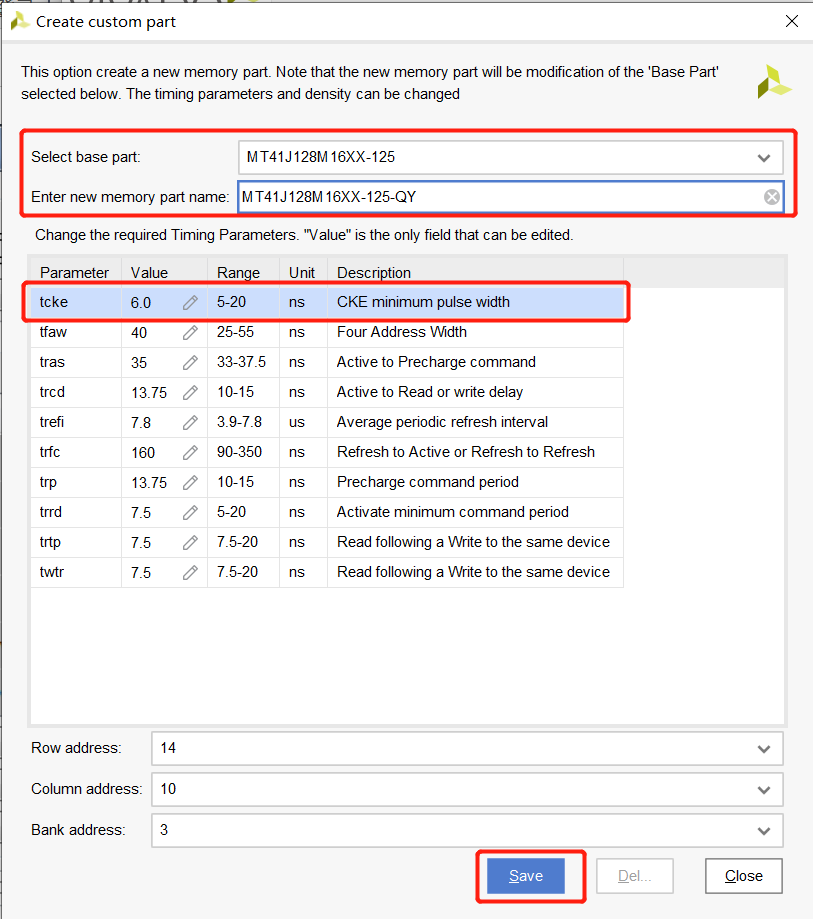
*Tip:*

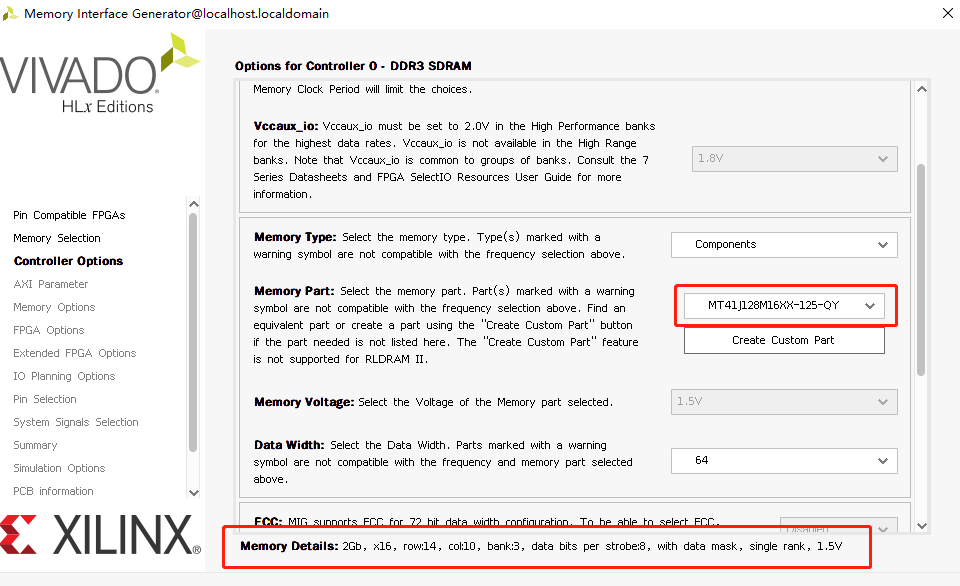


*AXI设计始终选择数据掩码（DM）选项，并显示为灰色（无法选择）。对于AXI接口，支持读-修改-写（RMW），并且对于RMW，应该存在数据掩码位的某些字节。因此，AXI接口设计始终启用DM。对于除72位之外的所有数据宽度都是这样。*

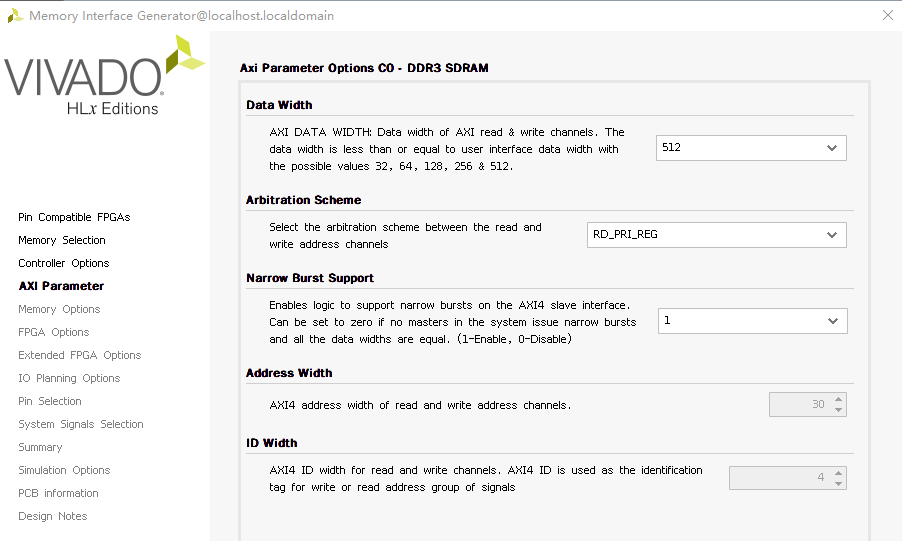
*对于72位接口，启用纠错码（ECC），取消选择DM并显示为灰色。如果为72位设计启用DM，则计算ECC不兼容，因此为72位的设计禁用DM。*

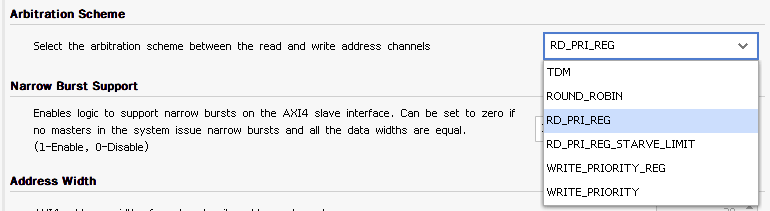
1. 创建内存的定制部分





1. AXI部分





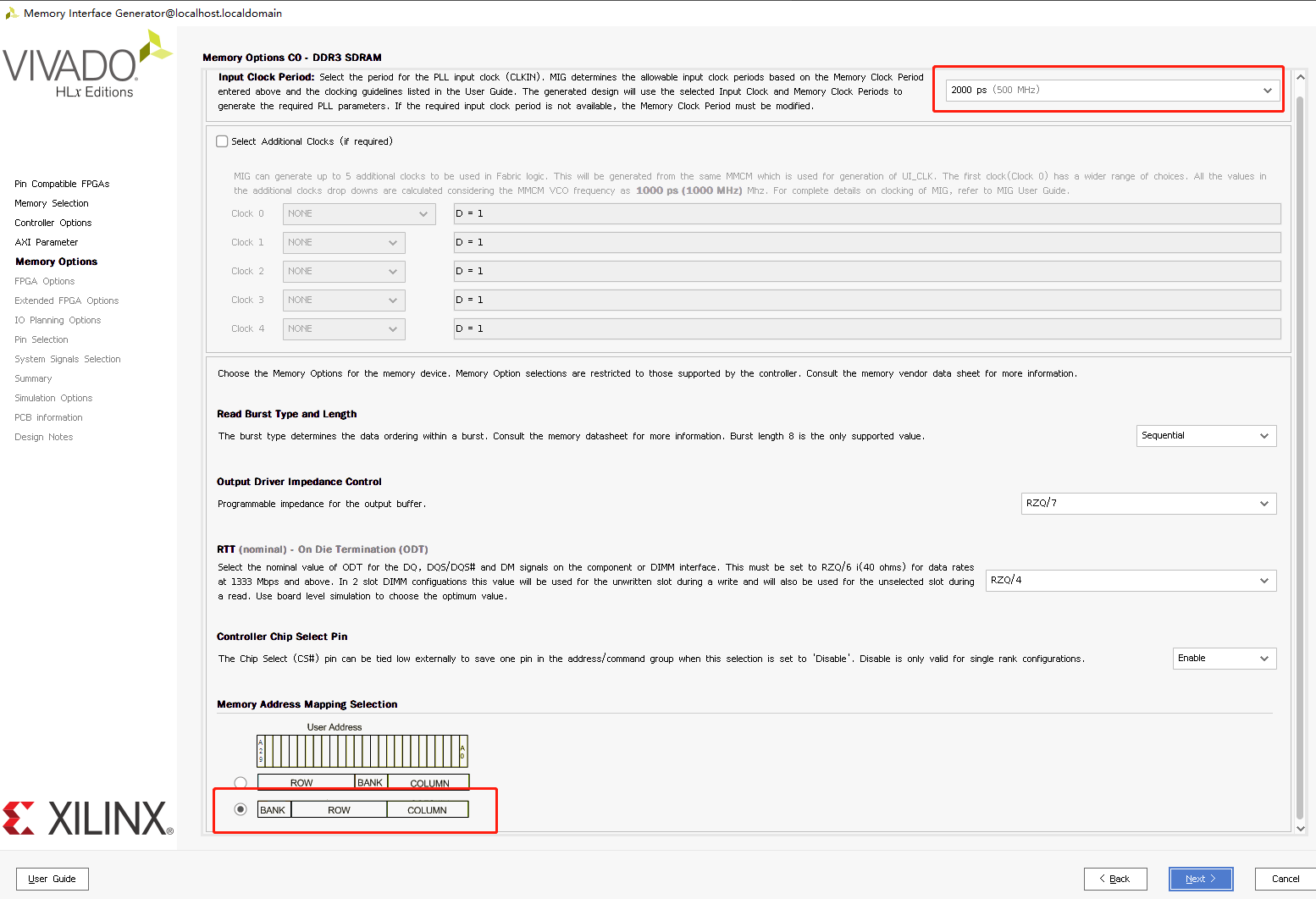
1. Axi Data Width：和前面设置的内存数据线宽（DATA WIDTH）以及用户时钟比例（PHY to Controller Clock Ratio）有关，最大值满足一下关系：

实现中，我们选择的Clock Ratio = 4:1，Data Width = 16\*4 = 64，所以Axi Data Width最大为512bit

1. Arbitration Scheme：选择读和写地址通道之间的仲裁方案
2. TDM：时分复用，读取和写入地址通道的优先级相同。总线对读取和写入地址通道的授予在每个时钟周期交替。AXI master的读取或写入请求不影响仲裁优先级。
3. ROUND\_ROBIN：轮询，读取和写入地址通道的优先级相同。总线对读取和写入通道的授予取决于 AXI master 授予的最后一次服务请求。
4. RD\_PRI\_REG：read priority，读取和写入地址通道的优先级相同。默认采用此方式。

当发生以下情况之一时，将处理来自写入地址通道的请求：

1. 没有来自读取地址通道的挂起请求
2. Read starve 限制达到 256。仅在突发结束时检查它
3. Read wait 限制达到16
4. 写QOS为非零。仅在突发结束时检查它。
5. 读取地址通道的请求以类似的方法处理。
6. RD\_PRI\_REG\_STARVE\_LIMIT：Read Priority with Starve Limit，读取地址通道始终具有优先级。当没有来自读取地址通道的挂起请求或达到 Read starve 限制时，将处理来自写入地址通道的请求。
7. WRITE\_PRIORITY\_REG、WRITE\_PRIORITY：写入地址通道始终具有优先级。当没有来自读取地址通道的挂起请求或达到 Read starve 限制时，将处理来自写入地址通道的请求。
8. Narrow Burst Support：取消选择此选项允许AXI4接口删除处理AXI窄脉冲串的逻辑，以节省资源并改善时序。XPS通常根据连接的AXI主机的已知行为，自动计算是否可以禁用窄脉冲串支持。
9. 配置系统时钟



1. Input Clock Period：系统时钟建议输入200Mhz（mig 核的系统时钟），后面参考时钟可以直接使用系统时钟。此处使用的是500MHz时钟
2. Select Additional Clocks：仅适用于AXI接口设计，允许选择从生成ui\_clk的统一MMCM生成的最多5个附加时钟
3. Read Burst Type and Length：DDR2、DDR3 SDRAM固定为BL8，突发类型有两种选择sequential（顺序突发，一次只能操作1个bank）、interleave（交错突发，可以同时打开多个bank），对应于DDR3列地址的A[3]位
4. Output Driver Impedance Control：输出驱动器阻抗控制。RZQ是240Ω，RZQ/6是40Ω
5. RRT-ODT：设置端接电阻的阻值。ODT的作用是为了吸收信号到达终端时的反射，进而增强信号的完整性。当数据速率大于1333 Mbps时，需要选择RZQ/6。
6. 设置参考时钟，复位有效



* 1. System Clock：系统时钟选择NO BUFFER

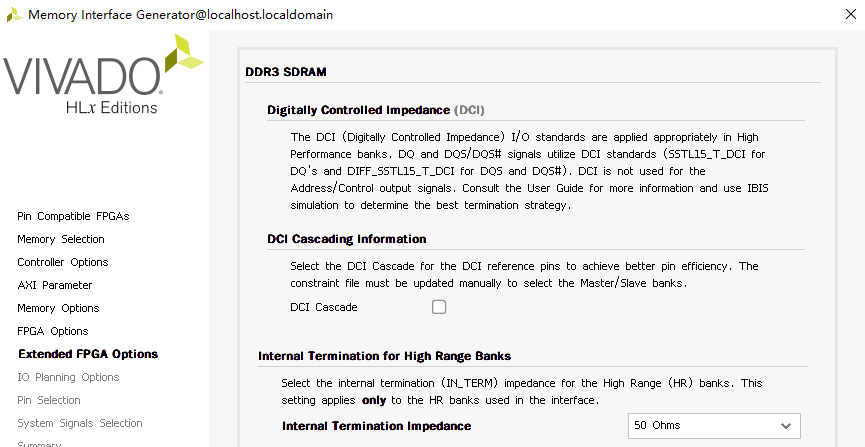
选择有：Single-Ended（单端），Differential（差分），No Buffer（时钟由FPGA内部PLL或MMCM产生）。

* 1. Reference Clock：如果系统时钟为200M，参考时钟直接使用系统时钟就好，参考时钟一般都是200Mhz！对于No Buffer情况，ref\_clk\_i信号需要连接到内部时钟。

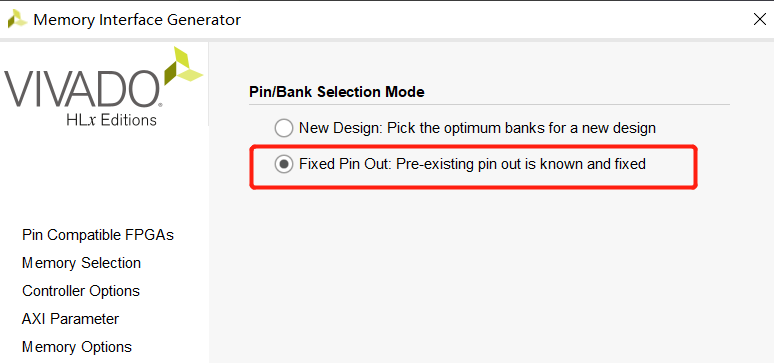
选择有：Single-Ended（单端），Differential（差分），No Buffer（时钟由FPGA内部PLL或MMCM产生），Use System Clock。

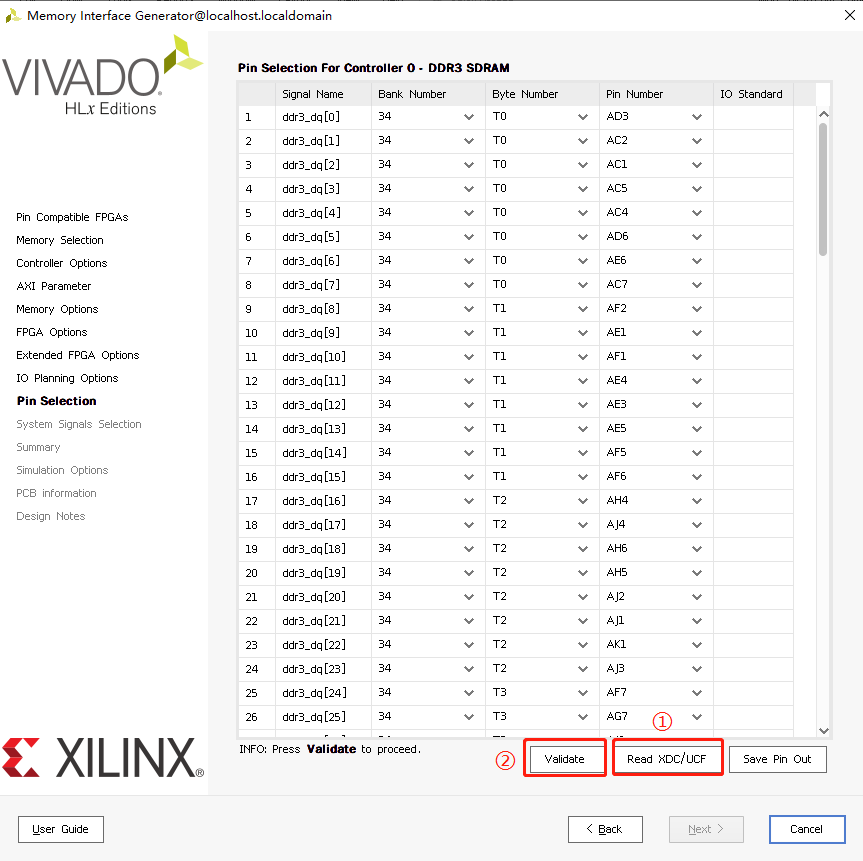
* 1. 复位是高电平有效还是低电平有效
  2. Debug Signals Control：将校准状态和信号端口映射到ILA和VIO，有助于调试和监控用户端口上的流量。此选项在Vivado IP integrator flow中不可用
  3. Sample Data Depth：调试中ILA模块的采样数据深度
  4. Internal VREF Selection：内部VREF可用于数据组字节，以允许将VREF引脚用于正常I/O用途。内部VREF只能用于800Mb/s或更低的数据速率。
  5. I/O Power Reduction：此选项通过在控制器处于空闲状态时，自动禁用DQ和DQS IBUF来降低平均I/O功率。
  6. XADC Instantiation：是否使用XADC，会输出器件的温度，如果其他模块要用XADC，那么这里就不使能。

1. 不用管直接next



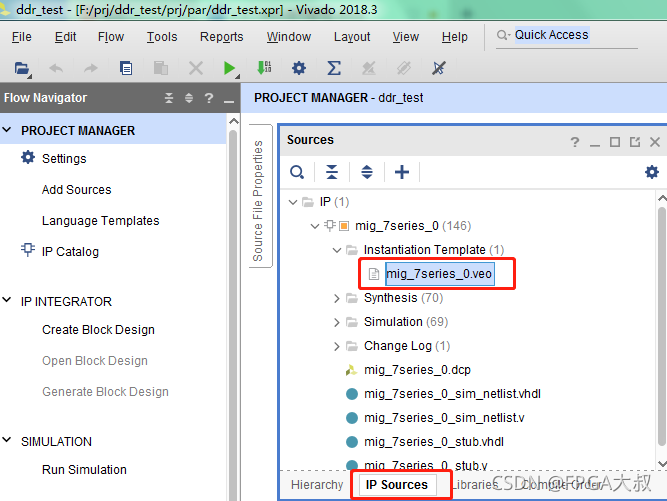
1. DCI：数字控制阻抗，允许片上内部电阻端接，必须用于DQ和DQS/DQS#信号
2. Internal Termination for High Range Banks：40、50、60Ω
3. 约束管脚

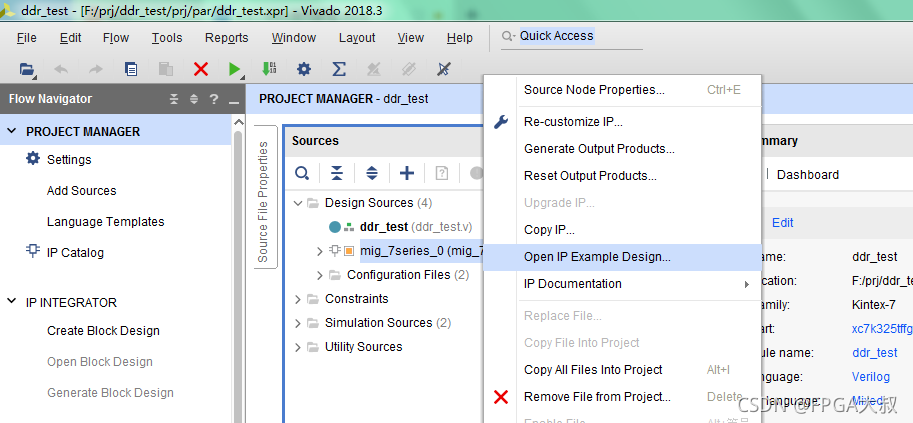


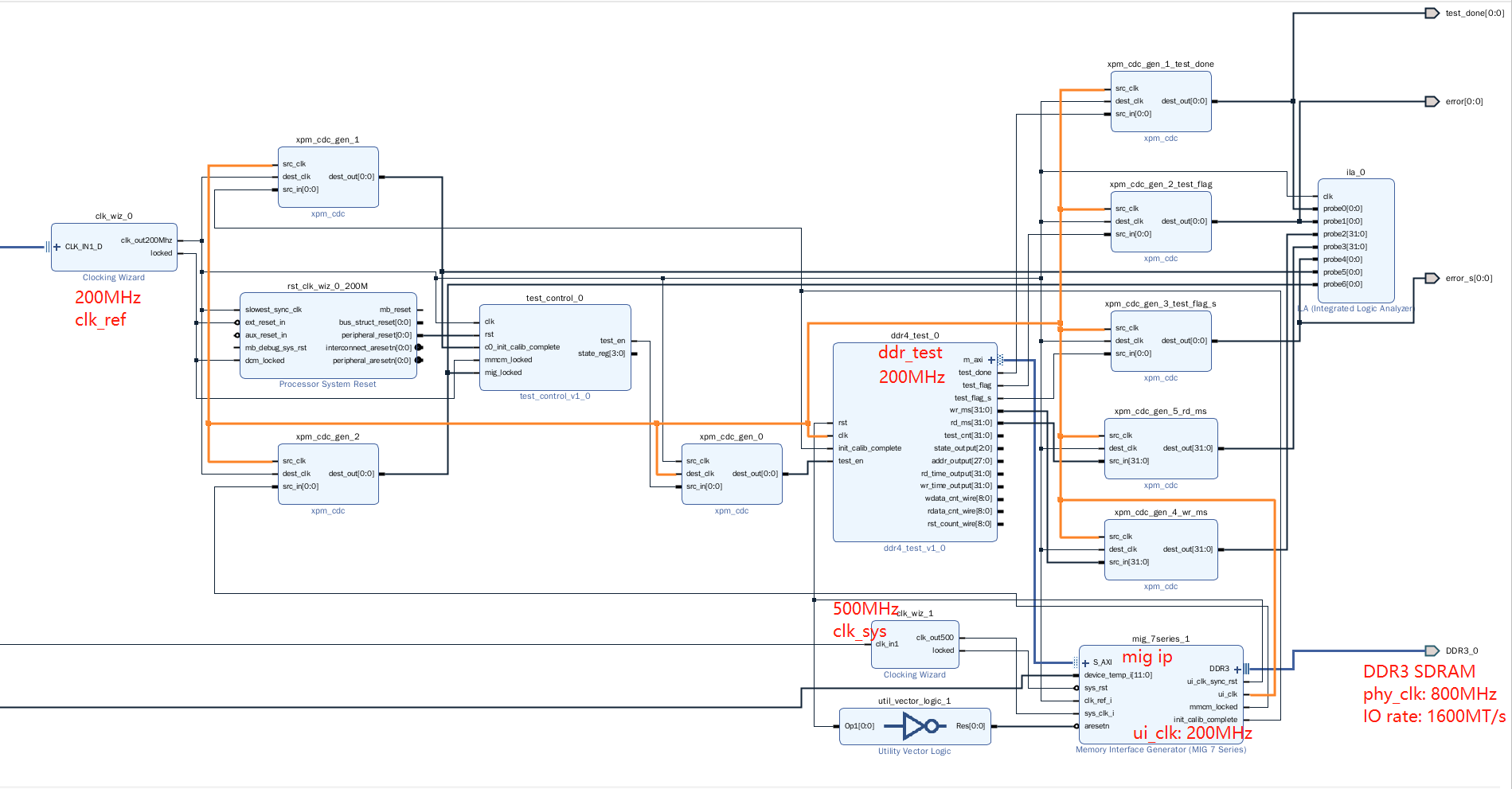


管脚约束文件：

1. 后面一直next最后就生成好，IP核生成完毕后打开veo文件查看例化文件







这里Clock Period设置的参数就是 MIG 的PHY 接口对DDR3的时钟，也就是DDR3芯片实际跑的IO时钟频率，它由system clock（主时钟）倍频而来，最大频率不能超过DDR3 和MIG支持的最大频率中的最小值

ui\_clk = 800M/4=200M ，即到时我们在写RTL逻辑代码时操作MIG核时，用的就是这个200M时钟；

phy接口时钟 核心频率

ui\_clk由核心频率比例得到

系统时钟：为mig各个始时钟提供源，通过倍频得到用户时钟和Phy时钟

参考时钟：用于Idelayctrl模块，控制fpga dq等引脚的延迟，一般为200Mhz

