计算机组成原理课程设计任务书

开发多周期处理器-MIPS-Lite1

# 课程目标

课程目标1. 能够按照题目要求设计一个简易CPU的基本逻辑,实现题目要求的系统功能；

课程目标2. 设计仿真数据并进行仿真、调试与测试；

课程目标3. 有逻辑地论述设计方案、实现及测试过程，展示设计方案，准确阐述自己的观点；

课程目标4. 能够在团队中进行交流沟通、分工协作完成设计项目。

# 设计说明

1. 处理器应支持MIPS-Lite1指令集。
   1. MIPS-Lite1＝{addu，subu，ori，lw，sw，beq，jal}。

（1）指令：无符号加addu

指令格式：addu rd,rs,rt

指令功能：rd ← rs + rt

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 000000 | rs | rt | rd | 00000 | 100001 |

（2）指令：无符号减subu

指令格式：subu rd,rs,rt

指令功能：rd ←rs - rt

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 000000 | rs | rt | rd | 00000 | 100011 |

（3）指令：或立即数ori

指令格式：ori rt,rs,imm16

指令功能：rt ← rs | （zero-extend）imm16

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 00 1101 | rs | rt | immediate | | |

（4）指令：加载字lw

指令格式：lw rt, imm16（rs）

指令功能：rt ← memory[rs + （sign-extend）imm16]

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 100011 | rs | rt | imm16 | | |

（5）指令：存储字sw

指令格式：sw rt, imm16（rs）

指令功能：memory[rs + （sign-extend）imm16] ←rt

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 101011 | rs | rt | immediate | | |

（6）指令：等于转移beq

指令格式：beq rs,rt, imm16

指令功能： if （rs == rt） PC ← PC+4 + （sign-extend）imm16<<2

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 000100 | rs | rt | immediate | | |

（7）指令：跳转并链接jal

指令格式：jal addr26

指令功能：$31<-PC+4；PC ←（PC+4）[31..28],addr26,0,0

指令编码：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 31..26 | 25..21 | 20..16 | 15..11 | 10..6 | 5..0 |
| op | rs | rt | rd | shamt | func |
| 000011 | address | | | | |

* 1. 所有运算类指令均可以不支持溢出。

1. 处理器为多周期设计。

表1. 5周期设计

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 分段通路 | 段内  平行功能 | 起始  （读寄存器） | 中间逻辑 | 结束  （写寄存器） | 依赖 |
| 读取指令 |  | PC | IM | IR |  |
| 读操作数 | 读2个寄存器 | IR | RF | A/B | 读取指令 |
| 读1个寄存器，  立即数扩展 |  |  | A（/B），EXT |
| 执行 | R-R运算 | A，B | ALU | ALUOut | 读操作数 |
| R-I运算 | A，EXT |
| 访存 | 读存储 | ALUOut | DM | DR | 执行  执行 |
| 写存储 | ALUOut，B |  | DM |
| 回写 | 存储回写 | DR |  | RF | 读存储@访存 |
| 计算回写 | ALUOut |  | RF | 执行 |

# 设计工具与设计语言

# 设计工具：ModelSim、Xilinx Vivado或QuartusII，Mars。

# 设计语言：VerilogHDL或VHDL。

# 设计要求

1. 多周期处理器设计主要包含datapath（数据通路）设计和controller（控制器）设计。控制器由状态机控制。
2. 层次及模块实例化命名必须满足下列要求：
3. 本project的顶层设计文件命名：mips
4. PC必须被实例化命名：U\_PC。
5. 指令存储器必须被实例化命名：U\_IM。
6. 数据存储器必须被实例化命名：U\_DM。
7. 寄存器文件必须被实例化命名：U\_RF。
8. 建议datapath中的每个模块都由一个独立的HDL文件组成。
9. 为使得代码更加清晰可读，可以多使用宏定义，并将宏定义组织在1个或多个头文件中。
10. PC复位后初值为0x0000\_3000，目的是与MARS的Memory Configuration相配合。现场测试用的测试程序将通过MARS产生，其配置模式如图所示。
11. 可以根据对指令的理解去构造不同的状态机。但仍然建议遵循下述原则：
12. 按类构造状态分支，而不是按指令。
13. 状态分支不宜过多。

# 测试要求

1. 所有指令都应被测试充分。
2. 可使用MARS自行构造测试程序，并进行测试。要求每条指令至少出现1次以上。

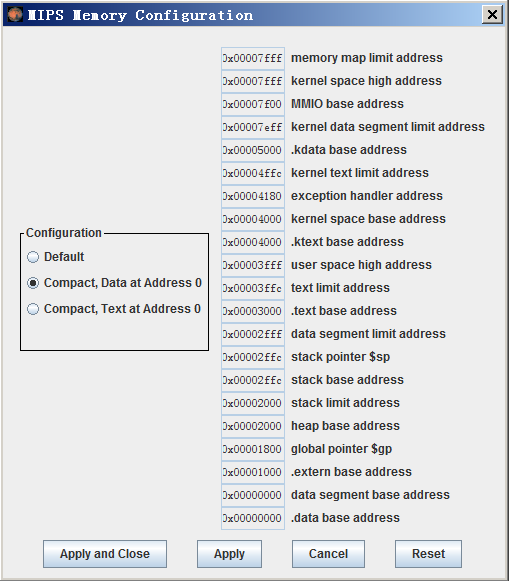


图. MARS存储配置模式（MARS memory configuration）

# 讨论

状态机设计通常没有唯一答案。状态机设计思路的主要差异在于在译码状态后，根据指令的性质设置了不同的状态分支。每位设计者的设计构思可能都不尽相同。请详细描述你的设计构思，特别是描述你为什么要这样设计状态分支。

# 成绩及实验答辩要求

1. 本课程成绩从以下几个方面综合考虑：逻辑设计、代码实现、仿真设计与模拟、运行结果、报告文档、课设答辩。总成绩按各环节成绩相加和对应的五级记分制（优、良、中、及格、不及格）记录。
2. 实验答辩时，你需要展示你的设计并证明其正确性。应简洁的描述你的验证思路，并尽可能予以直观展示。
3. 评分标准：

|  |  |  |
| --- | --- | --- |
| **考核环节** | **建议分值** | **考核/评价细则** |
| 逻辑设计  （报告） | 25 | 25分：设计正确，具有创新性  20-24分：设计简明正确  15-19分：设计可行  10-14分：设计存在一定问题  0-9分：无设计或设计不符合题目要求 |
| 运行结果  （演示） | 10 | 8-10：运行结果正确并能对运行结果进行解释  5-7：运行结果正确，能在提醒下对结果进行解释  0-4：运行结果不正确或不能对结果进行解释 |
| 代码实现  （报告） | 15 | 15分：代码完整、正确，书写规范有注释  10-14分：代码完整，错误不超过10%  5-9分：代码问题较多  0-4分：代码缺失或不符合题目要求 |
| 仿真设计  （报告） | 10 | 10分：仿真设计合理完善，测试覆盖全部情况无重复  7-9分：仿真设计比较合理完善  4-6分：仿真设计不够完善  0-3分：无仿真设计或仿真设计不符合设计 |
| 仿真模拟  （演示） | 10 | 8-10分：仿真模拟正确，操作熟练，分析合理  5-7分：仿真模拟基本正确，操作不够熟练，分析基本合理  0-4分：无法进行仿真模拟或不能进行分析 |
| 论述  （报告） | 10 | 10分：论述逻辑严谨，行文流畅  7-9分：论述比较严谨，行文较规范  4-6分：论述、行文不够严谨  0-3分：缺少论述或论述、行文杂乱 |
| 回应质疑  （答辩） | 10 | 8-10分：能够正确回答问题，思路清晰，表述有逻辑有条理  5-7分：基本能正确回答问题，能够表达自己的思路和观点  0-4分：没参加答疑、无法回应质疑，或在提示下回答问题 |
| 团队合作  （平时） | 10 | 8-10：积极进行讨论交流，促进团队协作完成项目  5-7：能够参与讨论，缺少贡献性观点  0-4：不参与讨论或经常缺席 |

# 其他要求

1. 打包文件：HDL工程文件、code.txt、code.txt所对应的汇编程序、项目报告。
2. 时间要求：18-20周。
3. 实验报告按照《计算机组成原理课设报告模板.doc》要求排版。