

第六章 时序逻辑电路（二）

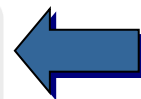
主讲教师：何云峰



提 纲

1

异步时序逻辑电路概述



2

脉冲异步时序逻辑电路分析

3

脉冲异步时序逻辑电路设计

4

电平异步时序逻辑电路分析

异步时序逻辑电路概述

□ 特点

- 电路中没有统一的同步时钟脉冲信号，电路状态的改变是外部输入信号变化直接作用的结果
- 电路的记忆功能可以由触发器实现，也可以由延时加反馈实现
- 无论输入信号是脉冲信号还是电平信号，对其变化均有一定约束

异步时序逻辑电路概述

□ 分类

– 根据电路结构和输入信号形式分类

分为两类：

- 脉冲异步时序逻辑电路
- 电平异步时序逻辑电路

– 根据电路输出与输入的关系分类

分为两种模型：

- Mealy型
- Moore型

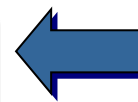
提 纲

1

异步时序逻辑电路概述

2

脉冲异步时序逻辑电路分析



3

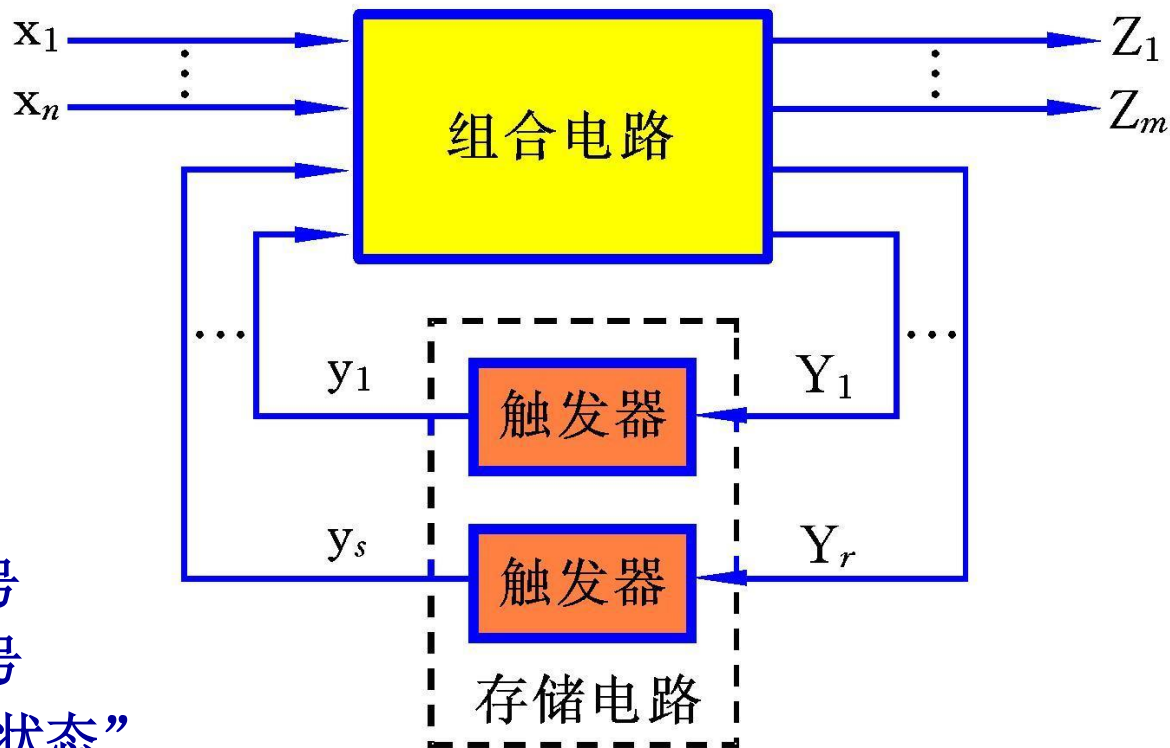
脉冲异步时序逻辑电路设计

4

电平异步时序逻辑电路分析

脉冲异步时序逻辑电路分析

□ 结构模型



x_1, \dots, x_n : 输入信号

z_1, \dots, z_m : 输出信号

y_1, \dots, y_s : 电路的“状态”

Y_1, \dots, Y_r : 激励信号

存储电路可以是时钟控制触发器或者非时钟控制触发器

脉冲异步时序逻辑电路分析

□ 输入信号的要求

- 输入信号为脉冲信号
- 输入脉冲的宽度，必须保证触发器可靠翻转
- 输入脉冲的间隔，必须保证前一个脉冲引起的电路响应完全结束后，后一个脉冲才能到来
- 不允许在两个或两个以上输入端同时出现脉冲

脉冲异步时序逻辑电路分析

□注意

- 对 n 个输入端的电路，一位输入只允许出现 $n+1$ 种取值组合，其中有效输入种取值组合为 n 种
- 对 n 个输入的电路，只需考虑各自单独出现脉冲的 n 种情况
- 例如:假定电路有 x_1 、 x_2 和 x_3 共3个输入，并用取值1表示有脉冲出现，则一位输入允许的输入取值组合只有000、001、010、100共4种，其中有效输入取值组合只有后面3种情况

脉冲异步时序逻辑电路分析

□ 输出信号的形式

- 脉冲异步时序逻辑电路的输出信号可以是脉冲信号也可以是电平信号

- 若电路结构为Mealy型，则输出为脉冲信号

输出不仅是状态变量的函数，而且是输入的函数，而输入为脉冲信号，所以，输出一般是脉冲信号

- 若电路结构为Moore型，则输出是电平信号

输出仅仅是状态变量的函数，输出值被定义在两个间隔不定的输入脉冲之间，即由两个输入脉冲之间的状态决定

脉冲异步时序逻辑电路分析

□ 脉冲异步时序电路与同步时序电路相同点

- 状态的改变都依赖于外加脉冲
- 存储元件都是触发器

□ 脉冲异步时序电路与同步时序电路的差异

- 脉冲异步时序电路无外加的统一的时钟脉冲
- 输入变量 x 为脉冲信号，由输入脉冲直接引起电路的状态改变
- 由次态逻辑产生各触发器控制输入信号和时间有先后的各触发器的时钟控制信号

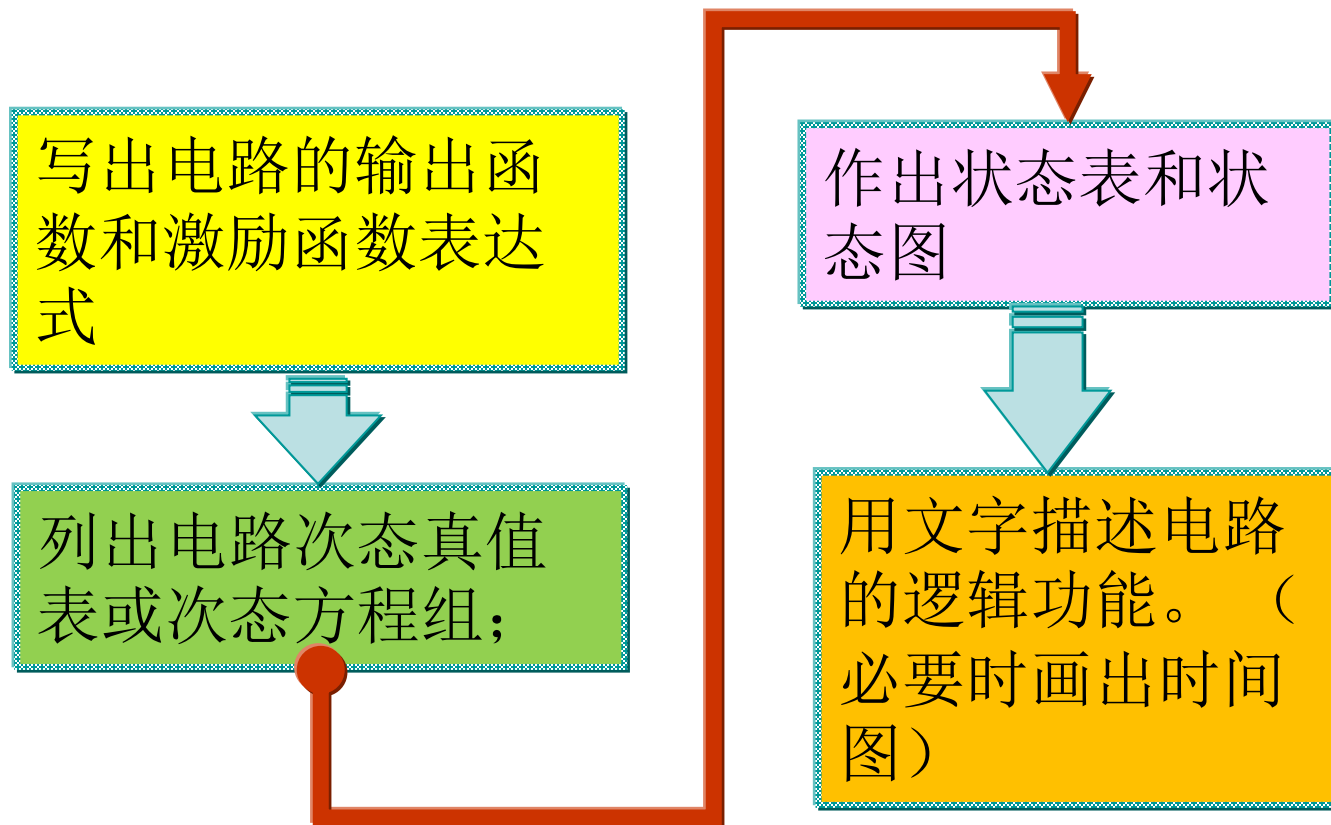
脉冲异步时序逻辑电路分析

□ 分析方法

- 分析方法与同步时序逻辑电路大致相同
- 当存储元件采用时钟控制触发器时，对触发器的时钟控制端应作为激励函数处理
- 简化状态图和状态表
 - 仅当时钟端有脉冲作用时，才根据触发器的输入确定状态转移方向，否则，触发器状态不变
 - 分析时可以排除两个或两个以上输入端同时出现脉冲以及输入端无脉冲出现情况

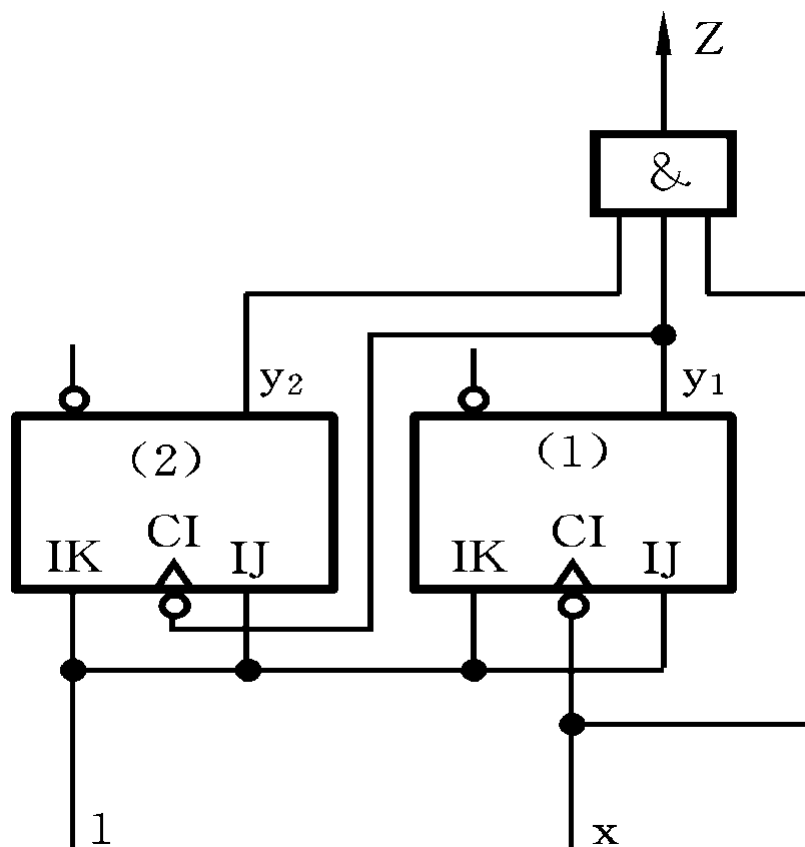
脉冲异步时序逻辑电路分析

□ 分析步骤



脉冲异步时序逻辑电路分析

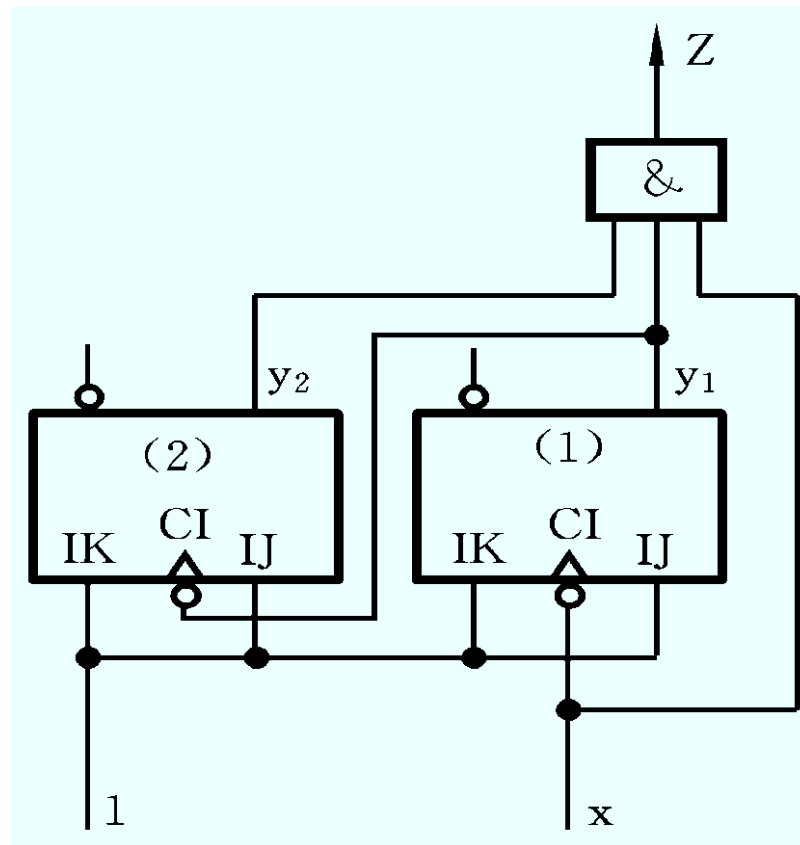
□ 例1：分析下图所示脉冲异步时序逻辑电路，指出该电路功能。



脉冲异步时序逻辑电路分析

□分析

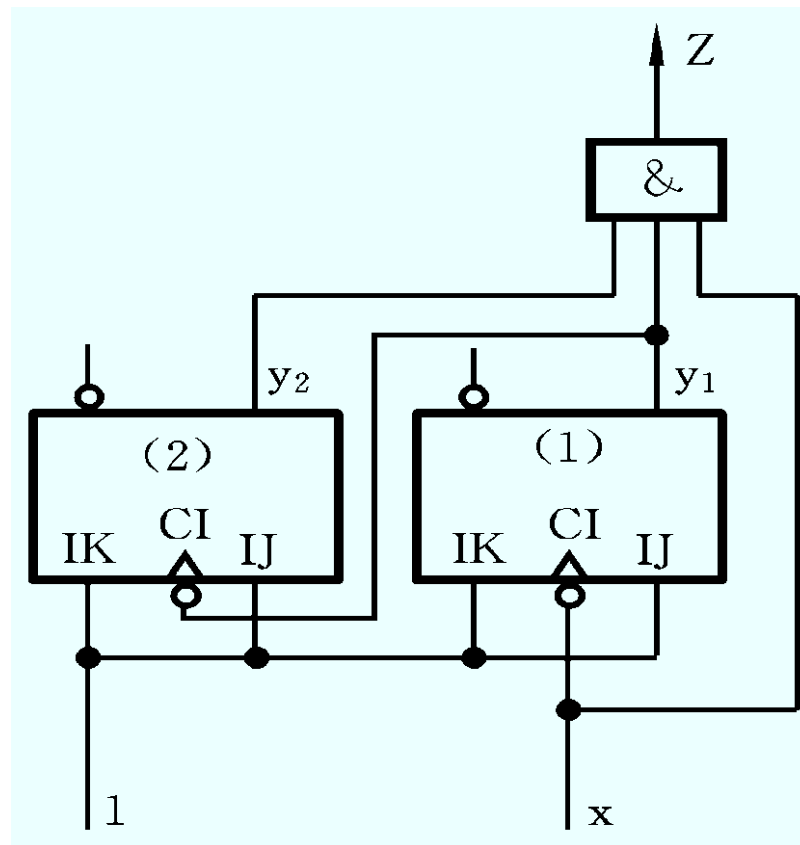
- 两个下降沿触发J-K触发器
- 一个与门
- 一个输入端x
- 一个输出端Z
- Mealy型



脉冲异步时序逻辑电路分析

□ 激励函数和输出函数表达式

- $Z = xy_2y_1$
- $J_2 = K_2 = 1;$
- $C_2 = y_1$
- $J_1 = K_1 = 1;$
- $C_1 = x$



脉冲异步时序逻辑电路分析

□ 列出电路次态真值表

- J-K触发器的状态转移发生在时钟端脉冲负跳变的瞬间，为了强调在触发器时钟端 C1、C2 何时负跳变产生，在次态真值表中用 “↓” 表示下跳
- 仅当时钟端有 “↓” 出现时，相应触发器状态才能发生变化，否则状态不变

脉冲异步时序逻辑电路分析

$$z = xy_2y_1$$

$$J_2 = K_2 = 1 \quad C_2 = y_1$$

$$J_1 = K_1 = 1 \quad C_1 = x$$

J	K	$Q^{(n+1)}$
0	0	Q
0	1	0
1	0	$\frac{1}{Q}$
1	1	Q

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	J_2K_2	C_2	J_1K_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↓	11		11	↓	0	1	0
0 1	↓	11	↓	11	↓	1	0	0
1 0	↓	11		11	↓	1	1	0
1 1	↓	11	↓	11	↓	0	0	1

脉冲异步时序逻辑电路分析

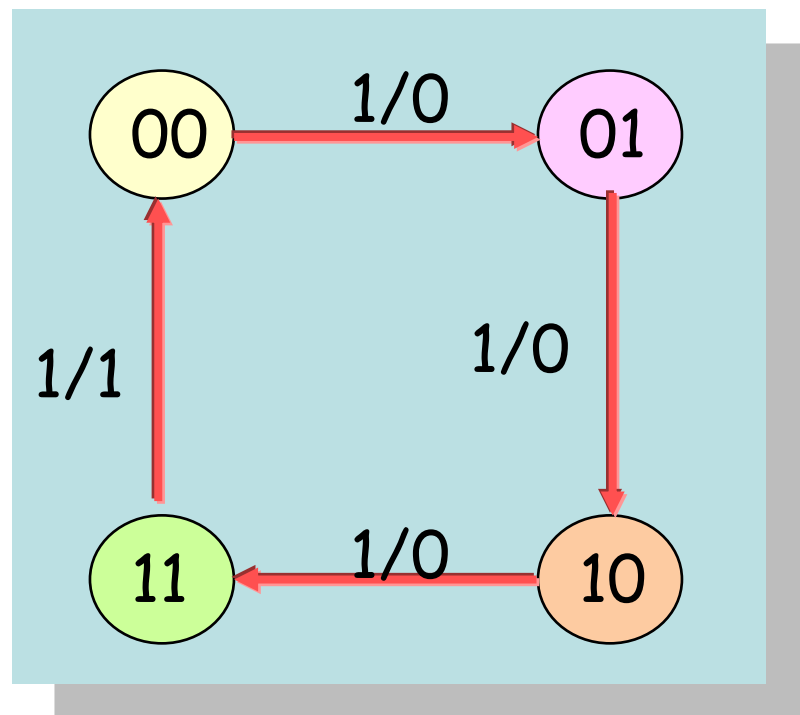
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z	次态	输出
$y_2 y_1$	x	$y_2 y_1$	$x=1$	$y_2^{n+1} y_1^{n+1}$	z
0 0	↓	00	01/0	0 1	0
0 1	↓	01	10/0	1 0	0
1 0	↓	10	11/0	1 1	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

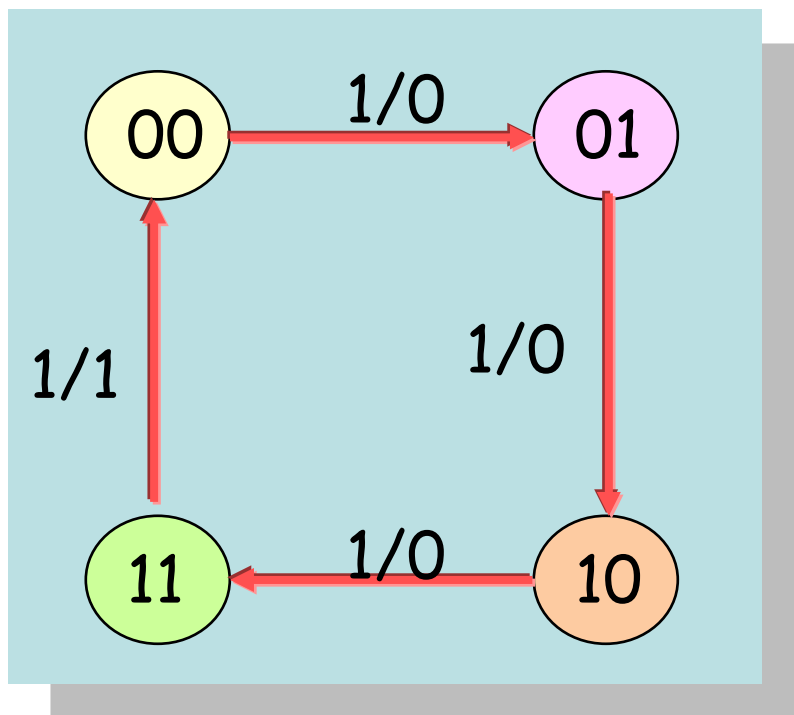
现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z
y_2y_1	$x=1$
00	01/0
01	10/0
10	11/0
11	00/1



脉冲异步时序逻辑电路分析

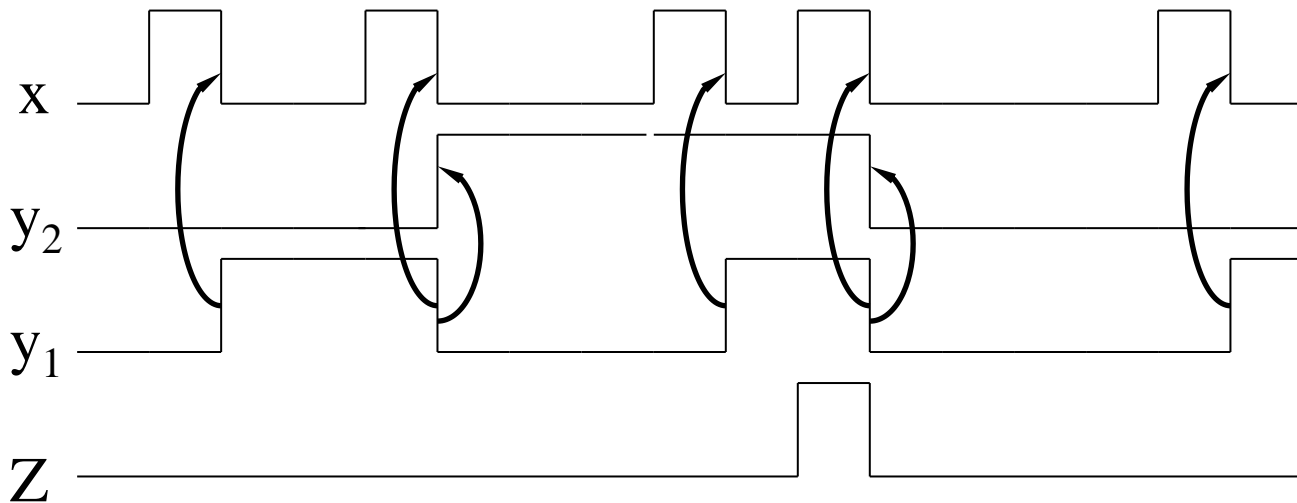
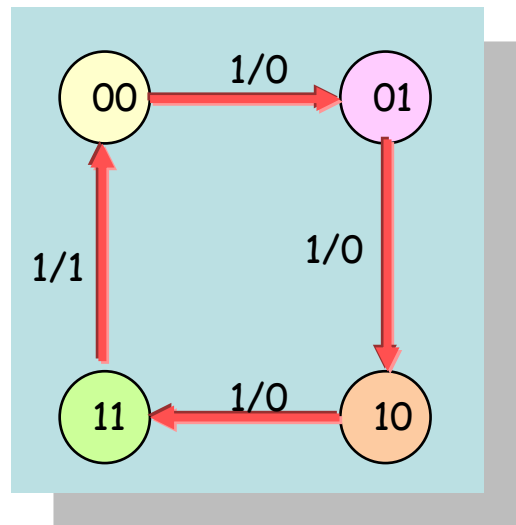
□ 逻辑功能

- 此电路是一个带进位的模 4 计数器



脉冲异步时序逻辑电路分析

□ 时间序列图



脉冲异步时序逻辑电路分析

□ 改用上升沿的JK触发器

$$z = xy_2y_1$$

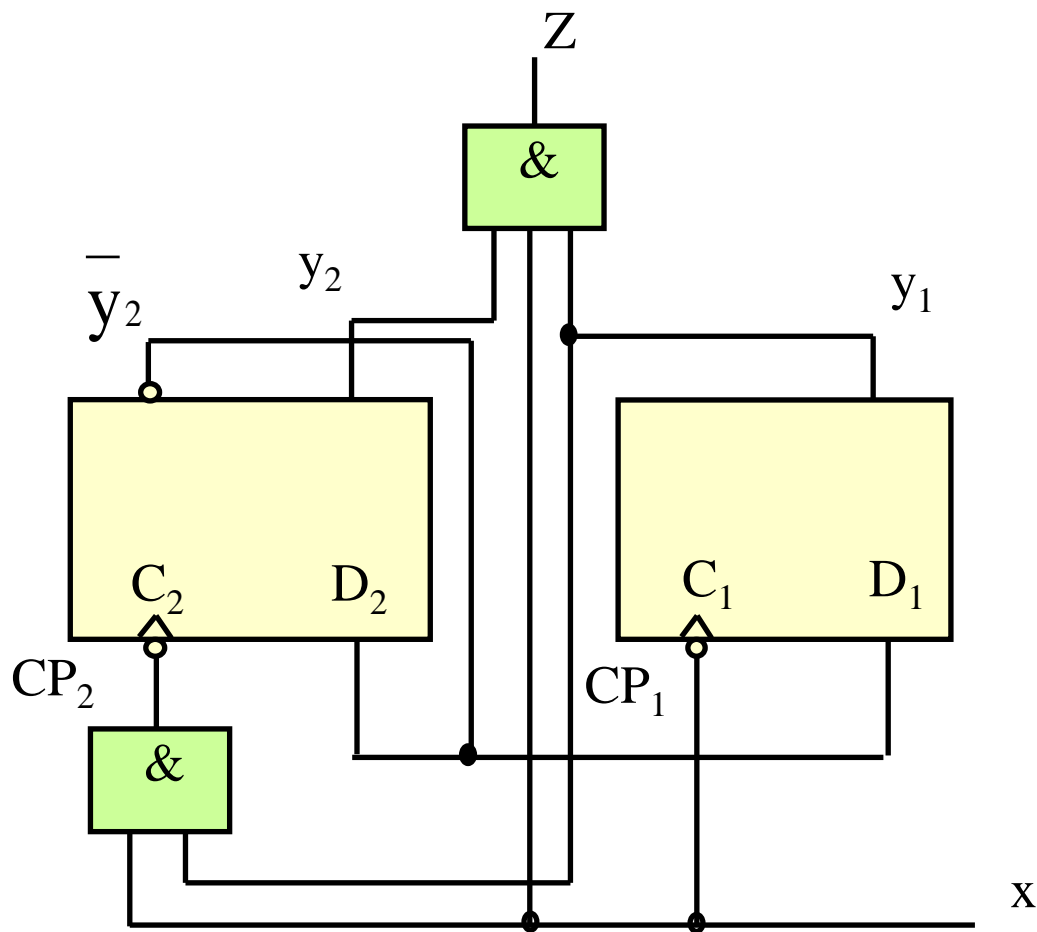
$$J_2 = K_2 = 1 \quad C_2 = y_1$$

$$J_1 = K_1 = 1 \quad C_1 = x$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	J_2K_2	C_2	J_1K_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↑	11	↑	11	↑	1	1	0
0 1	↑	11		11	↑	0	0	0
1 0	↑	11	↑	11	↑	0	1	0
1 1	↑	11		11	↑	1	0	1

脉冲异步时序逻辑电路分析

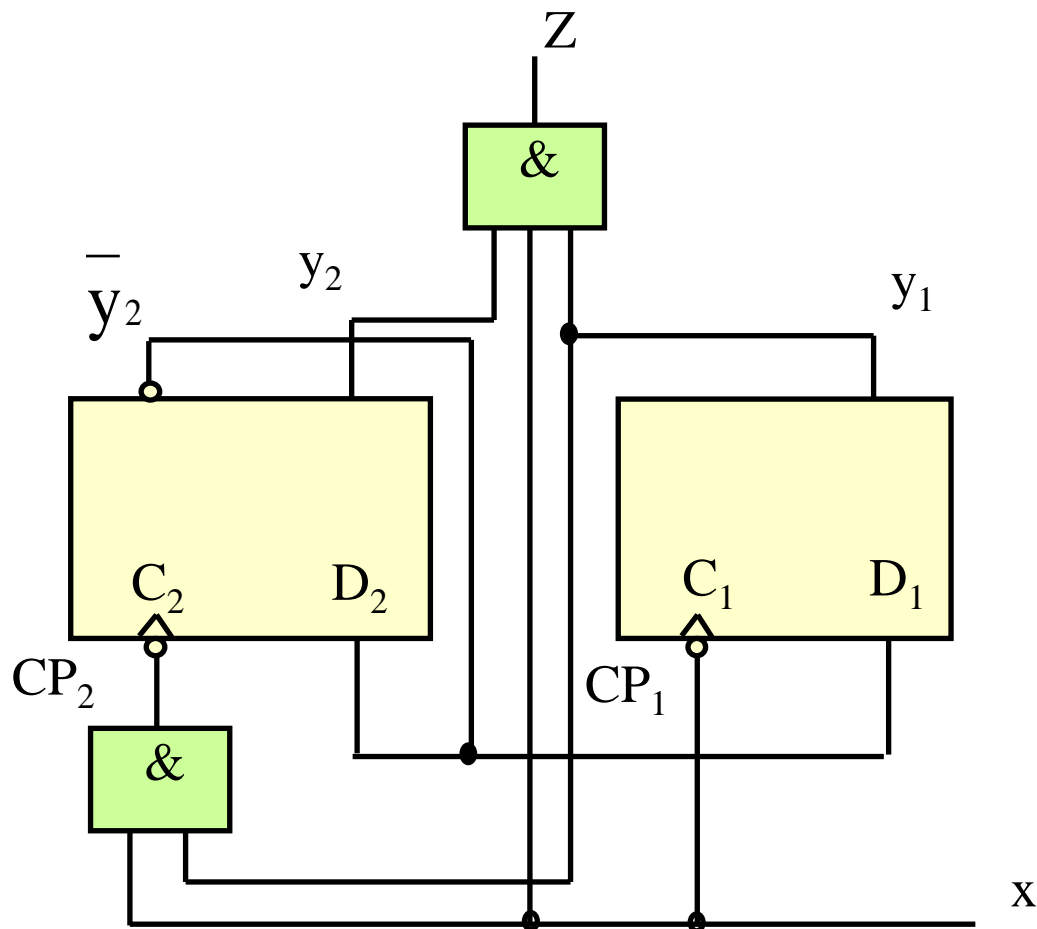
□ 例2：分析下图所示脉冲异步时序逻辑电路。



脉冲异步时序逻辑电路分析

□分析

- 两个D触发器
- 两个与门
- 一个输入端x
- 一个输出端Z
- Mealy型



脉冲异步时序逻辑电路分析

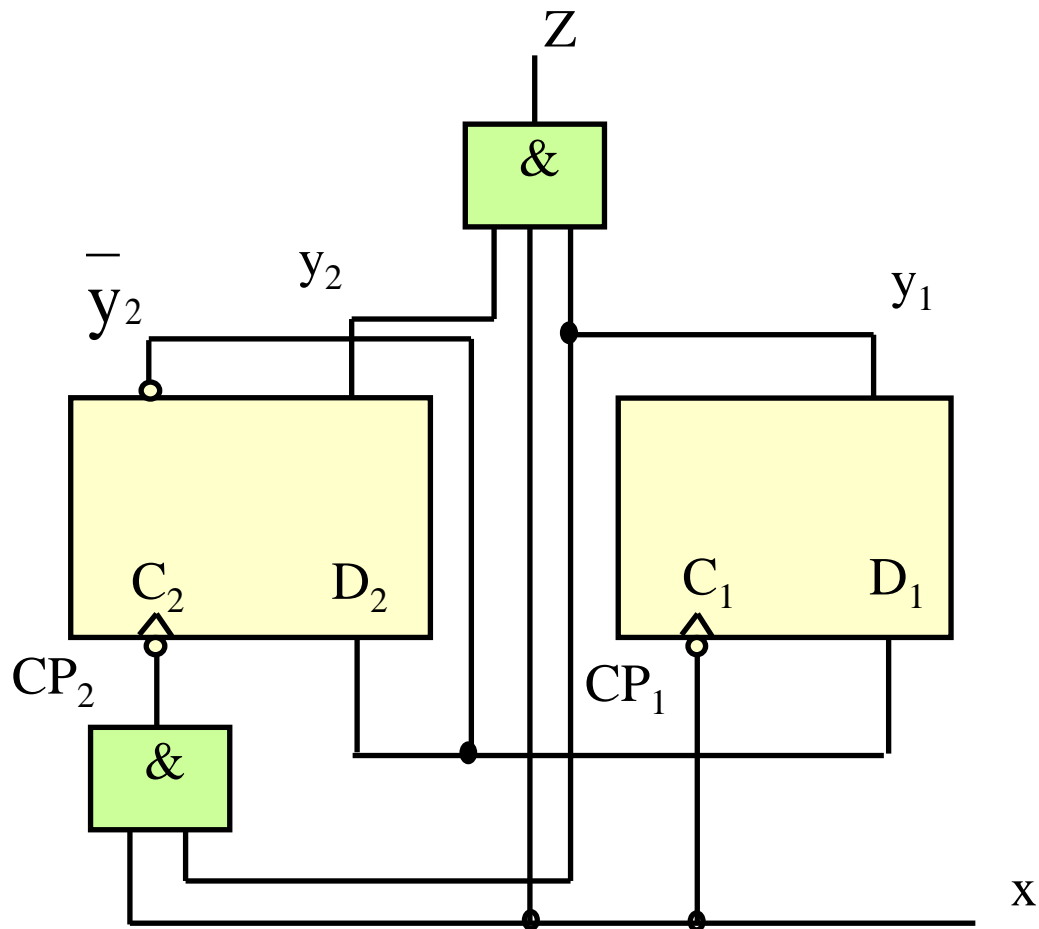
激励函数和输出函数表达式

$$z = xy_2y_1$$

$$D_2 = D_1 = \overline{y_2}$$

$$C_1 = x$$

$$C_2 = xy_1$$



脉冲异步时序逻辑电路分析

□ 状态表和状态图

$$z = xy_2y_1$$

$$D_2 = \overline{y_2} \quad C_1 = x$$

$$D_1 = \overline{y_2} \quad C_2 = xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	C_2	D_1	C_1	$y_2^{n+1}y_1^{n+1}$		Z
0 0	↓	1		1	↓	0	1	0
0 1	↓	1	↓	1	↓	1	1	0
1 0	↓	0		0	↓	1	0	0
1 1	↓	0	↓	0	↓	0	0	1

脉冲异步时序逻辑电路分析

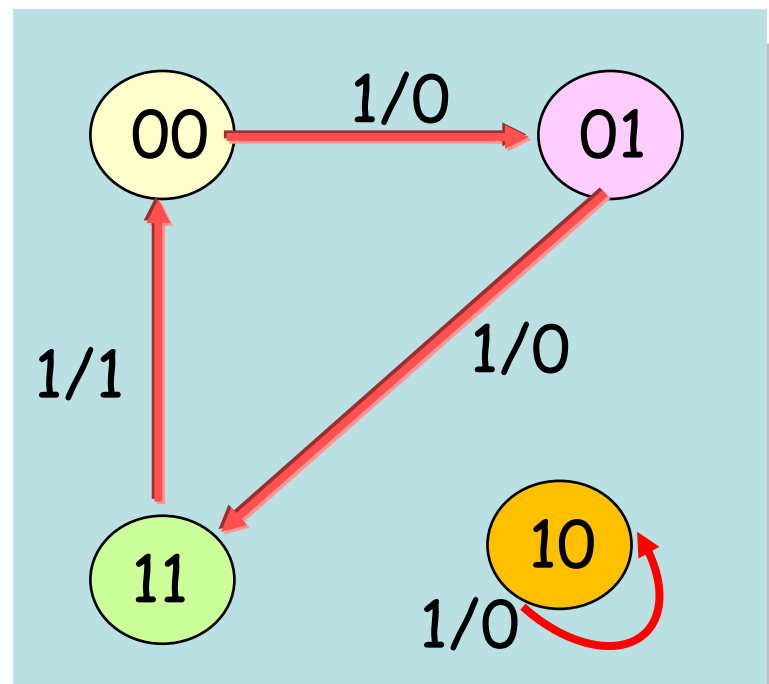
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出 z	次态	输出
$y_2 y_1$	x	$y_2 y_1$	$x=1$	$y_2^{n+1} y_1^{n+1}$	z
0 0	↓	00	01/0	0 1	0
0 1	↓	01	11/0	1 1	0
1 0	↓	10	10/0	1 0	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出
y_2y_1	$x=1$
00	01/0
01	11/0
10	10/0
11	00/1



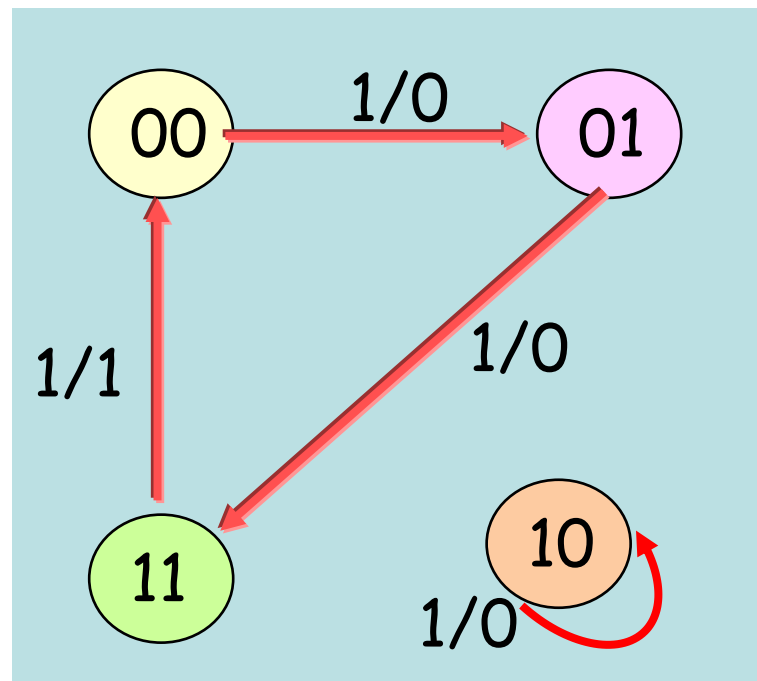
脉冲异步时序逻辑电路分析

□ 逻辑功能

- Mealy型
- 一个带进位的模 3 计数器
- 存在挂起现象

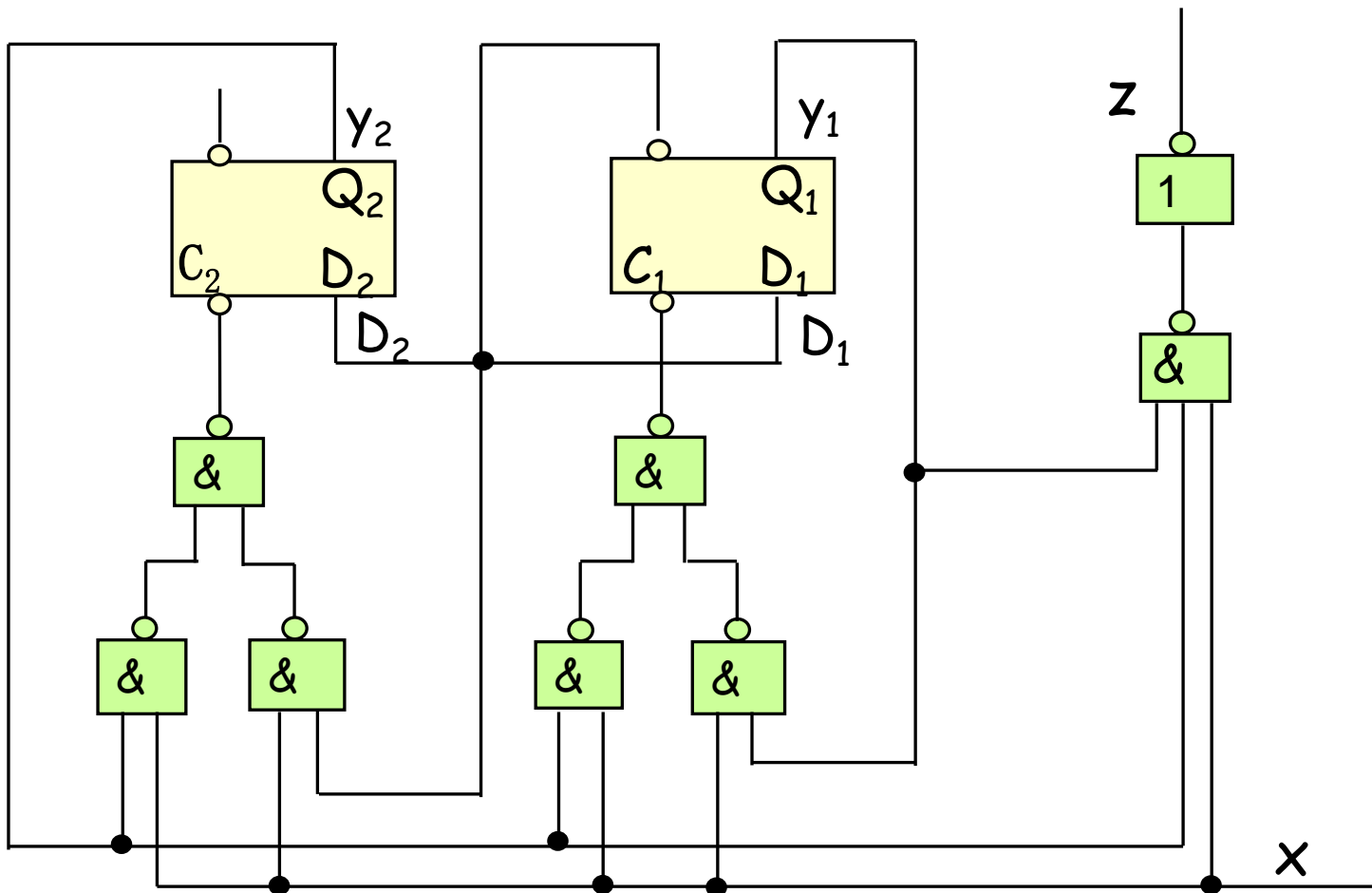
一个Mealy型

不能自启，带进位的
模3计数器



脉冲异步时序逻辑电路分析

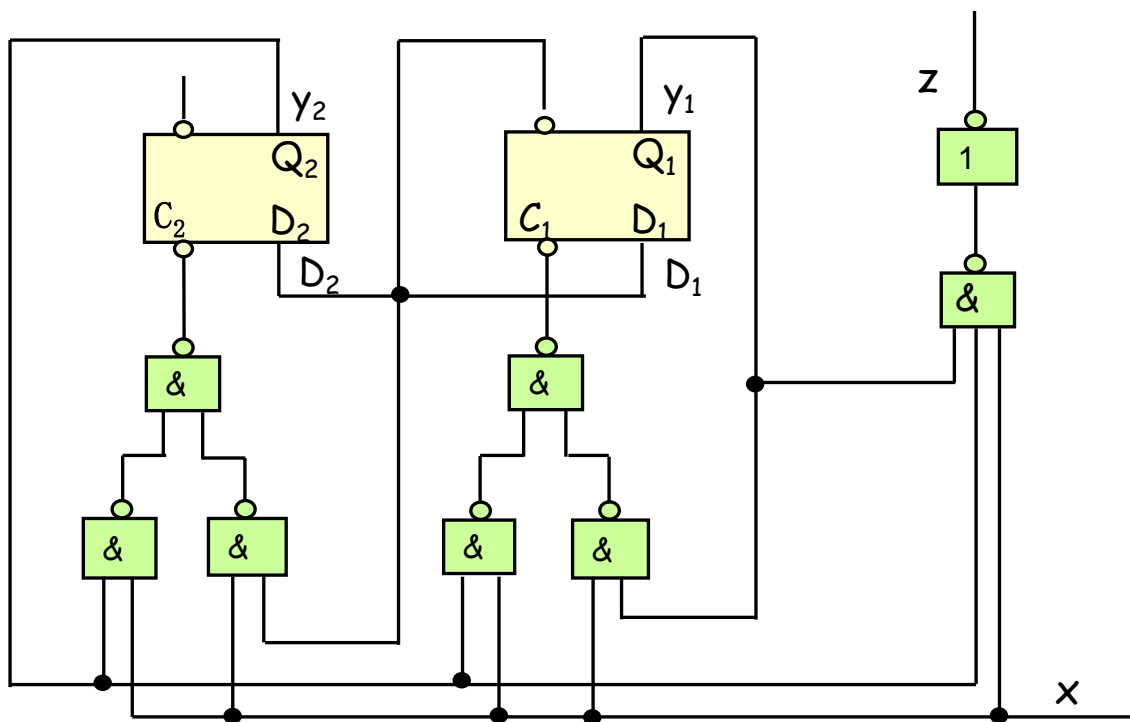
□ 例3：分析下图所示脉冲异步时序逻辑电路。



脉冲异步时序逻辑电路分析

□分析

- 两个D触发器
- 若干与非门
- 一个输入端x
- 一个输出端Z
- Mealy型



□ 输出函数和激励函数表达式

$$D_2 = y_1$$

$$D_1 = y_1$$

$$C_1 = \overline{xy_2} \quad \overline{xy_1} = xy_2 + xy_1$$

$$C_2 = \overline{xy_2} \quad \overline{xy_1} = xy_2 + x\overline{y_1}$$



脉冲异步时序逻辑电路分析

□ 次态真值表

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↓	1	↓	1		1	0	0
0 1	↓	0		0	↓	0	0	0
1 0	↓	1	↓	1	↓	1	1	0
1 1	↓	0	↓	0	↓	0	0	1

脉冲异步时序逻辑电路分析

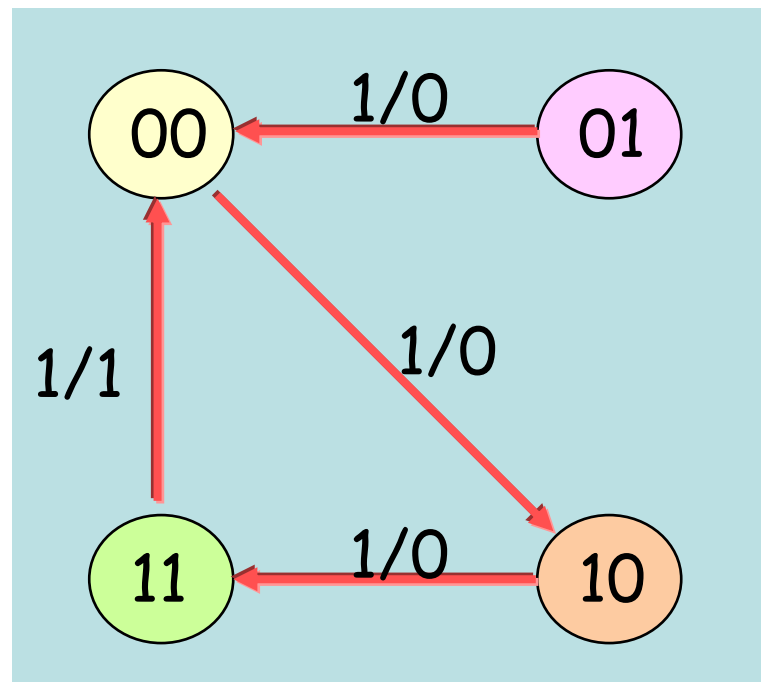
□ 状态表和状态图

现态	输入	现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ / 输出	次态	输出
$y_2 y_1$	x	$y_2 y_1$	$x=1$	$y_2^{n+1} y_1^{n+1}$	Z
0 0	↓	00	10/0	1 0	0
0 1	↓	01	00/0	0 0	0
1 0	↓	10	11/0	1 1	0
1 1	↓	11	00/1	0 0	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

现态	次态 $y_2^{(n+1)}y_1^{(n+1)}$ /输出
y_2y_1	$x=1$
00	10/0
01	00/0
10	11/0
11	00/1



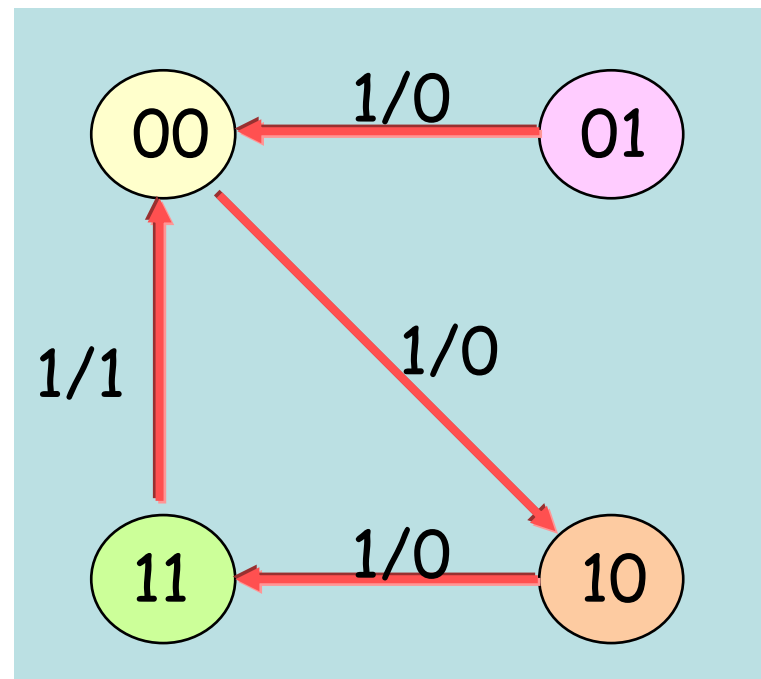
脉冲异步时序逻辑电路分析

□ 电路的逻辑功能

- Mealy型
- 一个带进位的模 3 计数器
- 具有自恢复功能

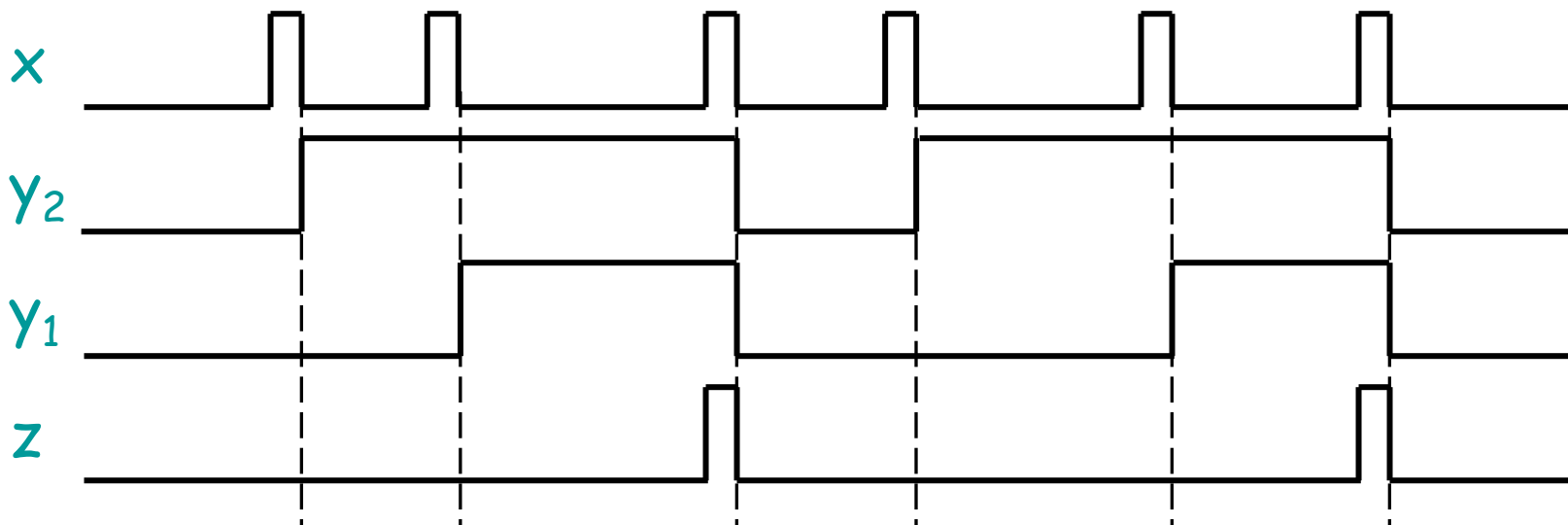
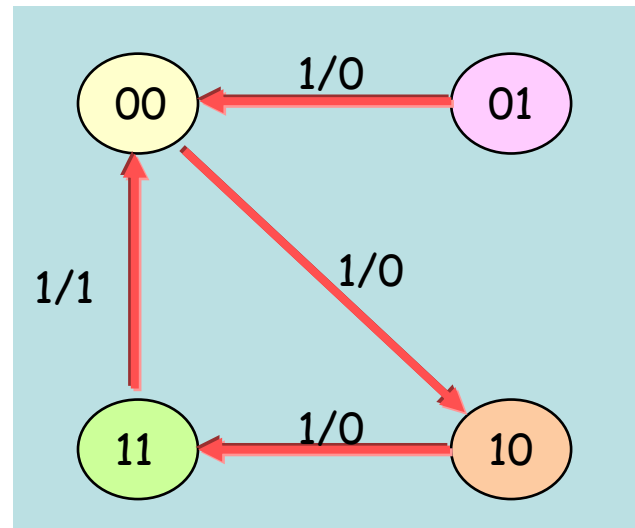
一个Mealy型

能自启的带进位的
模3计数器



脉冲异步时序逻辑电路分析

□ 时间图



脉冲异步时序逻辑电路分析

□改用上升沿触发的D触发器

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↑	1	↑	1		1	0	0
0 1	↑	0		0	↑	0	0	0
1 0	↑	1	↑	1	↑	1	1	0
1 1	↑	0	↑	0	↑	0	0	1

脉冲异步时序逻辑电路分析

□改用上升沿触发的D触发器

$$z = xy_2y_1 \quad D_2 = D_1 = \overline{y_1} \quad C_2 = xy_2 + x\overline{y_1} \quad C_1 = xy_2 + xy_1$$

现态	输入	激励				次态		输出
$y_2 \ y_1$	x	D_2	CLK_2	D_1	CLK_1	$y_2^{n+1} y_1^{n+1}$		Z
0 0	↑	1	↑	1	↑	1	1	0
0 1	↑	0	↑	0	↑	1	0	0
1 0	↑	1	↑	1	↑	1	1	0
1 1	↑	0	↑	0	↑	0	0	1

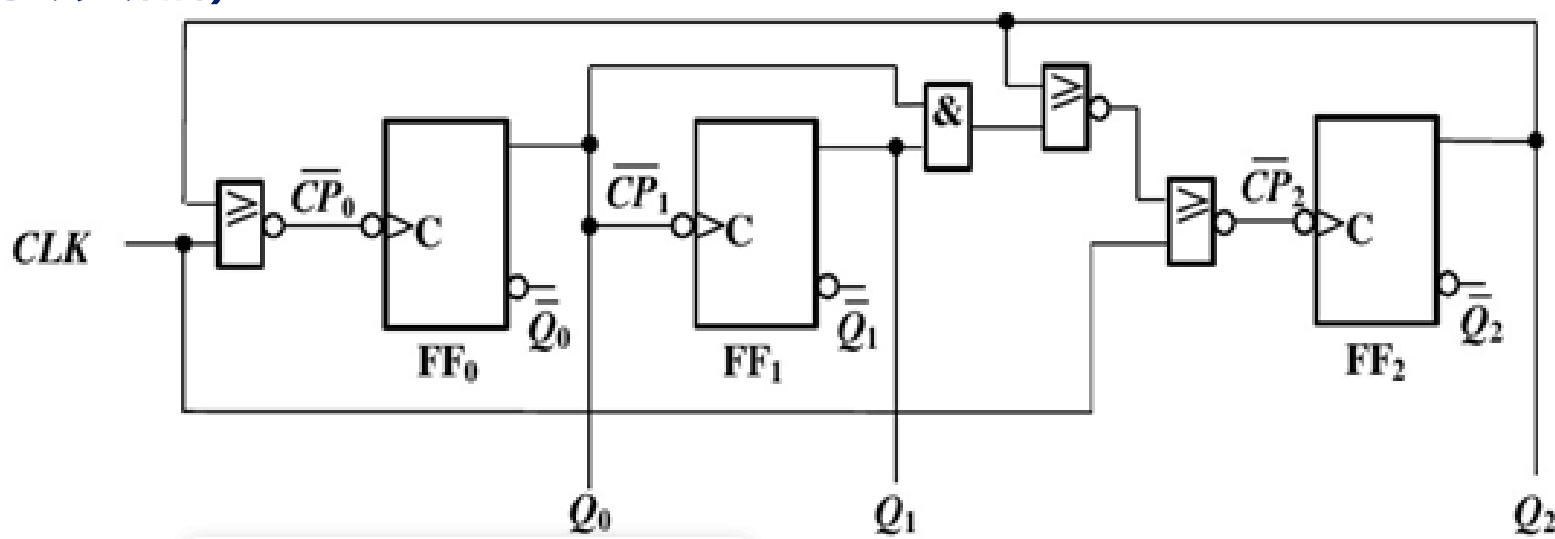
脉冲异步时序逻辑电路分析

□ 注意

- 脉冲异步时序电路中使用边沿触发器时，上升沿或者下降沿对电路功能有很大的影响
- 为了保证脉冲异步时序逻辑电路正常工作，使用的边沿触发器应该在输入脉冲的后沿触发
- 输入为正脉冲，使用下降沿触发的边沿触发器
- 输入为负脉冲，使用上升沿触发的边沿触发器

脉冲异步时序逻辑电路分析

□ 练习：分析下图所示脉冲异步时序逻辑电路(J-K触发器)。



□ 要求

– 电路模型

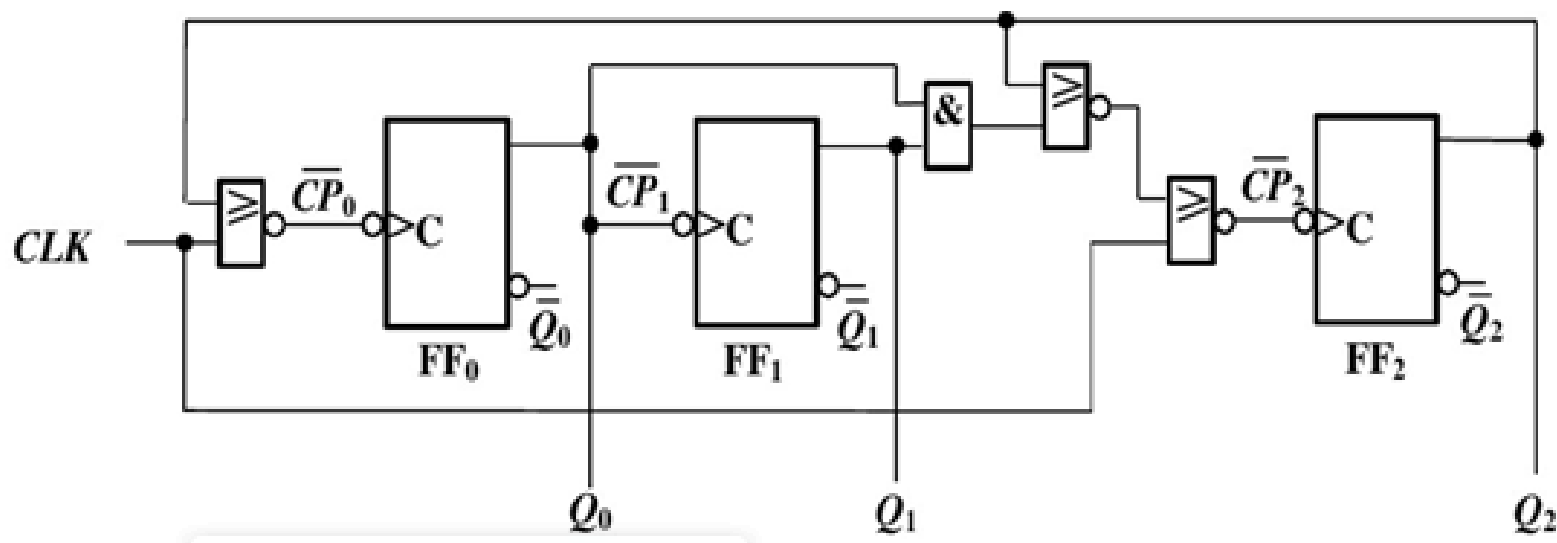
– 函数表达式

– 状态图

– 逻辑功能

脉冲异步时序逻辑电路分析

□ 练习：分析下图所示脉冲异步时序逻辑电路。

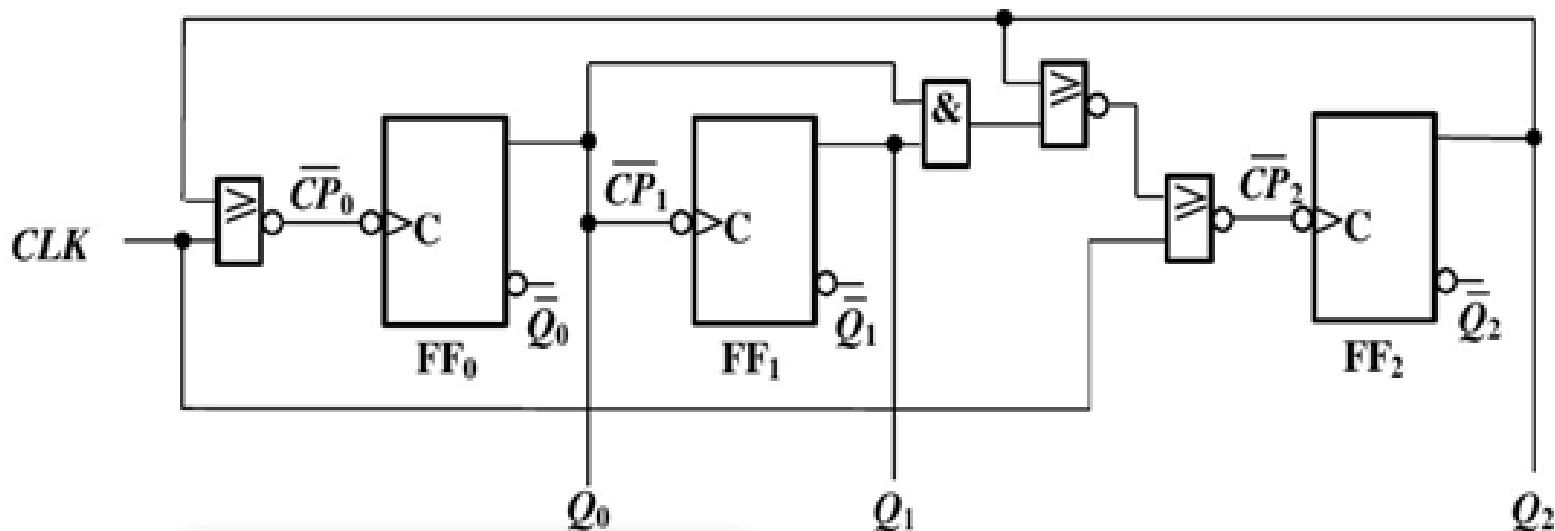


□ 电路模型

– 无输出，moore型脉冲异步时序逻辑电路

脉冲异步时序逻辑电路分析

□练习：分析下图所示脉冲异步时序逻辑电路。



□ 表达式

$$- C_0 = \bar{x} \overline{Q_2}$$

$$-C_1 = Q_0$$

$$-C_2 = \bar{x}(Q_1 Q_0 + Q_2)$$

- $J_0 = J_1 = J_2 = 1$

- $K_0 = K_1 = K_2 = 1$

脉冲异步时序逻辑电路分析

□表达式

$$C_0 = \bar{x} \overline{Q_2}$$

$$C_1 = Q_0$$

$$C_2 = \bar{x}(Q_1 Q_0 + Q_2)$$

现态	输入	激励						次态		
$Q_2 Q_1 Q_0$	\bar{x}	$J_2 K_2$	C_2	$J_1 K_1$	C_1	$J_0 K_0$	C_0	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$		
0 0 0	1	1 1		1 1		1 1	↓	0	0	1
0 0 1	1	1 1		1 1	↓	1 1	↓	0	1	0
0 1 0	1	1 1		1 1		1 1	↓	0	1	1
0 1 1	1	1 1	↓	1 1	↓	1 1	↓	1	0	0
1 0 0	1	1 1	↓	1 1		1 1		0	0	0
1 0 1	1	1 1	↓	1 1		1 1		0	0	1
1 1 0	1	1 1	↓	1 1		1 1		0	1	0
1 1 1	1	1 1	↓	1 1		1 1		0	1	1

脉冲异步时序逻辑电路分析

□表达式

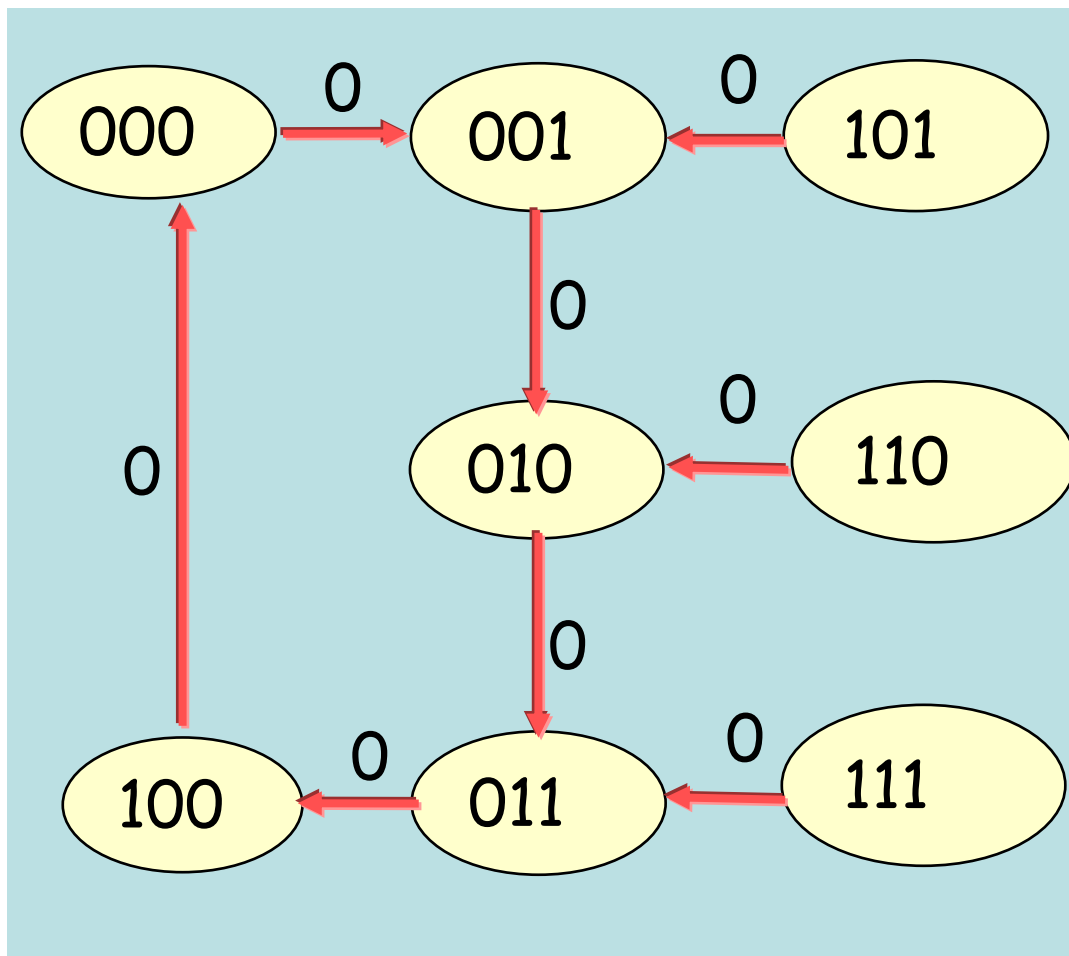
$C_0 = \bar{x} \overline{Q_2}$ $Q_2^{n+1}Q_1^{n+1}Q_0^{n+1} = (Q_2 + Q_2)Q_1 + (Q_2 + Q_2)Q_0 + Q_2$

现态	输入	Q ₂ Q ₁ Q ₀	x=0	C ₀	次态		
Q ₂ Q ₁ Q ₀	\bar{x}				Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹ Q ₀ ⁿ⁺¹		
0 0 0	1	000	001	↓	0	0	1
0 0 1	1	010	011	↓	0	1	0
0 1 0	1	011	100	↓	0	1	1
0 1 1	1	100	000	↓	1	0	0
1 0 0	1	101	001		0	0	0
1 0 1	1	110	010		0	0	1
1 1 0	1	111	011		0	1	0
1 1 1	1				0	1	1

脉冲异步时序逻辑电路分析

□ 状态表和状态图

现态 $Q_2Q_1Q_0$	次态 $Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$
	$x=0$
000	001
001	010
010	011
011	100
100	000
101	001
110	010
111	011



脉冲异步时序逻辑电路分析

□ 电路的逻辑功能

- Moore型
- 带进位的模 5 异步计数器
- 具有自恢复功能（能自启）

脉冲异步时序逻辑电路分析

□ 总结

- 异步时序逻辑电路的输入脉冲只能一个个出现，不允许两个输入脉冲同时出现
- 没有脉冲出现的时候，电路状态保持不变
- 异步时序逻辑电路的上升沿和下降沿触发器不能互换
- 为了保证异步时序逻辑电路正常工作，需要根据使用的触发器类型选择后沿触发的脉冲
 - 下降沿触发——正脉冲
 - 上升沿触发——负脉冲

提 纲

1

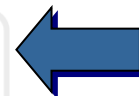
异步时序逻辑电路概述

2

脉冲异步时序逻辑电路分析

3

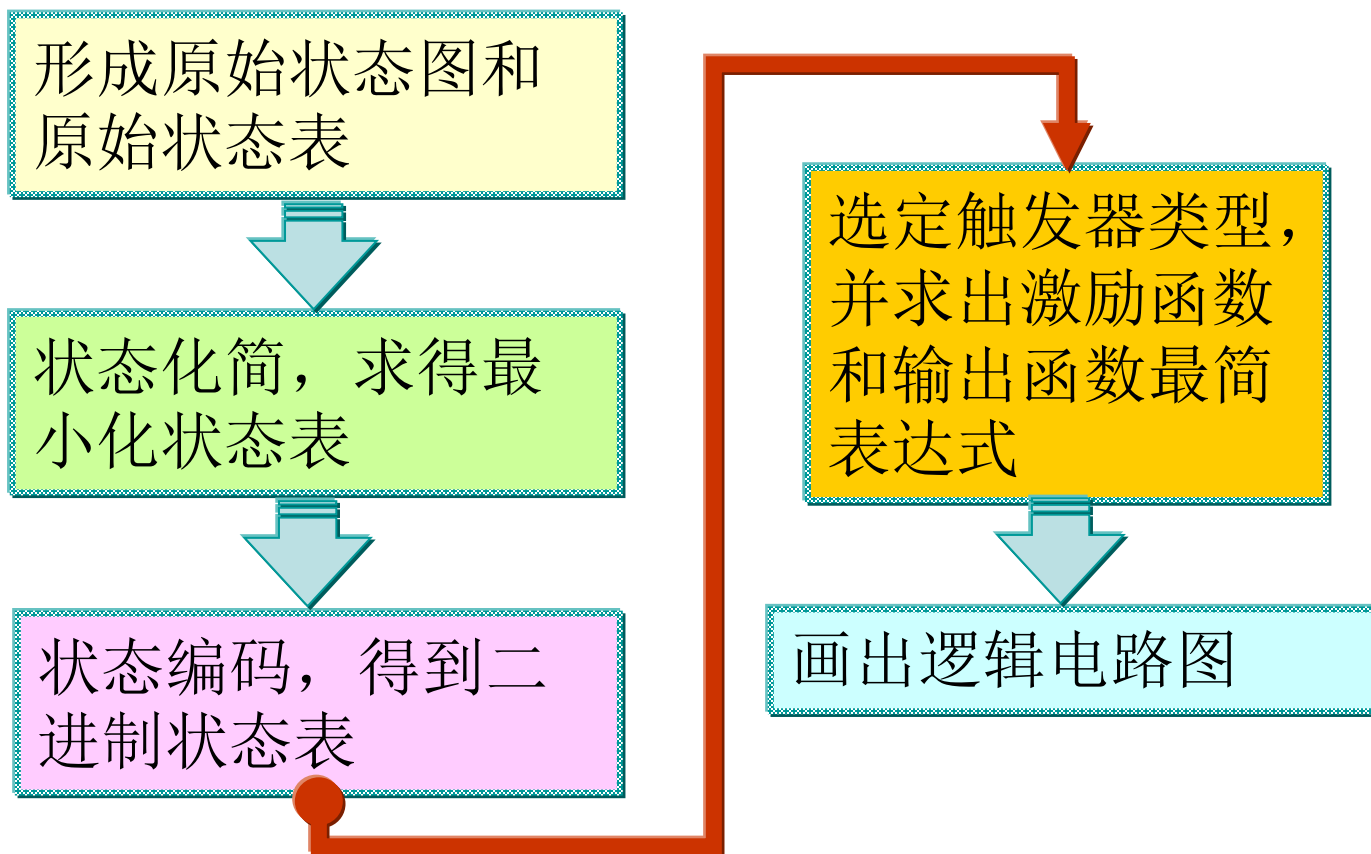
脉冲异步时序逻辑电路设计



4

电平异步时序逻辑电路分析

脉冲异步时序逻辑电路设计



脉冲异步时序逻辑电路设计

□与同步时序电路的区别

- 采用时钟控制触发器时，时钟端应作为激励函数处理
- 在形成原始状态图和原始状态表时，对于 n 个输入，只需考虑 n 种输入信号中仅一个为1的情况；在确定激励函数时，对两个或两个以上输入为1的情况，可作为无关条件处理
- 当输入端无脉冲出现时，应保证电路状态不变

脉冲异步时序逻辑电路设计

□ 激励表

Q^n Q^{n+1}	CP R S	CP J K	CP T	CP D
0 0	d d 0 0 d d	d 0 d 0 d d	d 0 0 d	d 0 0 d
0 1	1 0 1	1 1 d	1 1	1 1
1 0	1 1 0	1 d 1	1 1	1 0
1 1	d 0 d	d d 0	d 0	d 1
	0 d d	0 d d	0 d	0 d

脉冲异步时序逻辑电路设计

□例1 用T触发器作为存储元件，设计一个异步模8加1计数器，电路对输入端x出现的脉冲进行计数，当收到第八个脉冲时，输出端Z产生一个进位输出脉冲。

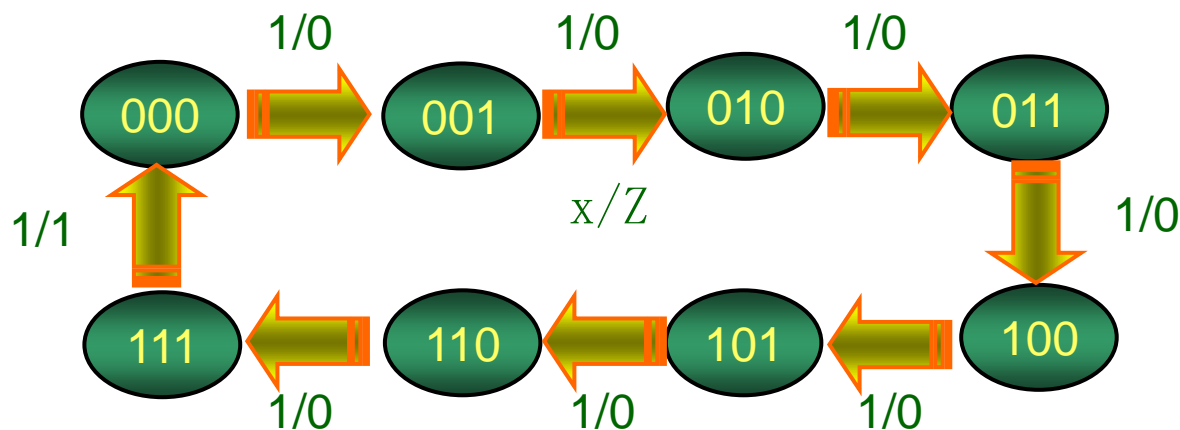
□分析

- 电路模型为Mealy型
- 状态数目和状态转换关系非常清楚

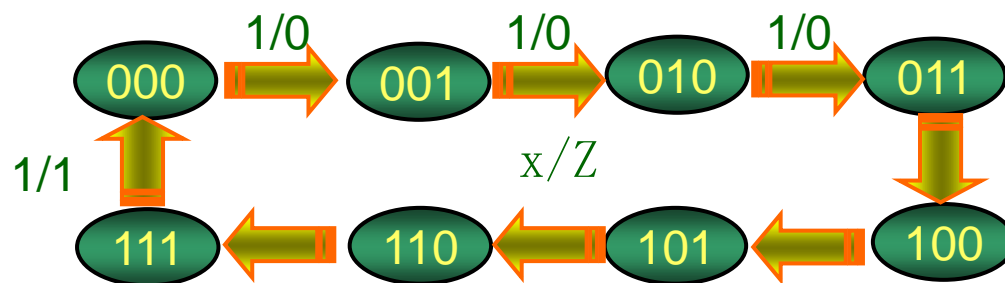
脉冲异步时序逻辑电路设计

□ 状态图和状态表

- 设电路初始状态为 “000”，状态变量用 y_2 、 y_1 、 y_0 表示



脉冲异步时序逻辑电路设计



现 态	次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$ / 输出Z
$y_3y_2y_1$	$x = 1$
0 0 0	0 0 1 / 0
0 0 1	0 1 0 / 0
0 1 0	0 1 1 / 0
0 1 1	1 0 0 / 0
1 0 0	1 0 1 / 0
1 0 1	1 1 0 / 0
1 1 0	1 1 1 / 0
1 1 1	0 0 0 / 1

脉冲异步时序逻辑电路设计

□ 确定激励函数和输出函数

- 假定状态不变时，令相应触发器的时钟端为0，输入端T任意；
- 状态需要改变时，令相应触发器的时钟端为1(有脉冲出现)，T端为1

脉

现 态

 $y_3y_2y_1$ 次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$ / 输出Z $x = 1$

0 0 0

0 0 1 / 0

0 0 1

0 1 0 / 0

0 1 0

0 1 1 / 0

0 1 1

1 0 0 / 0

1 0 0

1 0 1 / 0

1 0 1

1 1 0 / 0

1 1 0

1 1 1 / 0

1 1 1

0 0 0 / 1

设计

 $Q \rightarrow Q^{n+1}$

CP T

0 0

d 0

0 d

0 1

1 1

1 0

1 1

1 1

d 0

0 d

次态

激励函数

输出

 x $y_3y_2y_1$ $y_3^{n+1}y_2^{n+1}y_1^{n+1}$ $C_3T_3C_2T_2C_1T_1$ Z

1

0 0 0

0 0 1

0 d 0 d 1 1

0

1

0 0 1

0 1 0

0 d 1 1 1 1

0

1

0 1 0

0 1 1

0 d 0 d 1 1

0

1

0 1 1

1 0 0

1 1 1 1 1 1

0

1

1 0 0

1 0 1

0 d 0 d 1 1

0

1

1 0 1

1 1 0

0 d 1 1 1 1

0

1

1 1 0

1 1 1

0 d 0 d 1 1

0

1

1 1 1

0 0 0

1 1 1 1 1 1

1



脉冲异步时序逻辑电路设计

输入脉冲 x	现态 $y_3y_2y_1$	次态 $y_3^{n+1}y_2^{n+1}y_1^{n+1}$	激励函数 $C_3T_3C_2T_2C_1T_1$	输出 Z
1	0 0 0	0 0 1	0 d 0 d 1 1	0
1	0 0 1	0 1 0	0 d 1 1 1 1	0
1	0 1 0	0 1 1	0 d 0 d 1 1	0
1	0 1 1	1 0 0	1 1 1 1 1 1	0
1	1 0 0	1 0 1	0 d 0 d 1 1	0
1	1 0 1	1 1 0	0 d 1 1 1 1	0
1	1 1 0	1 1 1	0 d 0 d 1 1	0
1	1 1 1	0 0 0	1 1 1 1 1 1	1

$$C_3 = xy_2y_1; \quad T_3 = 1; \quad C_2 = xy_1; \quad T_2 = 1;$$

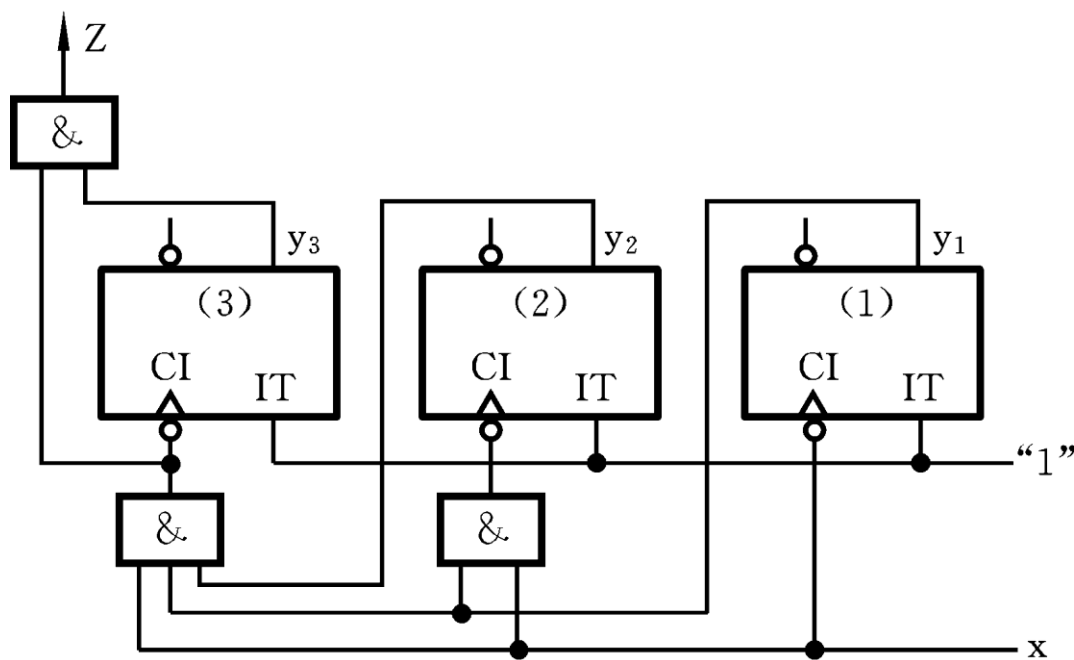
$$C_1 = x; \quad T_1 = 1; \quad Z = xy_3y_2y_1$$

脉冲异步时序逻辑电路设计

□ 画出逻辑电路图

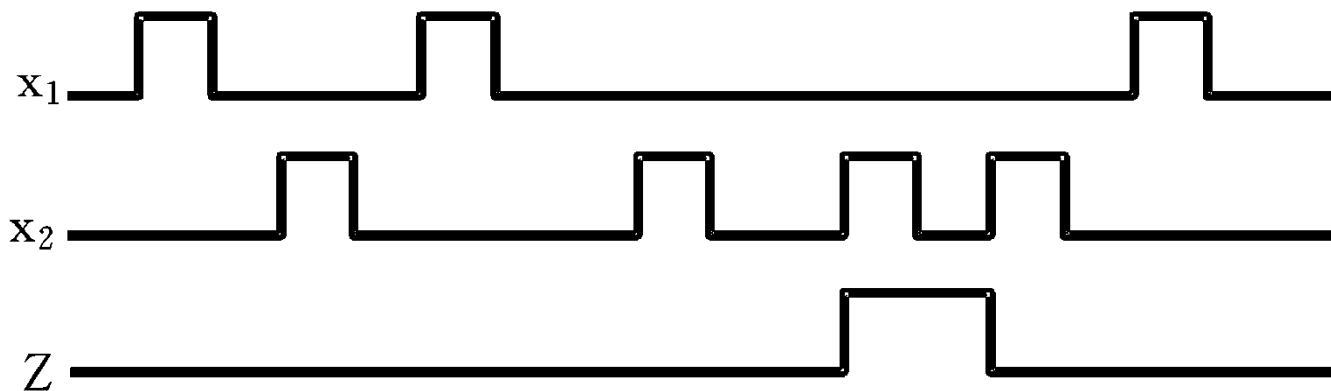
$$C_3 = xy_2y_1; T_3 = 1; C_2 = xy_1; T_2 = 1;$$

$$C_1 = x; T_1 = 1; Z = xy_3y_2y_1$$



脉冲异步时序逻辑电路设计

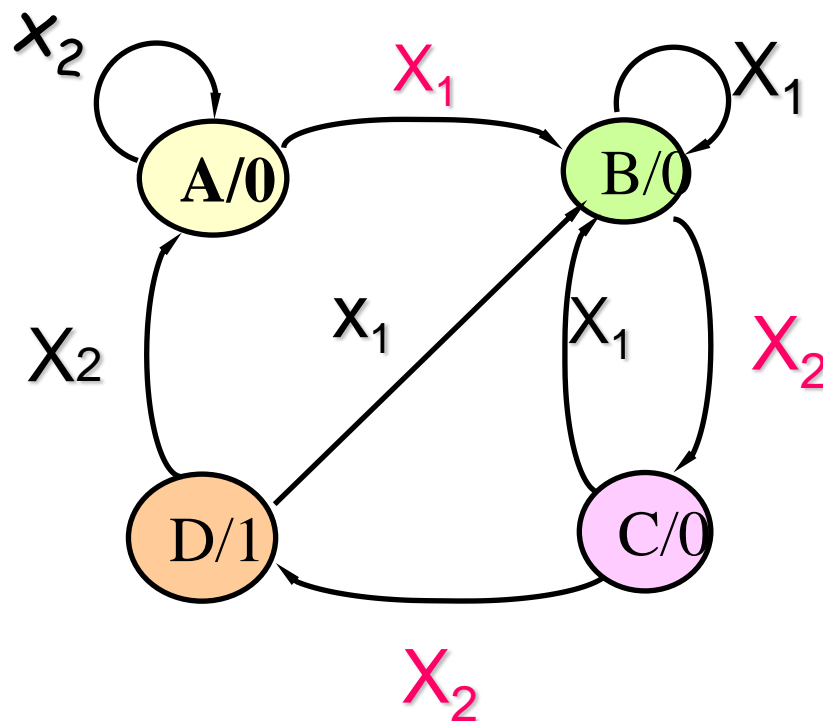
□例2 用D触发器作为存储元件，设计一个“x1—x2—x2”序列检测器。电路有两个输入x1和x2，一个输出Z。仅当x1输入一个脉冲后，x2连续输入两个脉冲时，输出端Z由0变为1，该1信号一直维持到输入端x1或x2再出现脉冲时才由1变为0。典型输入、输出时间图如下图所示。



脉冲异步时序逻辑电路设计

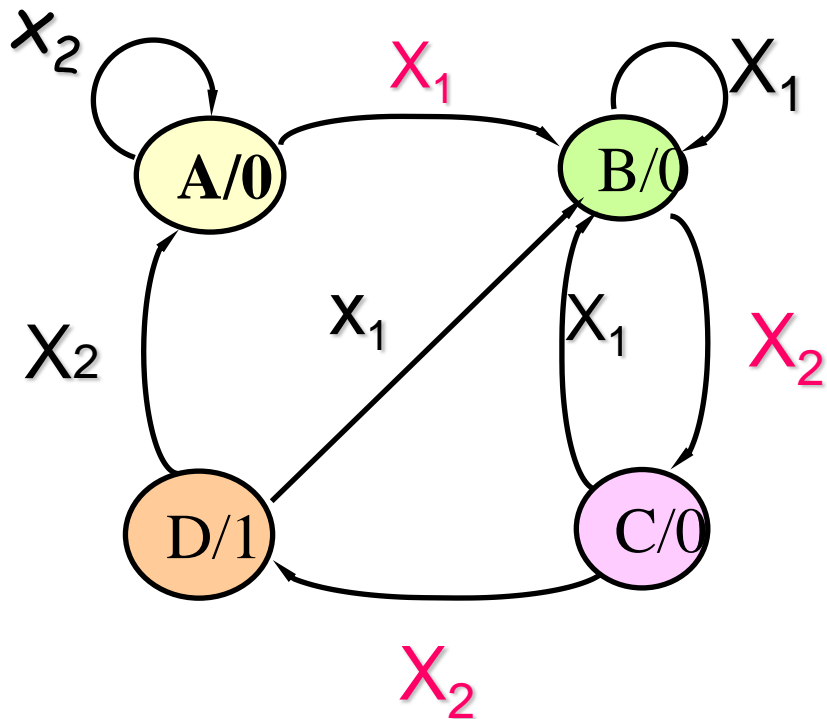
□ 原始状态图和状态表

- 序列检测器为Moore型脉冲异步时序电路



脉冲异步时序逻辑电路设计

□ 原始状态图和状态表



现态	次态		输出 Z
	x_1	x_2	
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1

脉冲异步时序逻辑电路设计

□ 状态化简

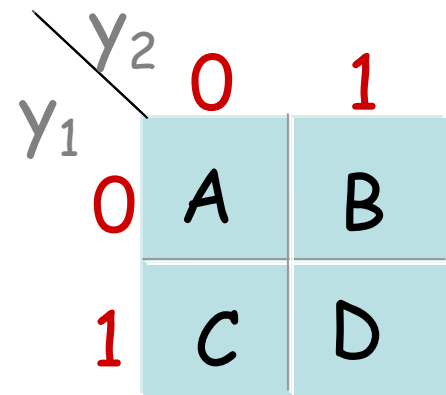
- 用观察法检查原始状态表，可知该状态表中的状态均不等效，即已为最简状态表

现态	次态		输出
	x_1	x_2	Z
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1

脉冲异步时序逻辑电路设计

□ 状态编码

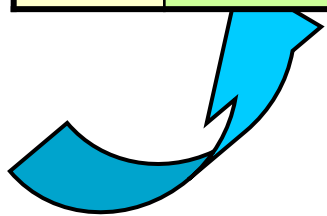
- 最简状态表中有4个状态，用两位二进制代码表示。
- 设状态变量为 y_2 、 y_1



$y_2 \backslash y_1$	0	1
0	A	B
1	C	D



现态	次态		输出 Z
	x_1	x_2	
A	B	A	0
B	B	C	0
C	B	D	0
D	B	A	1



现态 $y_2 y_1$	次态 $y_2^{n+1} y_1^{n+1}$		输出 Z
	x_1	x_2	
00	10	00	0
01	10	11	0
10	10	01	0
11	10	00	1

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$		
0 1	0 0	1 0	00 01 10 11	10 10 10 10
	0 1	1 0		
	1 0	1 0		
	1 1	1 0		
1 0	0 0	0 0	00 01 10 11	10 10 10 10
	0 1	1 1		
	1 0	0 1		
	1 1	0 0		

现态 y_2y_1	y_2^n	x_1	$Q \rightarrow Q^{n+1}$	CP D
			0 0	d 0
				0 d
			0 1	1 1
				1 0
			1 1	d 1
				0 d

00	0
01	0
10	0
11	1

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为0，输入端d
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	0	1	d	
01	0	1	d	1
11	0		d	1
10	0		d	1

$$C_2 = x_1 \overline{y_2} + x_2 y_1 + x_2 y_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	1	d	d
01	d	1	d	1
11	d	d	d	
10	d	d	d	

$$D_2 = \overline{y_2}$$

脉冲异步时序逻辑电路设计

□ 激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

y_2y_1 x_2x_1	00	01	11	10
00	0		d	
01	0	1	d	
11	0	1	d	1
10	0		d	1

$$C_1 = x_1y_1 + x_2y_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	d	d	d
01	d		d	d
11	d		d	0
10	d	d	d	1

$$D_1 = \overline{y_1}$$

脉冲异步时序逻辑电路设计

□ 激励函数和输出函数

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00			d	
01			d	
11	1	1	d	1
10			d	

$$Z = y_2y_1$$

脉冲异步时序逻辑电路设计

□ 逻辑电路图

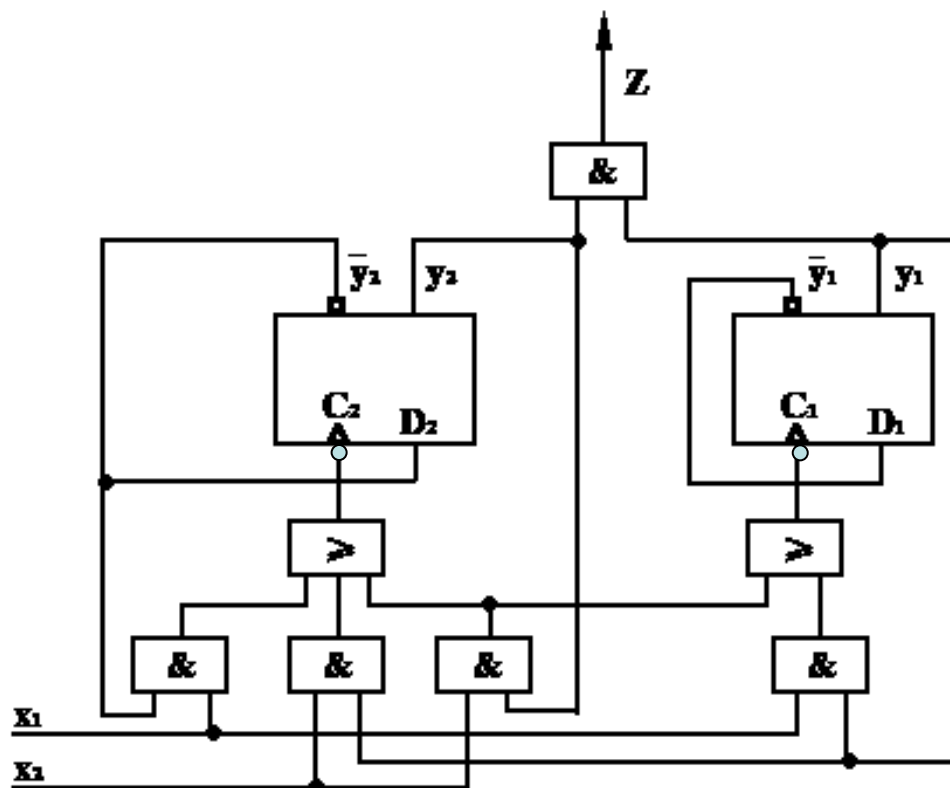
$$C_2 = \overline{x_1 y_2} + x_2 y_1 + x_2 y_2$$

$$D_2 = \overline{y_2}$$

$$C_1 = x_1 y_1 + x_2 y_2$$

$$D_1 = \overline{y_1}$$

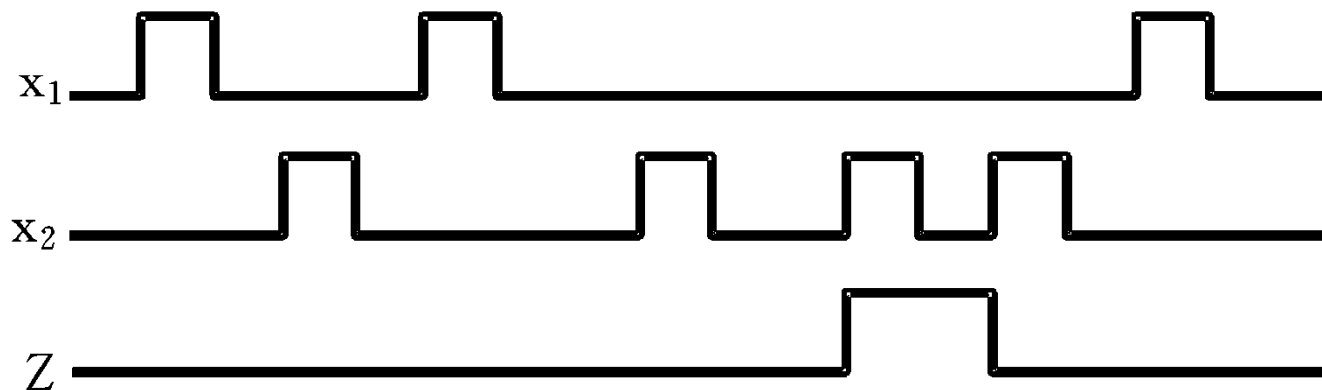
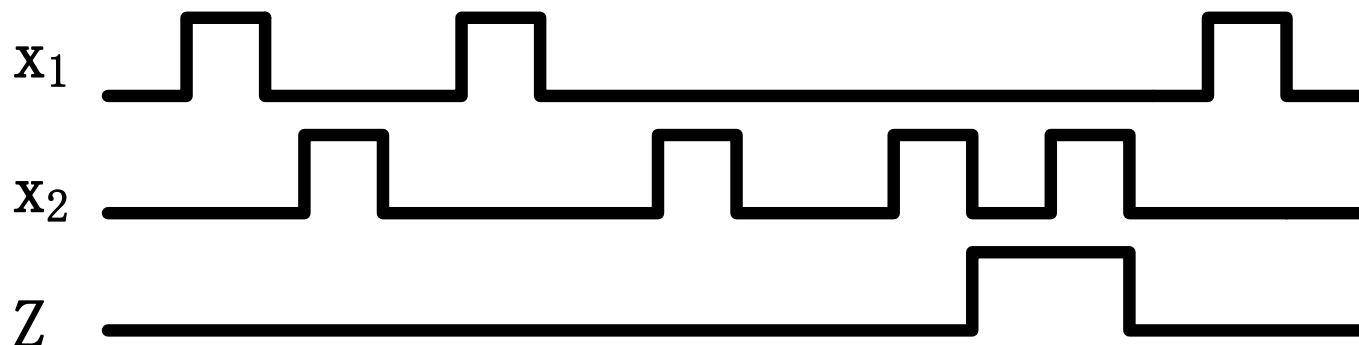
$$Z = y_2 y_1$$



逻辑电路图

脉冲异步时序逻辑电路设计

□ 时间图



脉冲异步时序逻辑电路设计

□ 使用负脉冲完成设计

输入脉冲 $\overline{x_2} \quad \overline{x_1}$	现态 $y_2 y_1$	次态 $y_2^{n+1} y_1^{n+1}$	激励函数 数 $C_2 D_2 C_1 D_1$	输出 Z
0 1	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
1 0	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

脉冲异步时序逻辑电路设计

□ 使用负脉冲完成设计

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
1 0	0 0	1 0	1 1 0 d	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	0 d 0 d	0
	1 1	1 0	0 d 1 0	1
0 1	0 0	0 0	0 d 0 d	0
	0 1	1 1	1 1 0 d	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

对吗?

脉冲异步时序逻辑电路设计

□ 状态不变使用d0方式

$Q \rightarrow Q^{n+1}$	CP D
0 0	d 0
	0 d
0 1	1 1
1 0	1 0
1 1	d 1
	0 d

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	1	d	d
01	d	1	d	1
11	d	d	d	1
10	d	d	d	1

$$C_2 = x_2 + x_1$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

y_2y_1	x_2x_1			
	00	01	11	10
00		1	d	
01		1	d	1
11	1	1	d	
10	1	1	d	

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$y_2y_1 \backslash x_2x_1$	00	01	11	10
00	d	d	d	d
01	d	1	d	d
11	d	1	d	1
10	d	d	d	1

$$C_1 = x_1 + x_2$$

脉冲异步时序逻辑电路设计

激励函数和输出函数

- 输入端无脉冲出现，触发器时钟端为d，输入端1/0
- 两个输入端同时为1(不允许)作为无关条件处理

输入脉冲 x_2x_1	现态 y_2y_1	次态 $y_2^{n+1}y_1^{n+1}$	激励函数 $C_2D_2C_1D_1$	输出 Z
0 1	0 0	1 0	1 1 d 0	0
	0 1	1 0	1 1 1 0	0
	1 0	1 0	d 1 d 0	0
	1 1	1 0	d 1 1 0	1
1 0	0 0	0 0	d 0 d 0	0
	0 1	1 1	1 1 d 1	0
	1 0	0 1	1 0 1 1	0
	1 1	0 0	1 0 1 0	1

$x_2x_1 \backslash y_2y_1$	00	01	11	10
00			d	
01	1		d	1
11	1		d	
10			d	1

$$D_1 = \bar{x}_2\bar{x}_1y_1 + x_2y_1\bar{y}_2 + x_2y_2\bar{y}_1$$

脉冲异步时序逻辑电路设计

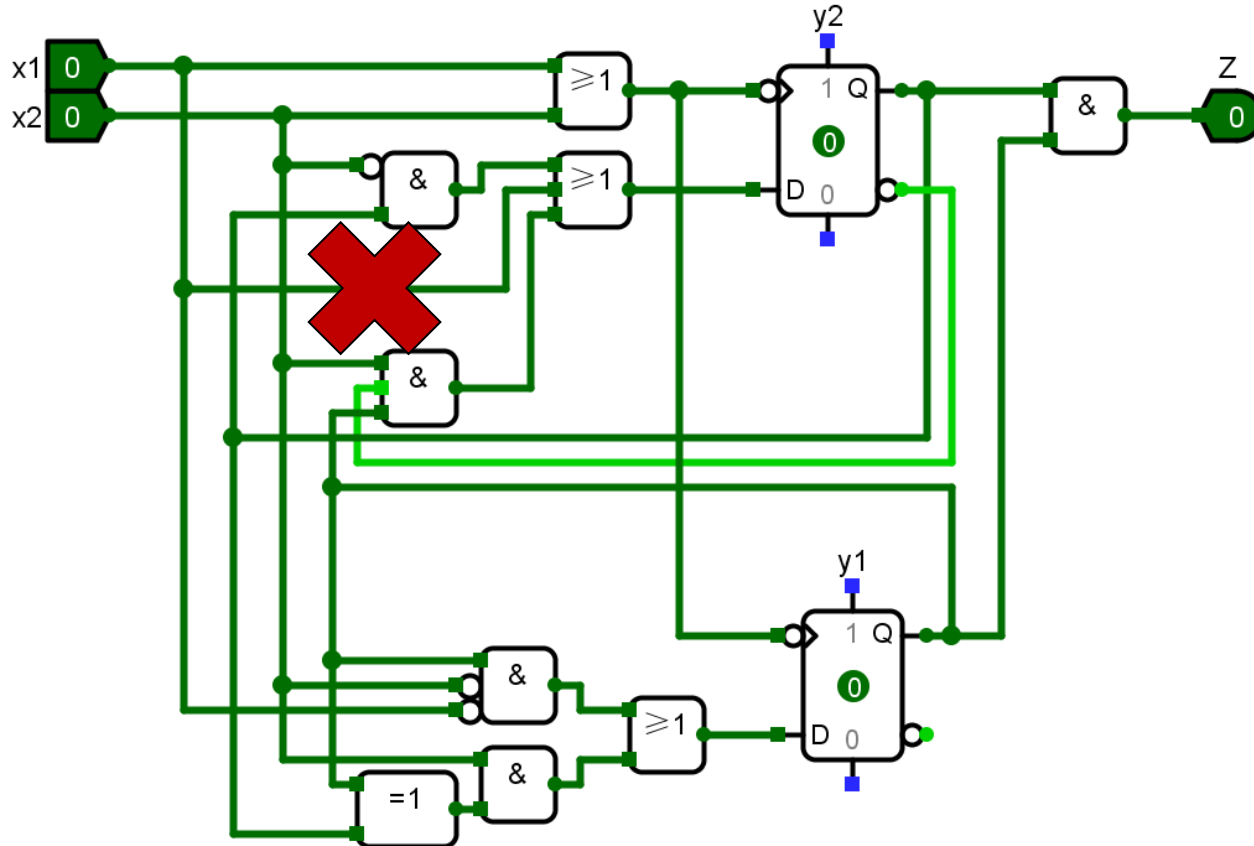
□ 逻辑电路图

$$C_2 = C_1 = x_2 + x_1$$

$$D_1 = \bar{x}_2 \bar{x}_1 y_1 + x_2 (y_2 \oplus y_1)$$

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

$$Z = y_2 y_1$$



脉冲异步时序逻辑电路设计

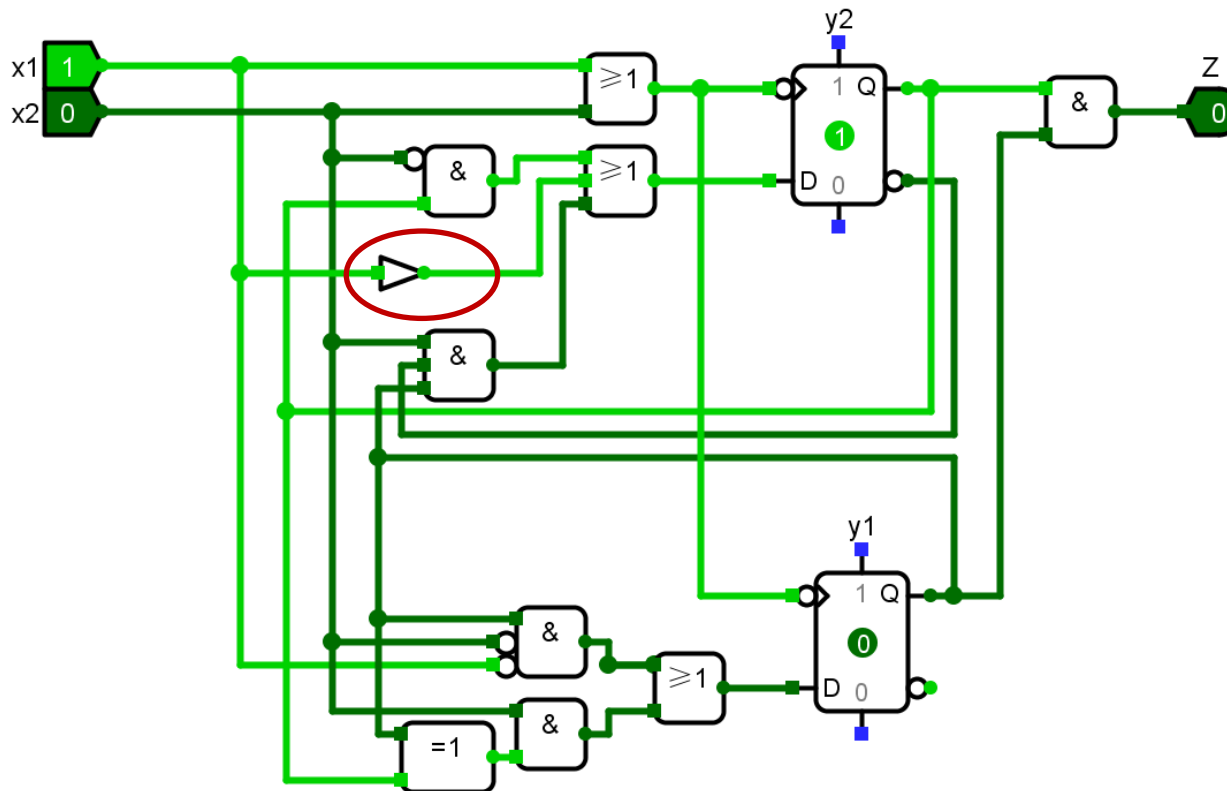
□ 逻辑电路图

$$C_2 = C_1 = x_2 + x_1$$

$$D_1 = \bar{x}_2 \bar{x}_1 y_1 + x_2 (y_2 \oplus y_1)$$

$$D_2 = \bar{x}_2 y_2 + x_1 + x_2 \bar{y}_2 y_1$$

$$Z = y_2 y_1$$



脉冲异步时序逻辑电路设计

□总结

- 异步时序逻辑电路状态不变时，相应触发器的时钟端为0，输入端任意
- 使用正脉冲进行设计时，一般使用下降沿触发的触发器

提 纲

1

异步时序逻辑电路概述

2

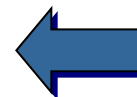
脉冲异步时序逻辑电路分析

3

脉冲异步时序逻辑电路设计

4

电平异步时序逻辑电路分析



电平异步时序逻辑电路分析

□ 脉冲异步时序电路和同步时序电路共同的特点

- 电路状态的转换是在脉冲作用下实现的
- 电路对过去输入信号的记忆由触发器的状态体现

电平异步时序逻辑电路分析

□ 脉冲信号只不过是电平信号的一种特殊形式

- 电平信号是指信号的“0”值和“1”值的持续时间是随意的，它以电位的变化作为信号的变化



- 而脉冲信号的“1”值仅仅维持一个固定的短暂时刻，它以脉冲信号的有、无标志信号的变化



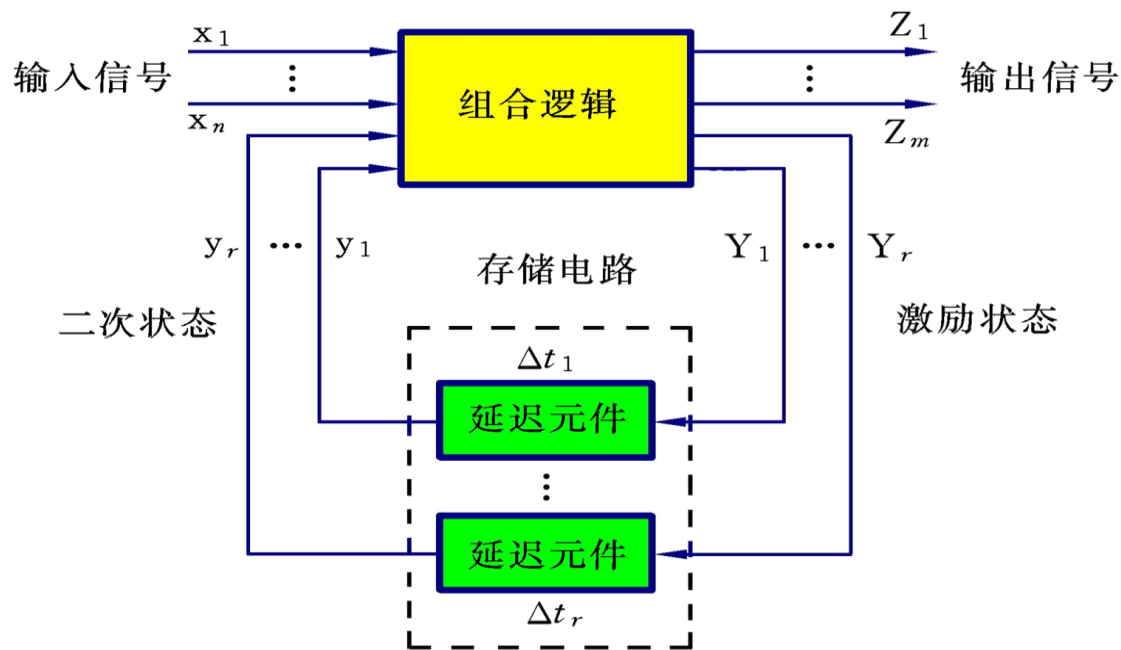
- 电平信号在短时间内的两次变化便形成了脉冲

电平异步时序逻辑电路分析

- 电路中的触发器，不管是哪种类型，都是由逻辑门加反馈回路构成的
- 时序逻辑电路中更具一般性的另一类电路——电平异步时序逻辑电路
 - 电平异步时序逻辑电路的记忆功能是由反馈回路中的延迟元件实现的
 - 注意：延时加反馈可以实现记忆功能
 - 电路中一般不用专门插入延迟元件，而是利用电路本身固有的分布延迟在反馈回路中的“集总”

电平异步时序逻辑电路分析

□ 电平异步时序逻辑电路的结构特点



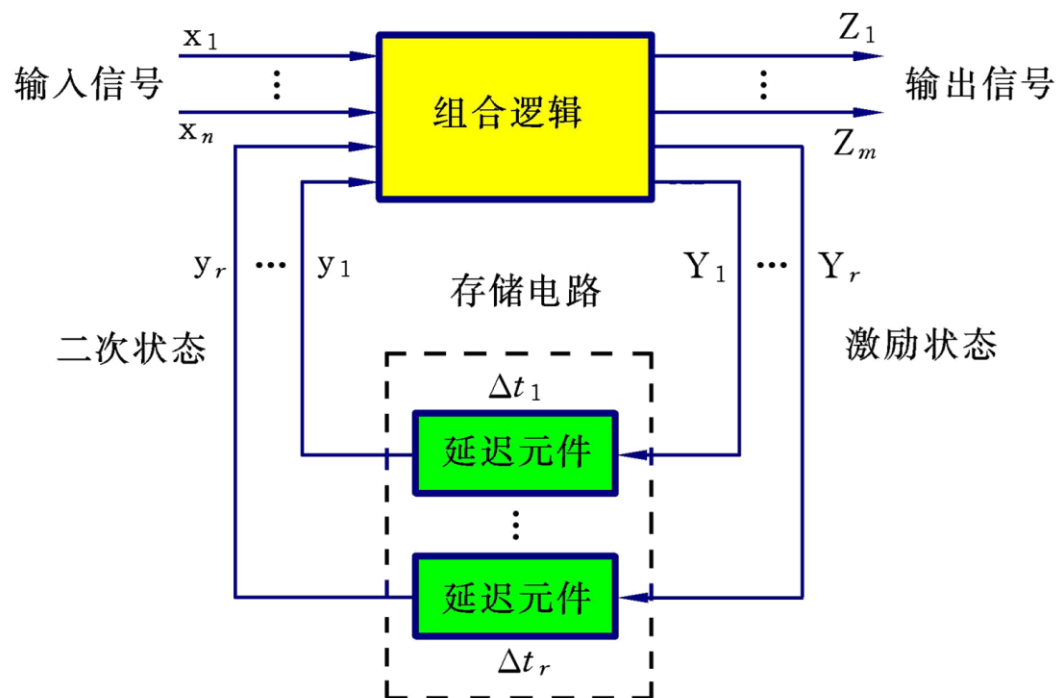
x_1, x_2, \dots, x_n : 外部输入信号 Z_1, Z_2, \dots, Z_m : 外部输出信号

Y_1, Y_2, \dots, Y_r : 激励状态 y_1, y_2, \dots, y_r : 二次状态

$\Delta t_1, \Delta t_2, \dots, \Delta t_r$: 反馈回路中的时间延迟。

电平异步时序逻辑电路分析

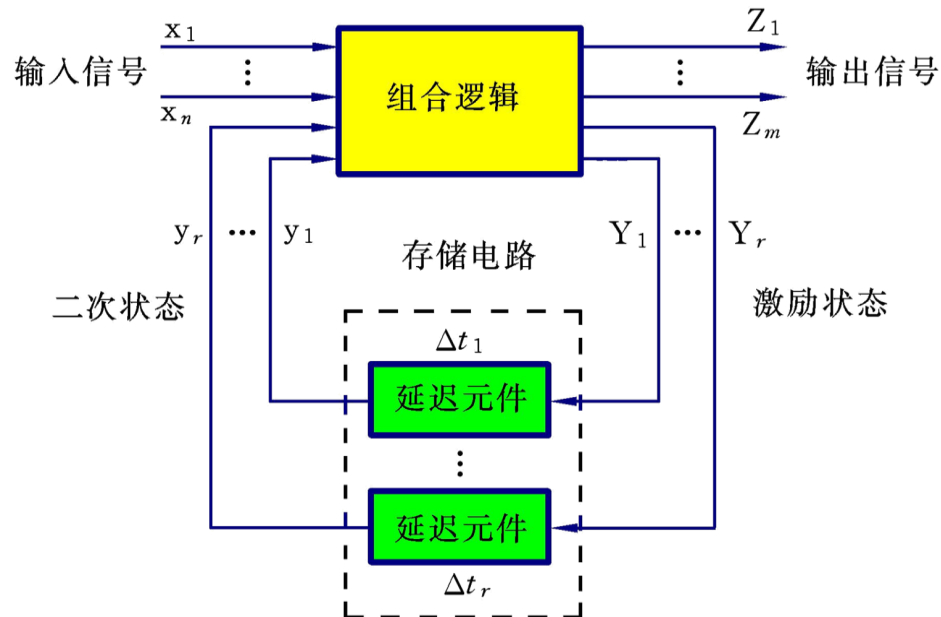
□ 组成：逻辑门加反馈



电平异步时序逻辑电路分析

□ 逻辑方程

- $Z_i = f_i(x_1, \dots, x_n, y_1, \dots, y_r) \quad i=1, \dots, m$
- $Y_j = g_j(x_1, \dots, x_n, y_1, \dots, y_r) \quad j=1, \dots, r$
- $y_j(t + \Delta t_j) = Y_j(t)$



电平异步时序逻辑电路分析

□特点

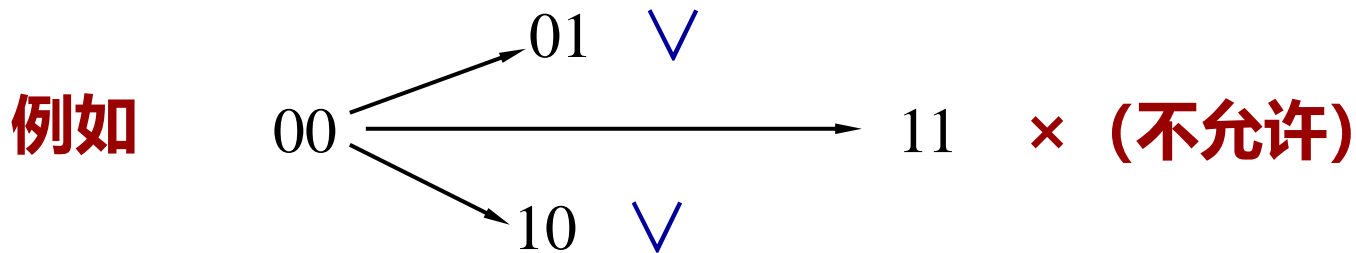
- 电路输出和状态的改变是由输入信号电位的变化直接引起的，工作速度较高
- 电路的二次状态和激励状态仅仅相差一个时间延迟，即二次状态 y 是激励状态 Y 经过延迟 Δt 后的“重现”
- 输入信号的一次变化可能引起二次状态的多次变化
- 电路在状态转换过程中存在稳定状态和非稳定状态
稳定状态： $Y = y$ 非稳定状态： $Y \neq y$

电平异步时序逻辑电路分析

□ 输入信号的约束

- 不允许两个或两个以上输入信号同时发生变化

客观上不可能有准确的“同时”，而微小的时差都可能使最终到达的状态不确定



电平异步时序逻辑电路分析

□ 输入信号的约束

- 输入信号变化引起的电路响应必须完全结束后,才允许输入信号再次变化。换句话说, 必须使电路进入稳定状态后, 才允许输入信号发生变化

□ 以上两条是使电平异步时序电路能可靠工作的基本条件, 通常将满足上述条件的工作方式称为**基本工作方式**, 并将按基本工作方式工作的电平异步时序逻辑电路称为**基本型电路**

电平异步时序逻辑电路分析

□ 电平异步时序逻辑电路的描述

- 逻辑方程
- 流程表

流程表：是一种以卡诺图的格式反映电路输出信号、激励状态与电路输入信号、二次状态之间关系的一种表格

Mealy型流程表			
二次状态	激励状态/输出		
		输入x	
y		Y/Z	

Moore型流程表				
二次状态	激励状态			输出
		输入x		
y		Y		Z

电平异步时序逻辑电路分析

□ 注意

- 将表中与二次状态相同的激励状态加上圆圈，以表示电路处于稳态，否则处于非稳态
- 将一位输入的各种取值按代码相邻的关系排列(与卡诺图相同)，以表示输入信号只能在相邻位置上发生变化

电平异步时序逻辑电路分析

□例：用或非门构成的基本R-S触发器，一个最简的电平异步时序逻辑电路。

□激励方程为

$$Y = S + \bar{R}y$$

二次状态 y	激励状态 Y				输出 z
	$RS=00$	$RS=01$	$RS=11$	$RS=10$	
0	0	1	d	0	0
1	1	1	d	0	1

电平异步时序逻辑电路分析

□ 流程表能详细反映电路的工作过程及工作特点

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/1	01/1	11/0	10/0
01	11/0	01/0	11/0	10/0
11	10/0	10/0	11/0	11/0
10	00/1	10/0	11/0	11/0

注意：流程表并不能清晰地反映电路的逻辑功能！

电平异步时序逻辑电路分析

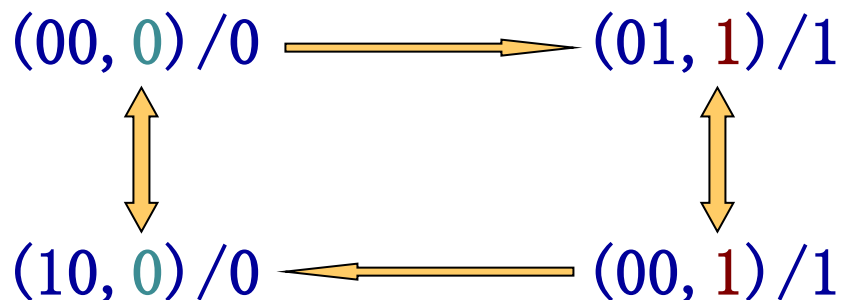
□ 电平异步时序逻辑电路的描述

– 总态图

- 电平异步时序逻辑电路在输入信号作用下存在稳态和非稳态，而且在同一输入信号作用下，可能有一个稳态也可能有多个稳态，为了对电路的工作状态和逻辑功能作出确切的说明，引入了总态和总态图的概念
- **总态**：指电路输入和二次状态的组合，记作 (x,y) 。
- 在流程表中，代表某个二次状态的一行和代表某种输入取值的一列的交叉点对应一个总态
- **总态图**：反映稳定总态之间转移关系及相应输出的一种有向图。

电平异步时序逻辑电路分析

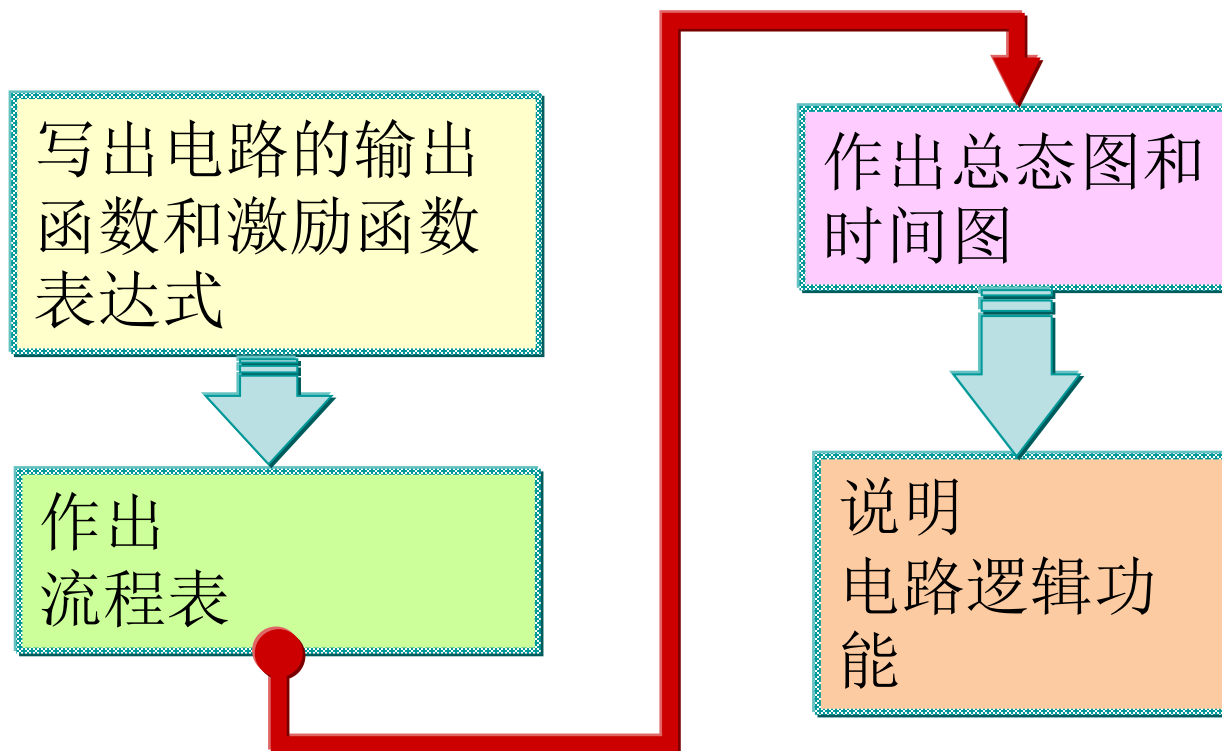
- 电平异步时序逻辑电路的逻辑功能，是由电路在输入作用下各稳定总态之间的转移关系以及各时刻的输出来体现的。
- 总态图能够清晰地描述一个电路的逻辑功能



二次状态y	激励状态Y				输出z
	RS=00	RS=01	RS=11	RS=10	
0	0	1	d	0	0
1	1	1	d	0	1

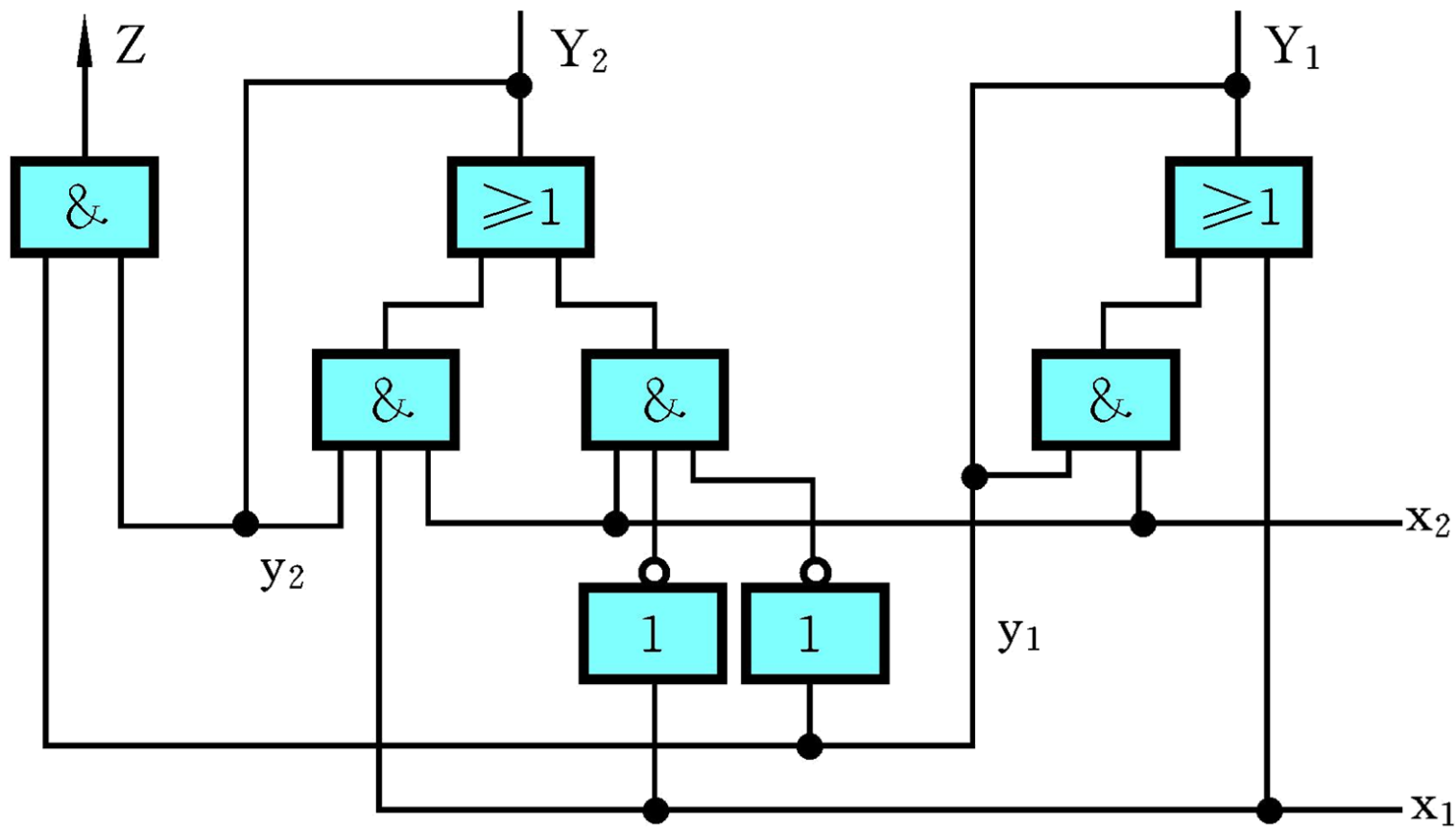
电平异步时序逻辑电路分析

□ 电平异步时序逻辑电路分析步骤



电平异步时序逻辑电路分析

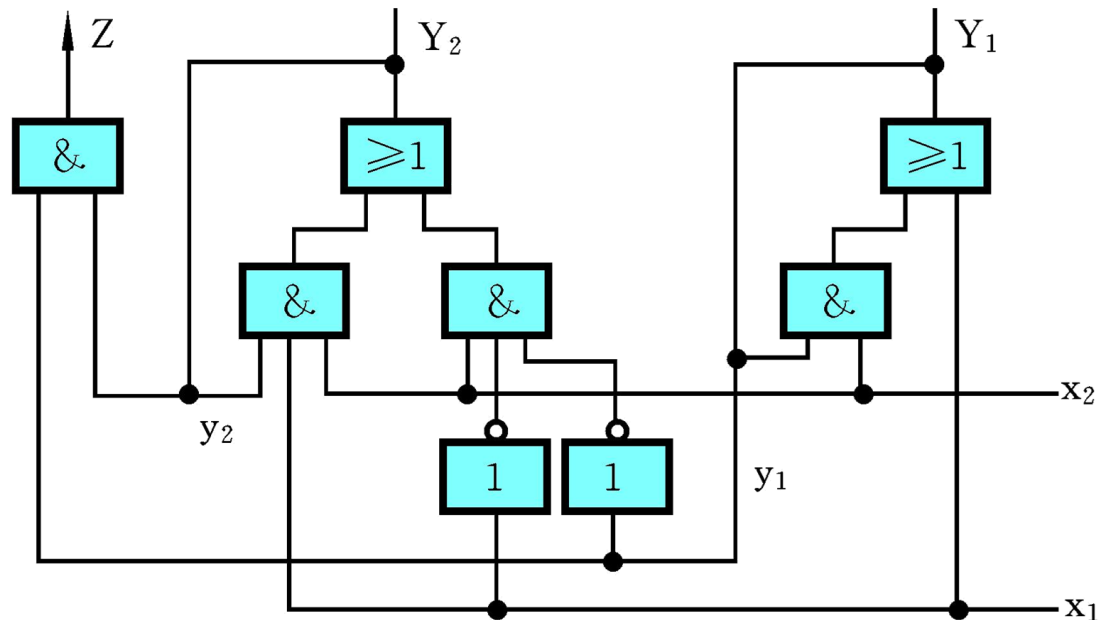
□ 例1 分析下图所示电平异步时序逻辑电路。



电平异步时序逻辑电路分析

□ 分析

- 两个外部输入 x_1 、 x_2
- 两条反馈回路，对应的激励状态为 Y_1 、 Y_2 ,二次状态为 y_1 、 y_2
- 一个外部输出 Z
- Moore模型



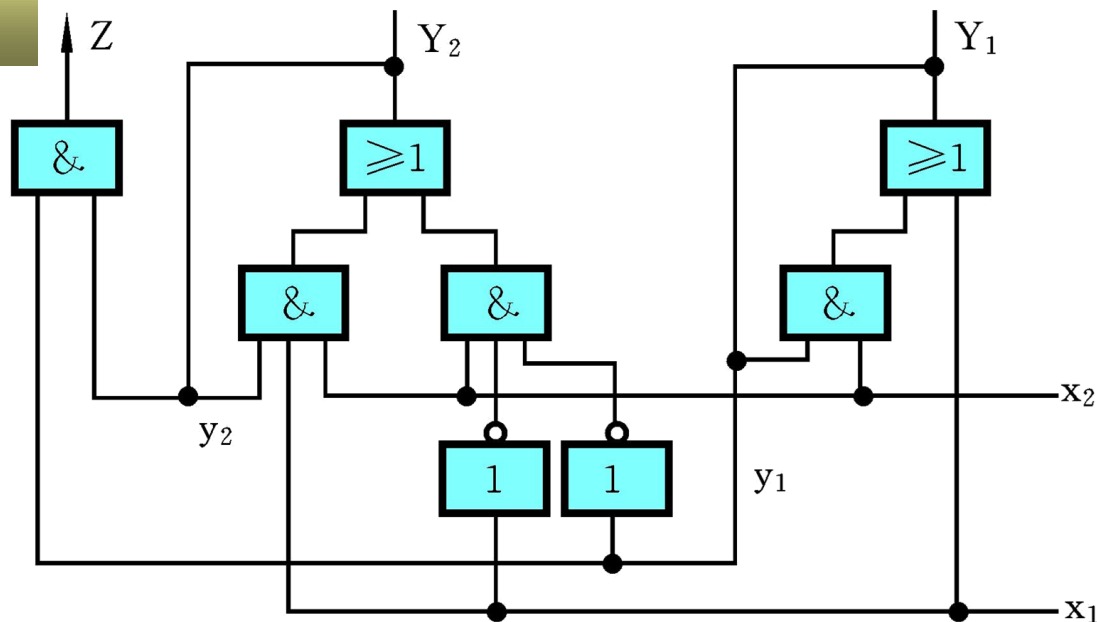
电平异步时序逻辑电路分析

□ 输出函数和激励函数

$$Z = y_2 y_1$$

$$Y_2 = x_2 x_1 y_2 + \overline{x_2} \overline{x_1} y_1$$

$$Y_1 = x_2 y_1 + x_1$$



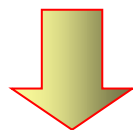
电平异步时序逻辑电路分析

□ 流程表

$$Z = y_2 y_1$$

$$Y_2 = x_2 x_1 y_2 + \overline{x_2} \overline{x_1} \overline{y_1}$$

$$Y_1 = x_2 y_1 + x_1$$

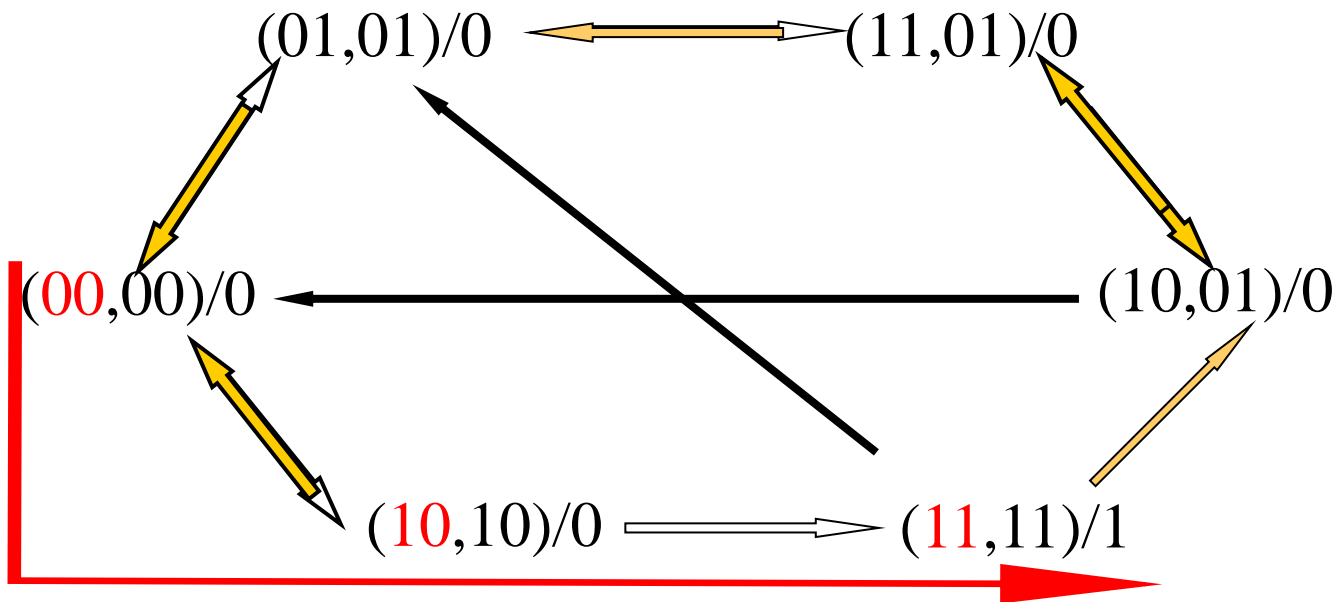


二次状态 $y_2 y_1$	激励状态 $Y_2 Y_1$				输出 Z
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$	
00	00	01	01	10	0
01	00	01	01	01	0
11	00	01	11	01	1
10	00	01	11	10	0

电平异步时序逻辑电路分析

□ 总态图

二次状态 y_2y_1	激励状态 Y_2Y_1				输出 Z
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$	
00	00	01	01	10	0
01	00	01	01	01	0
11	00	01	11	01	1
10	00	01	11	10	0



电平异步时序逻辑电路分析

□ 总态和输出响应序列

假定电路初始总态

为 $00 \rightarrow 10 \rightarrow 11 \rightarrow 01$

作出总态和输出响应

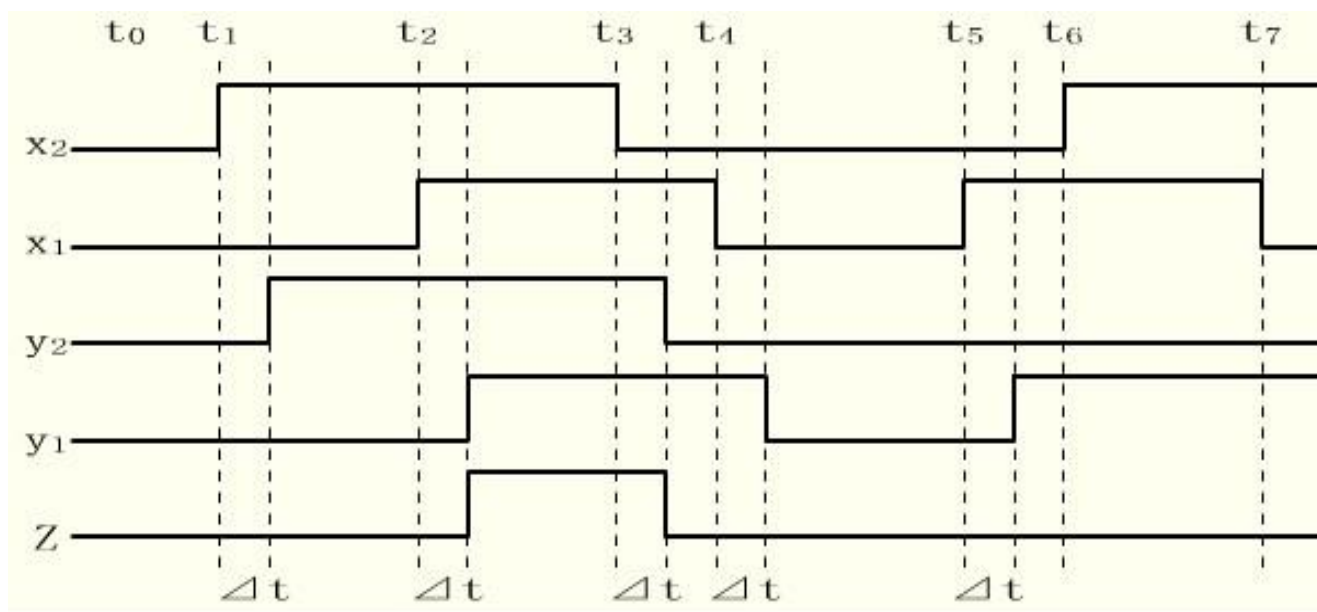
二次状态 y_2y_1	激励状态 Y_2Y_1				输出 Z
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$	
00	00	01	01	10	0
01	00	01	01	01	0
11	00	01	11	01	1
10	00	01	11	10	0

时 刻 t_i :	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7
输入 x_2x_1 :	00	10	11	01	00	01	11	10
总 态 :	(00, 00)	(10, 00)*	(11, 10)*	(01, 11)*	(00, 01)*	(01, 00)*	(11, 01)	(10, 01)
(x_2x_1, y_2y_1)		(10, 10)	(11, 11)	(01, 01)	(00, 00)	(01, 01)		
输 出 Z :	0	0	1	0	0	0	0	0

电平异步时序逻辑电路分析

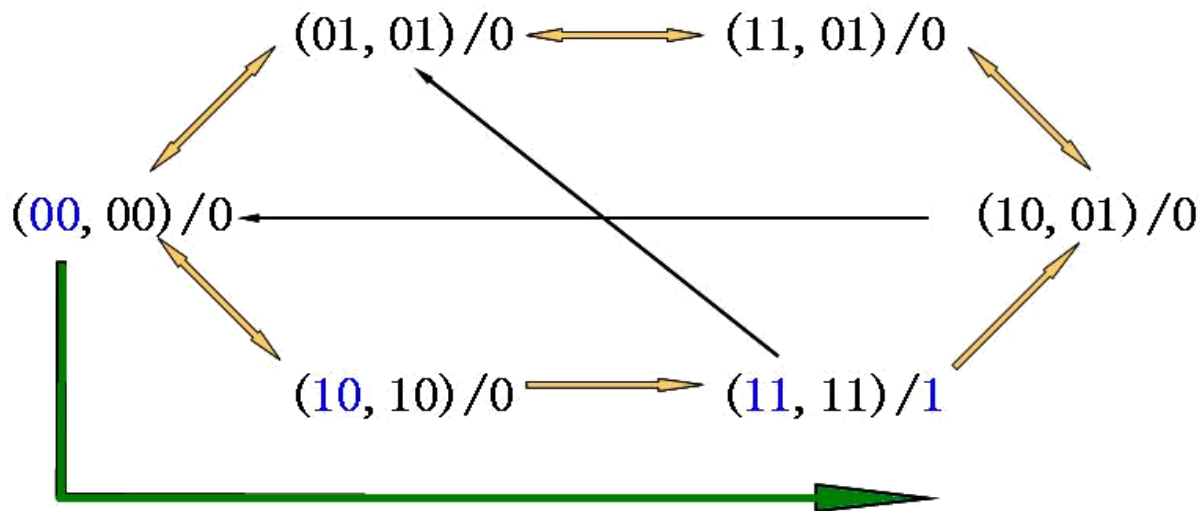
□ 时间图

时 刻 t_i :	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7
输入 x_2x_1 :	00	10	11	01	00	01	11	10
总 态 :	(00, 00)	(10, 00) * (11, 10) * (01, 11) * (00, 01) * (01, 00) * (11, 01) (10, 01)	(10, 10)	(11, 11)	(01, 01)	(00, 00)	(01, 01)	
(x_2x_1, y_2y_1)								
输 出 Z :	0	0	1	0	0	0	0	0



电平异步时序逻辑电路分析

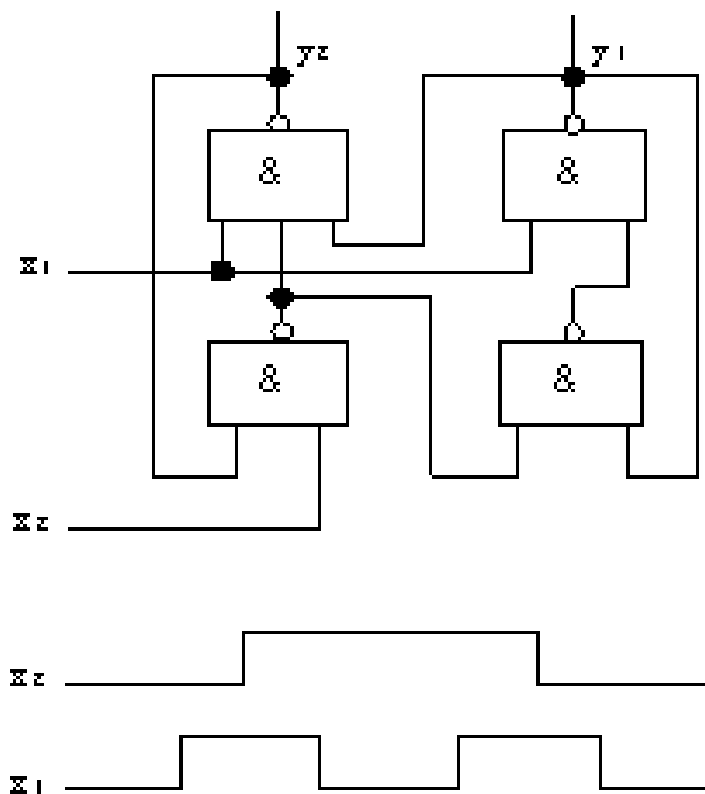
□ 功能描述



该电路是一个 “00→10→11” 序列检测器。

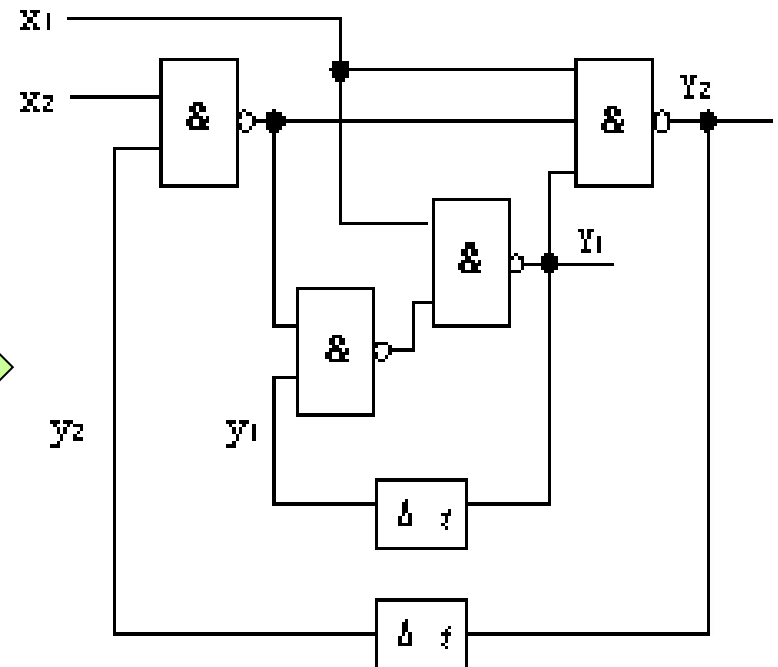
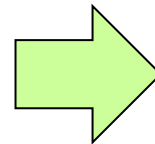
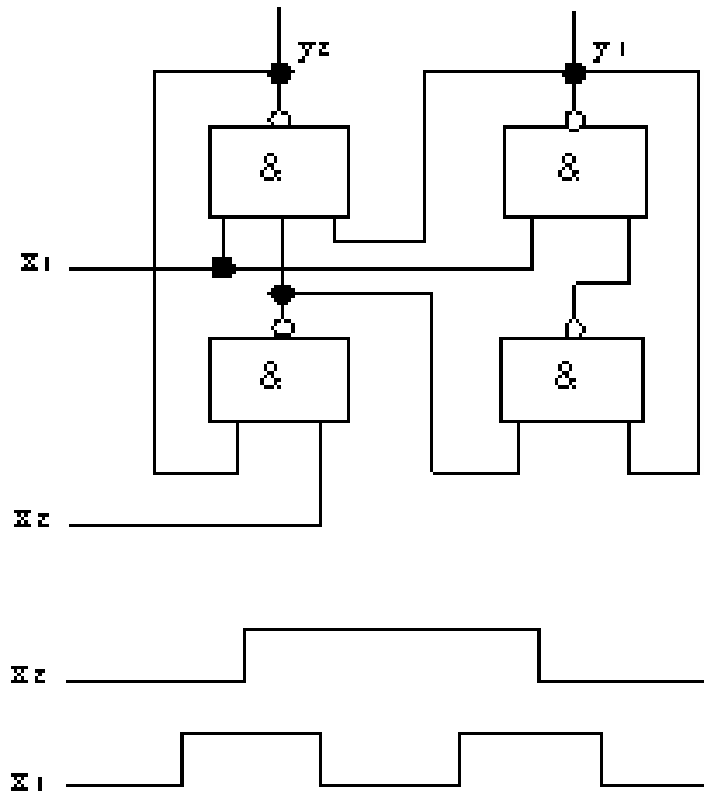
电平异步时序逻辑电路分析

□例2 分析下图所示电平异步时序逻辑电路,根据给定输入波形作出时间图,说明电路功能。



电平异步时序逻辑电路分析

□ 分析



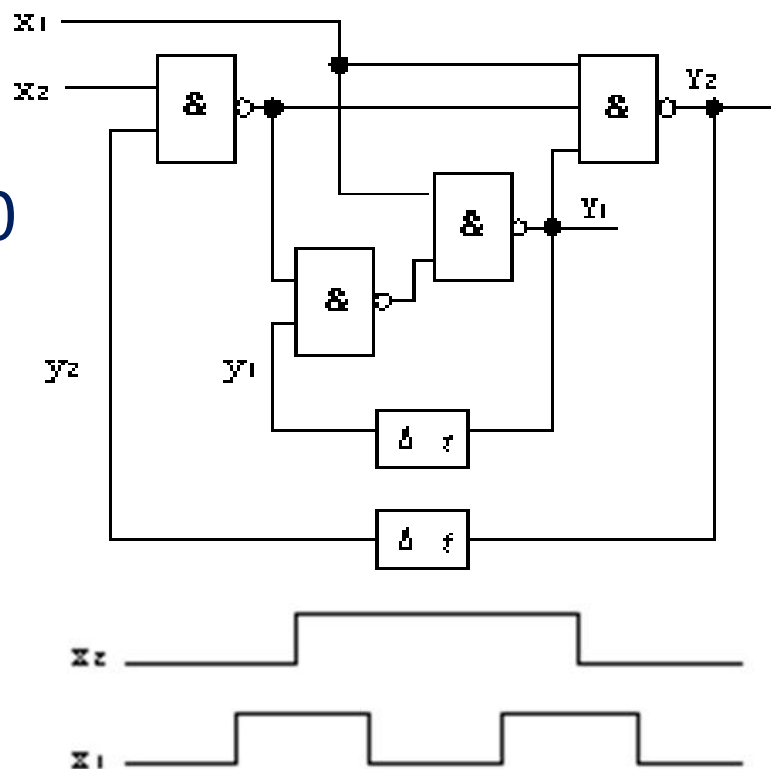
电平异步时序逻辑电路分析

□分析

– 该电路有两个输入 x_1 和 x_2 ，没有单独的输出函数， y_2 和 y_1 即输出

– 给定输入序列 $x_2 \ x_1$

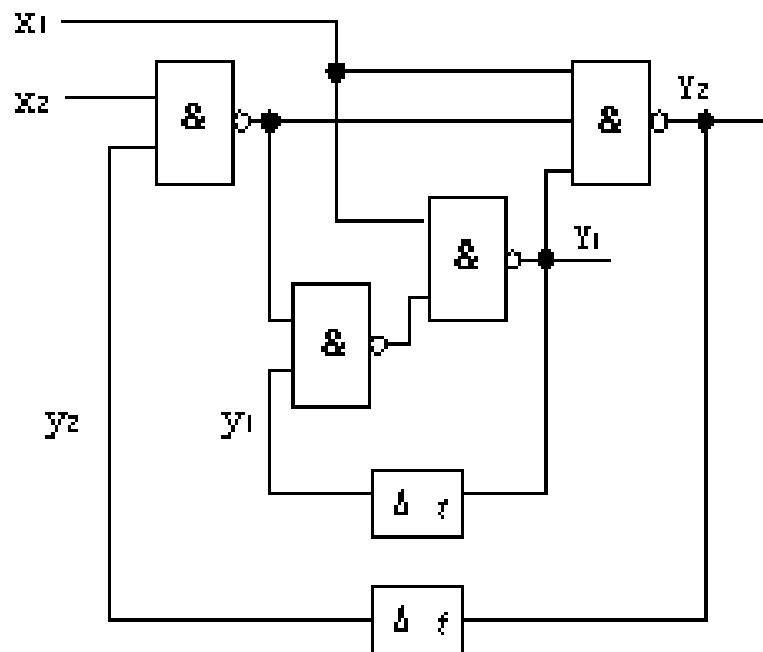
$00 \rightarrow 01 \rightarrow 11 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$



电平异步时序逻辑电路分析

□ 输出函数和激励函数表达式

$$\begin{aligned} Y_1 &= \overline{x_2 y_2} \cdot y_1 \cdot x_1 = \overline{x_1} + \overline{x_2} y_1 + \overline{y_2} y_1 \\ Y_2 &= \overline{x_2 y_2} \cdot x_1 \cdot y_1 = \overline{x_1} + x_2 y_2 + \overline{y_1} \end{aligned}$$



电平异步时序逻辑电路分析

□ 流程表

$$Y_1 = \bar{x}_1 + \bar{x}_2 y_1 + \bar{y}_2 y_1$$
$$Y_2 = \bar{x}_1 + x_2 y_2 + \bar{y}_1$$



二次状态 $y_2 y_1$	激励状态 $Y_2 Y_1$			
	$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$
00	11	10	10	11
01	11	01	01	11
11	11	01	10	11
10	11	10	10	11

电平异步时序逻辑电路分析

□ 时间图

– 给定输入波形对应的输入序列为

00→01→11→10→11→01→00

二次状态 y_2y_1	激励状态 Y_2Y_1			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	11	10	10	11
01	11	01	01	11
11	11	01	10	11
10	11	10	10	11

时刻t:

t_0 t_1 t_2 t_3 t_4 t_5 t_6

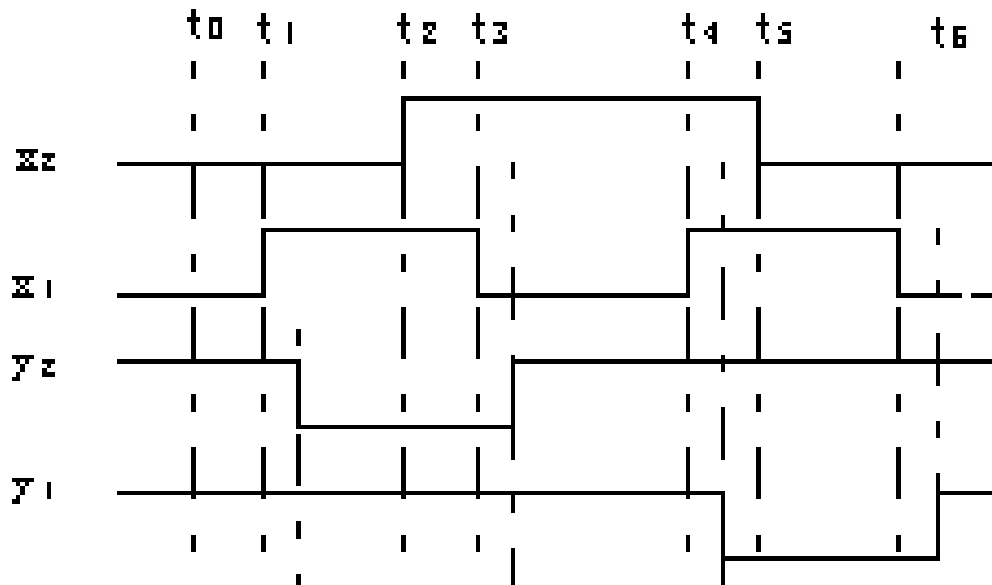
输入 x_2x_1 : 00 01 11 10 11 01 00

总态: (00, 11)(01, 11) (11, 01) (10, 01) (11, 11) (01, 10) (00, 10)
 (01, 01) (10, 11) (11, 10) (00, 11)

电平异步时序逻辑电路分析

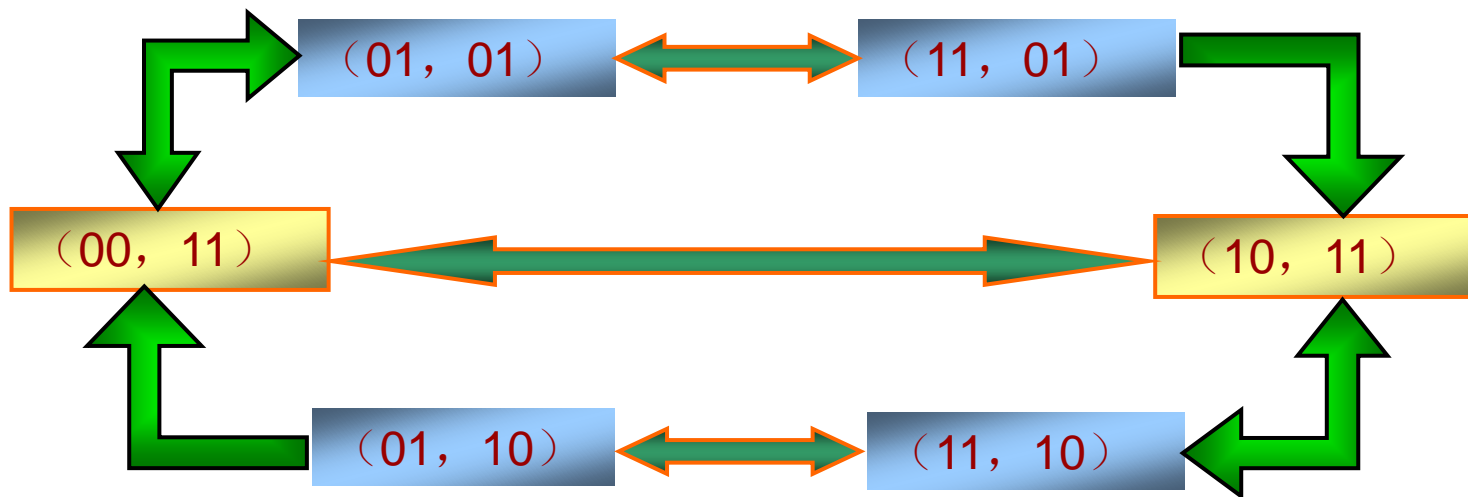
□ 时间图

时刻t:	t_0	t_1	t_2	t_3	t_4	t_5	t_6
输入 x_2x_1 :	00	01	11	10	11	01	00
总态:	(00, 11)		(01, 11)	(11, 01)	(10, 01)	(11, 11)	(01, 10)
			(01, 01)	(10, 11)		(11, 10)	(00, 11)



电平异步时序逻辑电路分析

□ 总态图



电平异步时序逻辑电路分析

□功能描述

- 该电路类似D触发器的维持阻塞电路
- x_1 为时钟脉冲端， x_2 为数据输入端
- 当 x_1 端的正脉冲上跳时，若 x_2 为0,则将正脉冲反相后从 y_2 输出（将触发器置0）；若 x_2 为1，则将正脉冲反相后从 y_1 输出（将触发器置1）
- 在 x_1 端出现正脉冲期间， x_2 的变化不影响 y_2 和 y_1 的负脉冲输出

电平异步时序逻辑电路竞争

□ 电平异步时序逻辑电路的竞争

- 当电路中存在多条反馈回路，而各回路之间的延时又互不相同，则可能由于输入信号的变化在反馈回路之间引起竞争
- **竞争**：是指当输入信号变化引起电路中两个或两个以上状态变量发生变化时，由于各反馈回路延迟时间的不同，使状态的变化有先有后而导致不同状态响应过程的现象

电平异步时序逻辑电路竞争

□ 竞争的类型

- **非临界竞争**：若竞争的结果最终能到达预定的稳态，则称为非临界竞争
- **临界竞争**：若竞争的结果可能使电路到达不同的稳态，即状态转移不可预测，则称为临界竞争

电平异步时序逻辑电路竞争

□例1：某电平异步时序电路的流程表

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

当电路处在稳定总态 (00, 00) 和 (10, 11) ,
输入发生变化时, 电路状态响应过程将如何呢?

电平异步时序逻辑电路竞争

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

当电路处于稳定总态(00,00)

- 输入 x_2x_1 由00→10时
- 引起激励状态 Y_2Y_1 从00→11

电平异步时序逻辑电路竞争

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

当电路处于稳定总态(10,11)

- 输入 x_2x_1 由 $10 \rightarrow 00$ 时
- 引起激励状态 Y_2Y_1 从 $11 \rightarrow 00$

电平异步时序逻辑电路竞争

二次状态 y_2y_1	激励状态 y_2y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

在这两个稳定总态下输入发生响应的变化时，两个状态变量均发生变化，当电路中两条反馈回路的延迟时间 Δt_1 和 Δt_2 不相等时，电路中将产生竞争。

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(00,00)
 - 输入 x_2x_1 由00→10时
 - $\Delta t_2 > \Delta t_1$,引起激励状态 Y_2Y_1 从00→01

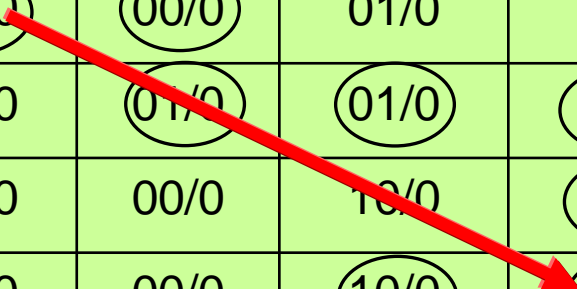
二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	(00/0)	(00/0)	01/0	11/0
01	00/0	(01/0)	(01/0)	(01/0)
11	00/0	00/0	10/0	(11/0)
10	00/0	00/0	(10/0)	(10/0)

- $\Delta t_2 > \Delta t_1$: 到达预定的稳定总态(10, 01)

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(00,00)
 - 输入 x_2x_1 由00→10时
 - $\Delta t_2 < \Delta t_1$, 激励状态 Y_2Y_1 从00→10

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



- $\Delta t_2 < \Delta t_1$: 到达预定的稳定总态(10, 10)

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(00,00)
 - 输入 x_2x_1 由00→10时
 - $\Delta t_2 = \Delta t_1$, 激励状态 Y_2Y_1 从00→11

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

- $\Delta t_2 = \Delta t_1$: 到达预定的稳定总态(10, 11)

电平异步时序逻辑电路竞争

□ 当电路处于稳定总态(00,00)

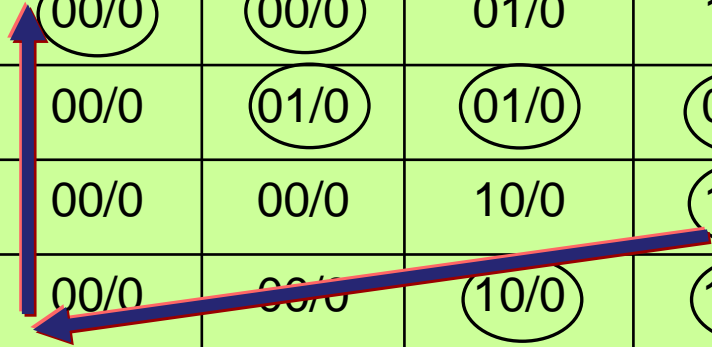
- 输入 x_2x_1 由00→10时
- 引起激励状态 Y_2Y_1 从00→11
 - $\Delta t_2 = \Delta t_1$: 到达预定的稳定总态(10, 11)
 - $\Delta t_2 < \Delta t_1$: 到达预定的稳定总态(10, 10)
 - $\Delta t_2 > \Delta t_1$: 到达预定的稳定总态(10, 01)

本次竞争属于临界竞争!

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(10,11)
 - 输入 x_2x_1 由10→00时
 - $\Delta t_2 < \Delta t_1$, 激励状态 Y_2Y_1 从11→10

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

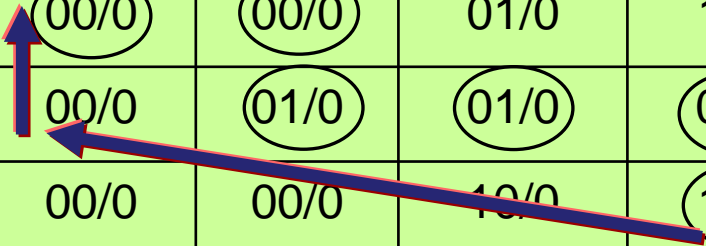


- $\Delta t_2 < \Delta t_1$: 到达预定的稳定总态(00, 00)

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(10,11)
 - 输入 x_2x_1 由10→00时
 - $\Delta t_2 > \Delta t_1$, 激励状态 Y_2Y_1 从11→01

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0



- $\Delta t_2 > \Delta t_1$: 到达预定的稳定总态(00, 00)

电平异步时序逻辑电路竞争

- 当电路处于稳定总态(10,11)
 - 输入 x_2x_1 由10→00时
 - $\Delta t_2 = \Delta t_1$, 激励状态 Y_2Y_1 从11→00

二次状态 y_2y_1	激励状态 Y_2Y_1 /输出Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	00/0	01/0	11/0
01	00/0	01/0	01/0	01/0
11	00/0	00/0	10/0	11/0
10	00/0	00/0	10/0	10/0

- $\Delta t_2 = \Delta t_1$: 到达预定的稳定总态(00, 00)

电平异步时序逻辑电路竞争

□ 当电路处于稳定总态(11,10)

- 输入 x_2x_1 由10→00时
- 引起激励状态 Y_2Y_1 从11→00
 - $\Delta t_2 = \Delta t_1$: 到达预定的稳定总态(00, 00)
 - $\Delta t_2 < \Delta t_1$: 到达预定的稳定总态(00, 00)
 - $\Delta t_2 > \Delta t_1$: 到达预定的稳定总态(00, 00)
- 本次竞争属于非临界竞争!

电平异步时序逻辑电路竞争

□ 用流程表检查电路竞争的一般法则

- 当从某一稳态出发，输入信号发生允许变化、引起两个或两个以上激励状态同时发生变化时，由于反馈回路之间延迟时间的不同会使电路产生竞争
- 若输入信号变化所到达的列只有一个稳态，则该竞争属于非临界竞争
- 若输入信号变化所到达的列有两个或两个以上稳态，则该竞争属于临界竞争

电平异步时序逻辑电路竞争

□ 例2 判断下面的流程表是否存在竞争，并指出是临界竞争还是非临界竞争

二次状态 Y_2Y_1	激励状态 Y_2Y_1 /输出 Z			
	$x_2x_1=00$	$x_2x_1=01$	$x_2x_1=11$	$x_2x_1=10$
00	00/0	10/0	11/0	00/0
01	10/0	10/0	01/0	00/0
11	11/0	11/1	01/1	01/0
10	10/0	10/1	11/1	00/0

(10,00)→(11,00): 非临界竞争

(11,01)→(01,01): 临界竞争

Thank You!

