

第六章 中规模时序逻辑电路

主讲教师：何云峰



知识要点

- 常用中规模时序逻辑电路的逻辑符号、基本逻辑功能、外部特性和使用方法
- 应用常用中规模时序逻辑电路作为基本部件完成各种逻辑电路的设计，实现各种逻辑功能

常用中规模时序逻辑电路

- 数字系统中最典型的时序逻辑电路是计数器和寄存器
- 由于计数器和寄存器的应用十分广泛，所以，被制成中规模集成电路的定型产品供用户选用
- 要求在掌握外部特性后，根据需要对器件进行合理选择、灵活使用

常用中规模时序逻辑电路

□ 计数器

- 广义地说，计数器是一种能在输入信号作用下依次通过预定状态的时序逻辑电路
- 就常用的集成电路计数产品而言，计数器是一种对输入脉冲进行计数的时序逻辑电路，计数的脉冲信号称作 “计数脉冲”

计数器

- 计数器中的“数”是用触发器的状态组合来表示的
- 计数器在运行时，所经历的状态是周期性的，总是在有限个状态中循环，通常将一次循环所包含的状态总数称为计数器的“模”

计数器

□计数器的类型

- 按工作方式可分为同步计数器和异步计数器
- 按进位制可分为二进制计数器，十进制计数器，任意进制计数器
- 按功能可分为加法计数器，减法计数器，加/减可逆计数器等

□功能

- 一般具有计数、保存、清除、预置等功能

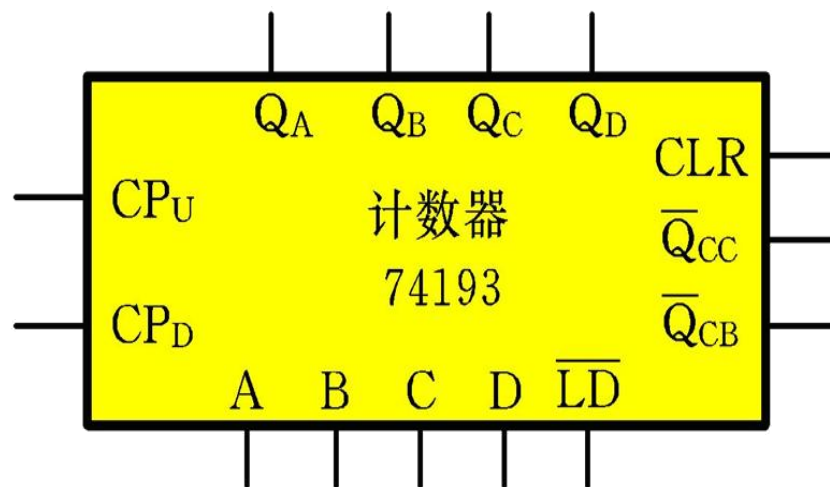
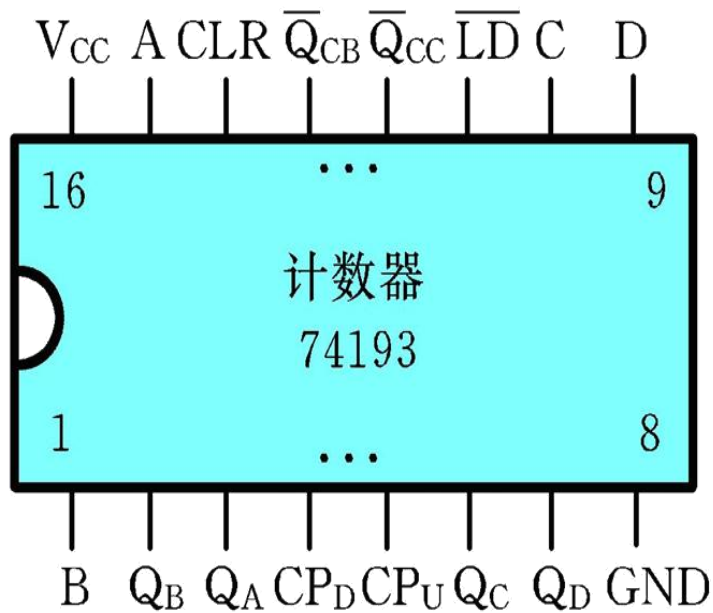
计数器

□ 典型芯片

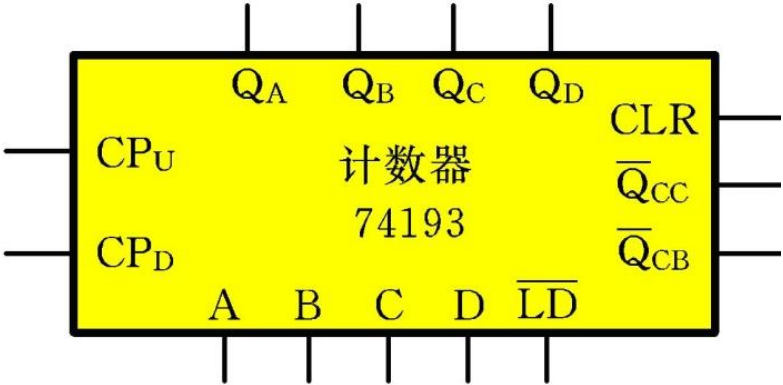
- 常用同步计数器芯片有4位二进制同步可逆计数器74193
- 该计数器具有清除、预置、累加计数、累减计数等功能

计数器

□ 74193引脚排列图和逻辑符号



计数器



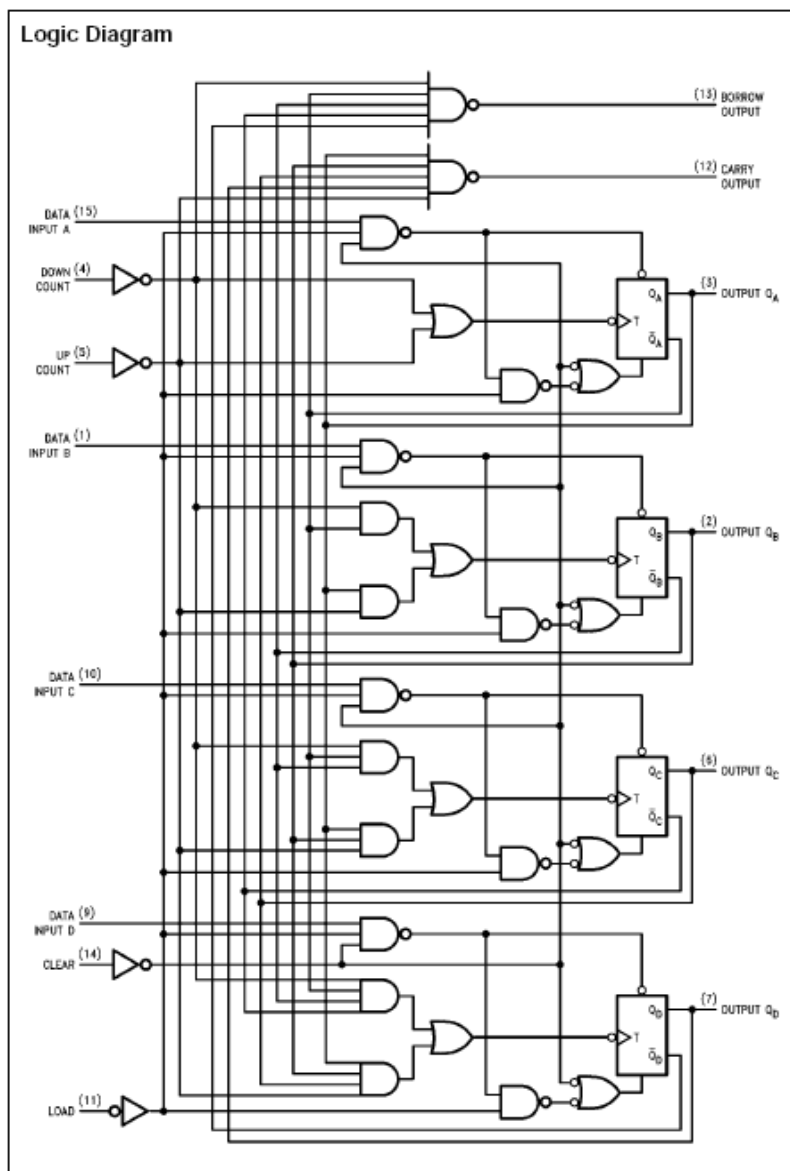
引脚名称		功能说明
输入端	CLR	清除
	\overline{LD}	预置控制
	DCBA	预置初值
	$CP_U \uparrow$	累加计数脉冲
	$CP_D \uparrow$	累减计数脉冲
输出端	$Q_D Q_C Q_B Q_A$	计数值
	$\overline{Q_{CC}}$	进位输出脉冲（负脉冲）
	$\overline{Q_{CB}}$	借位输出脉冲（负脉冲）

计数器

□功能表

输 入								输 出			
CLR	$\overline{\text{LD}}$	D	C	B	A	CP_U	CP_D	Q_D	Q_C	Q_B	Q_A
1	d	d	d	d	d	d	d	0	0	0	0
0	0	x_3	x_2	x_1	x_0	d	d	x_3	x_2	x_1	x_0
0	1	d	d	d	d	↑	1	累加计数			
0	1	d	d	d	d	1	↑	累减计数			

计数器



计数器

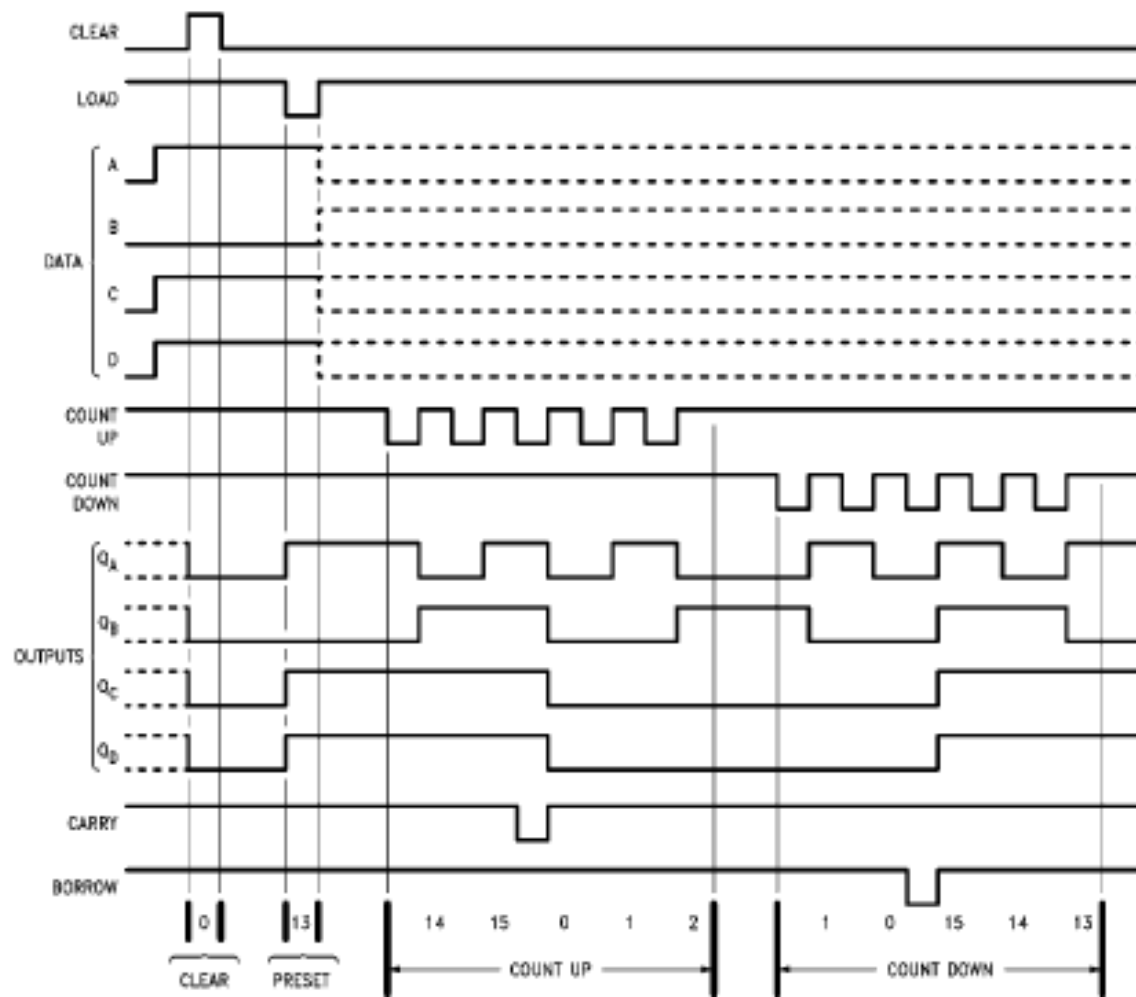
□ 进位和借位输出

$$- Q_{cc} = \overline{\overline{CP_U} \cdot Q_A \cdot Q_B \cdot Q_C \cdot Q_D}$$

$$- Q_{cb} = \overline{\overline{CP_D} \cdot \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} \cdot \overline{Q_D}}$$

计数器

Timing Diagram



Note A: Clear overrides load, data, and count inputs

Note B: When counting up, count-down input must be HIGH; when counting down, count-up input must be HIGH.

计数器

□应用

- 同步可逆计数器74193的“模”为16
- 利用计数器的清除、预置等功能，可以很方便地构成模 $M < 16$ 的计数器
- 利用计数器的进位和借位输出脉冲，将多个4位计数器级联，构成模 $M > 16$ 的计数器
- 计数器除了实现对输入脉冲进行计数的功能外，在数字系统中常用来构成脉冲分配器和序列信号发生器等逻辑部件

计数器

□ 构成模小于16的计数器

- 通过利用计数器的清除、预置等功能，可以很方便地实现模小于16的计数器

计数器

□例1：用74193构成模10加法计数器。

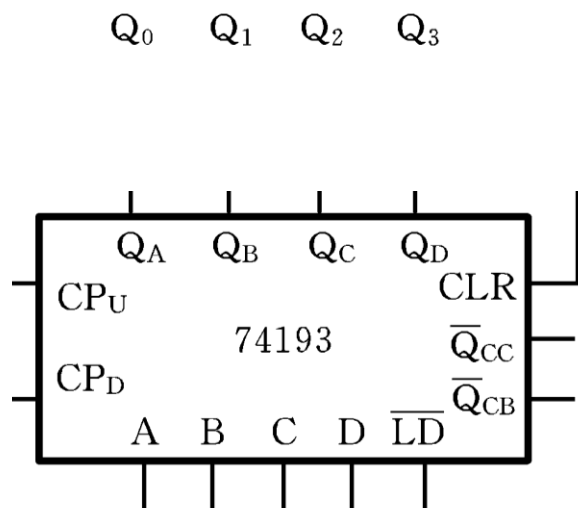
— 解：假设计数器的初始状态为 $Q_3Q_2Q_1Q_0 = 0000$ ，其状态变化序列如下：

0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011 \rightarrow 0100

1001 ← 1000 ← 0111 ← 0110 ← 0101

计数器

□ 根据74193的功能表，实现模10加法器功能的逻辑电路如下图所示。



— 图中， \overline{LD} 和 CP_D 接逻辑1，CPU接计数脉冲 CP_U ，74193工作在累加计数状态。

计数器

□例1：用74193构成模10加法计数器。

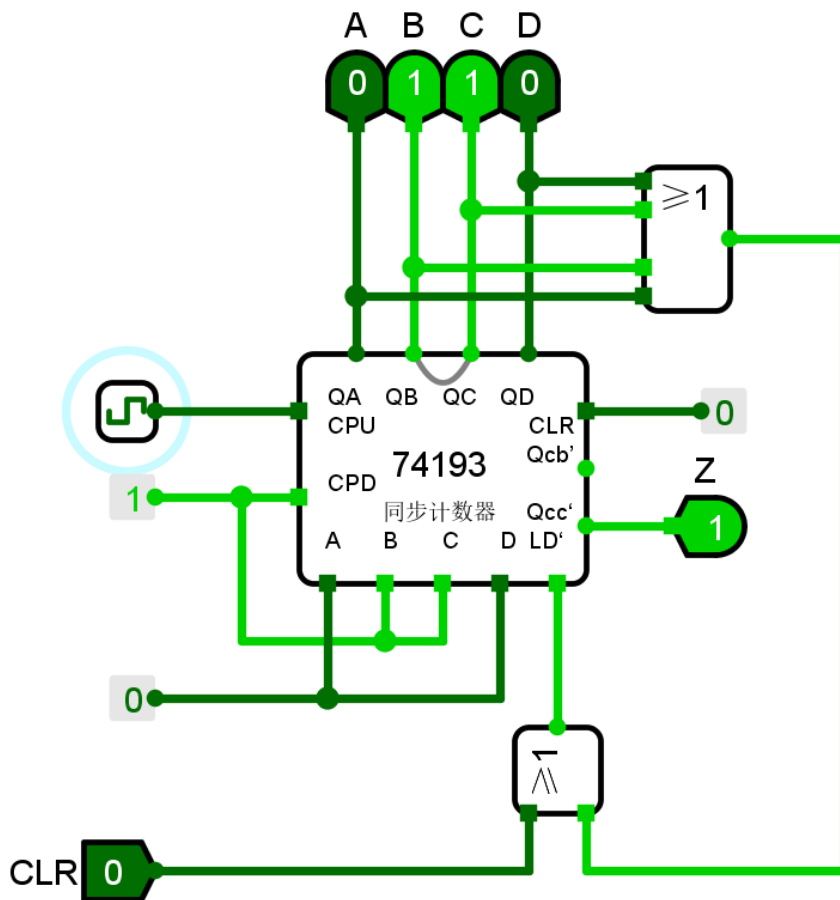
— 解：假设计数器的初始状态为 $Q_3Q_2Q_1Q_0 = 0000$ ，其状态变化序列如下：

0110 → 0111 → 1000 → 1001 → 1010

1111 ← 1110 ← 1101 ← 1100 ← 1011

计数器

□根据74193的功能表，实现模10加法器功能的逻辑电路如下图所示



计数器

□利用计数器74193构造模小于16计数器的一般方法

— 清零法

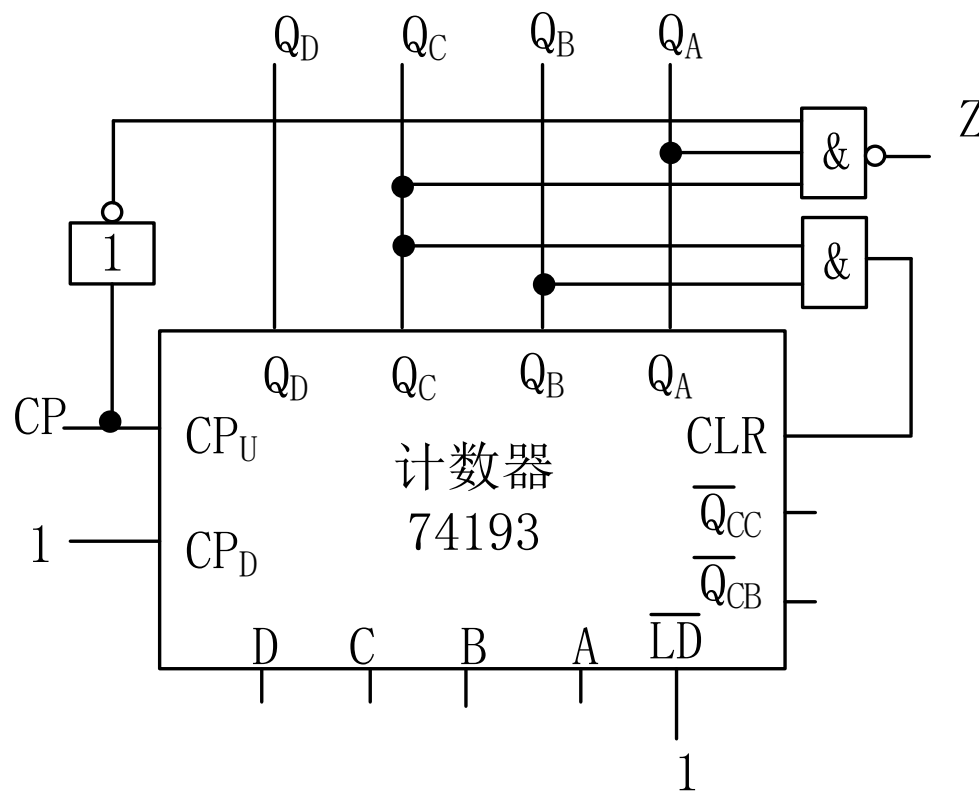
- 清零法一般使用前 n (n 为模值)个状态
- 异步清零中存在一个暂态
- 不能直接使用计数器的进位/借位输出，需外加电路

— 置数法

- 置数法一般使用后 n (n 为模值)个状态
- 异步置数时存在一个暂态
- 可以直接使用计数器的进位/借位输出

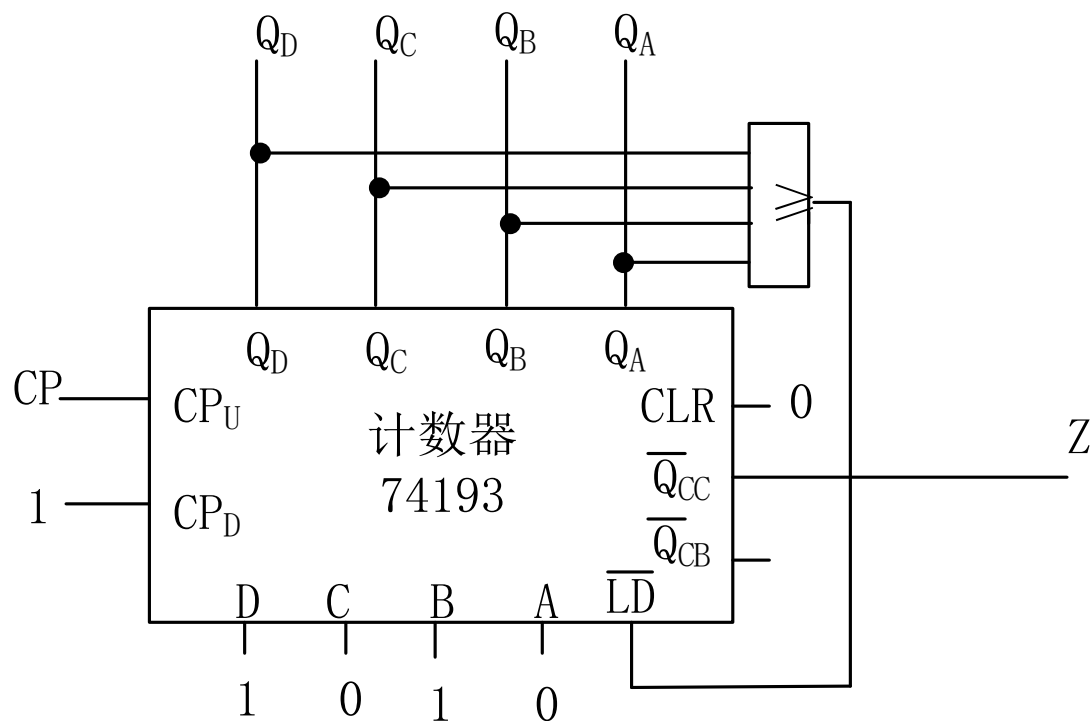
计数器

□ 例2:用一片74193构成模6的加法计数器，要求输出8421码，有进位脉冲输出。



计数器

- 例2:用一片74193构成模6的加法计数器，要求（~~输出8421码~~）有进位脉冲输出。



计数器

□ 构成模大于16的计数器

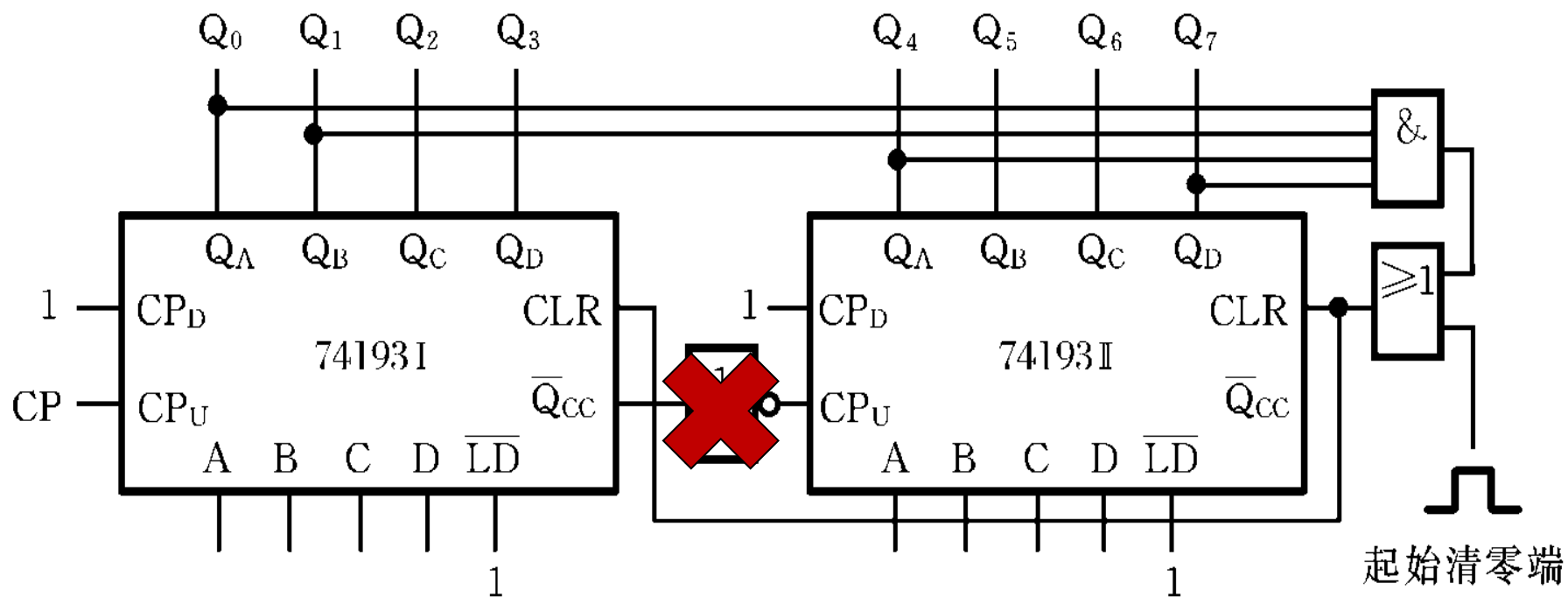
- 利用计数器的进位输出或借位输出脉冲作为计数脉冲，可将多个4位计数器进行级联，并恰当地使用预置、清除等功能，构成模大于16的任意进制计数器
- 方法
 - 级联多个模16计数器，利用清零和置数
 - 将模值进行分解，分解成多个模小于16的值相乘，然后用清零和置数法分别构成模小于16的计数器，然后再级联

计数器

□ 例2:用两片74193构成模 $(147)_{10}$ 的加法计数器。

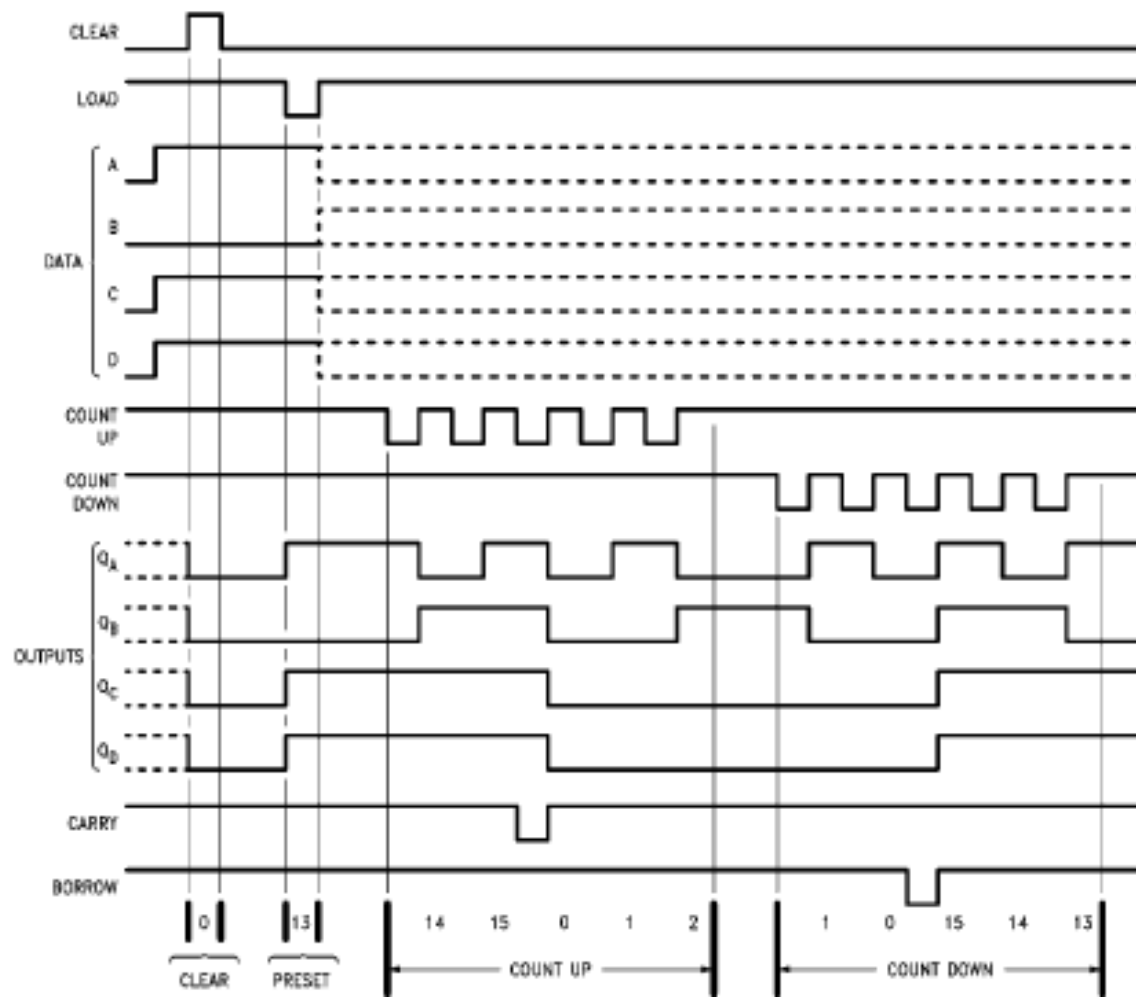
- 解：设计数器状态变化序列为 $(0)_{10} \sim (146)_{10}$ ，当计数器状态由 $(146)_{10}$ 变为 $(147)_{10}$ （即 $(10010011)_2$ ）时，令其回到 $(0)_{10}$ 状态
- 根据74193的功能，可构造出模 $(147)_{10}$ 加法计数器的逻辑电路图

计数器



计数器

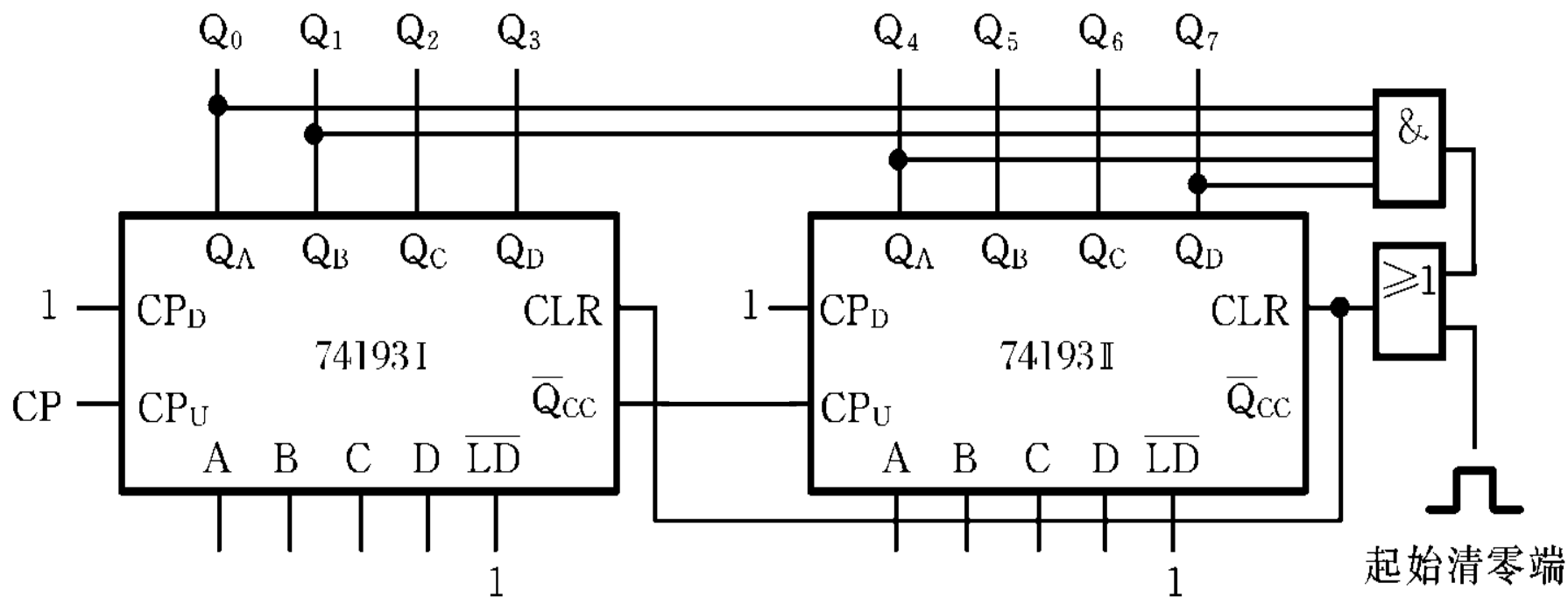
Timing Diagram



Note A: Clear overrides load, data, and count inputs

Note B: When counting up, count-down input must be HIGH; when counting down, count-up input must be HIGH.

计数器

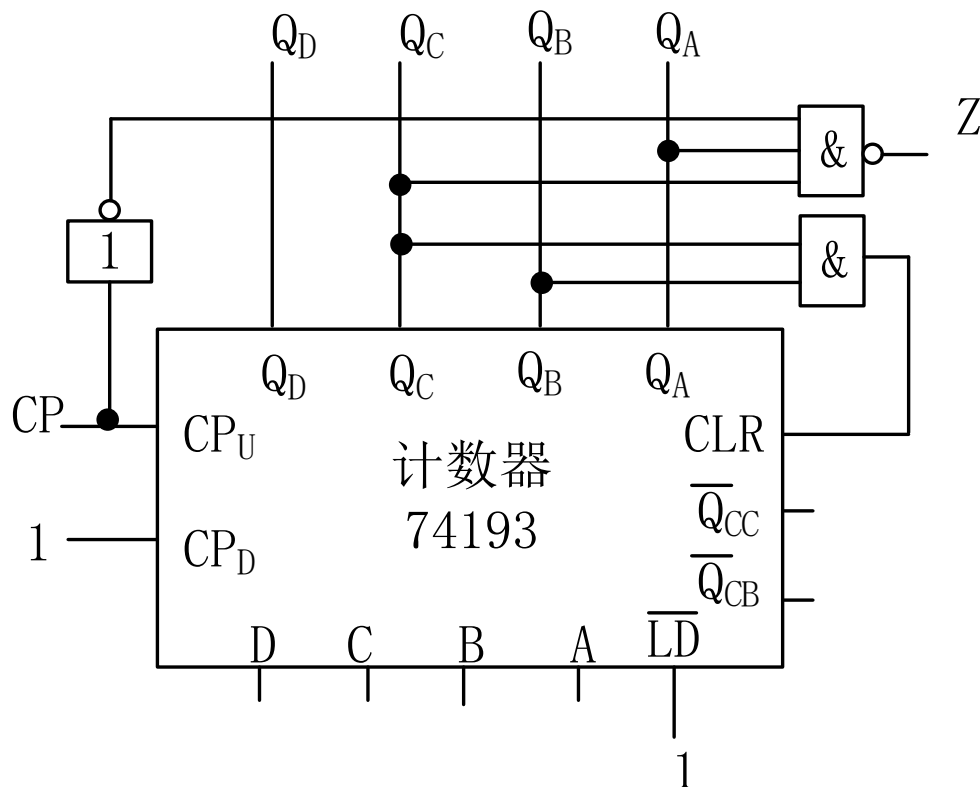


计数器

□ 进位和借位输出

$$- Q_{cc} = \overline{CP_U} \cdot Q_A \cdot Q_B \cdot Q_C \cdot Q_D$$

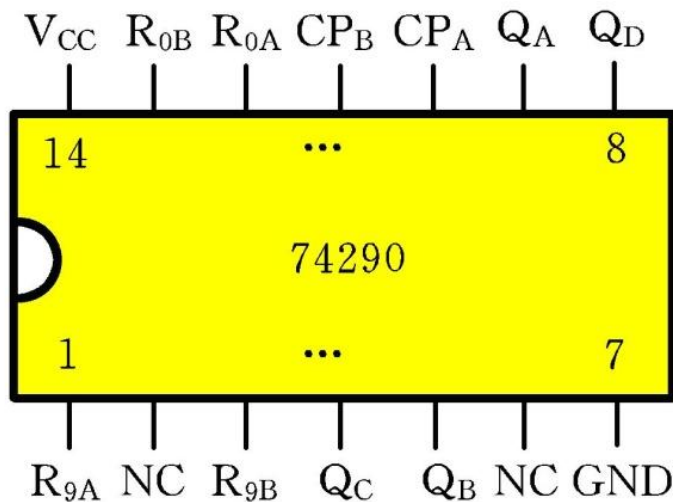
$$- Q_{cb} = \overline{CP_D} \cdot \overline{Q_A} \cdot \overline{Q_B} \cdot \overline{Q_C} \cdot \overline{Q_D}$$



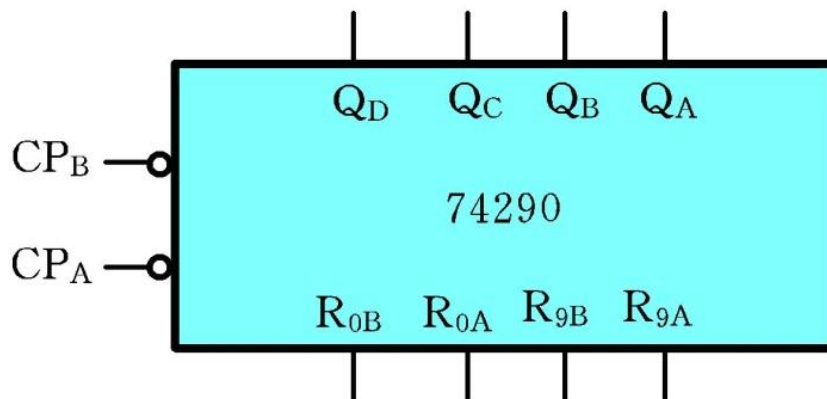
计数器

□ 集成异步计数器

- 最常用的中规模异步时序逻辑器件有二—五—十进制加法计数器74290等集成器件
- 74290的引脚图和逻辑符号

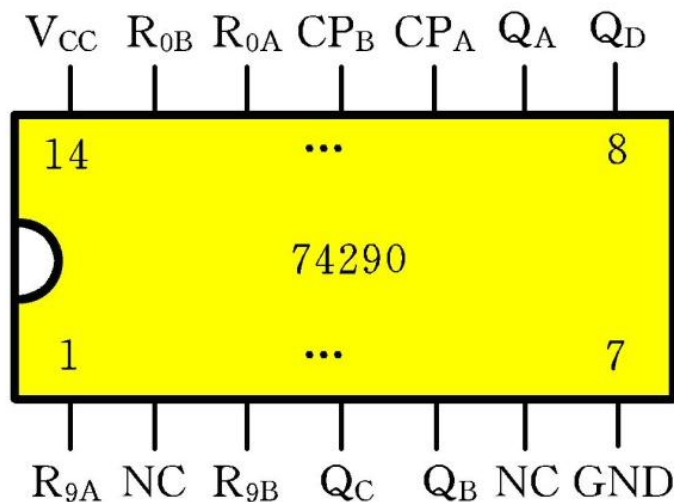


(a)

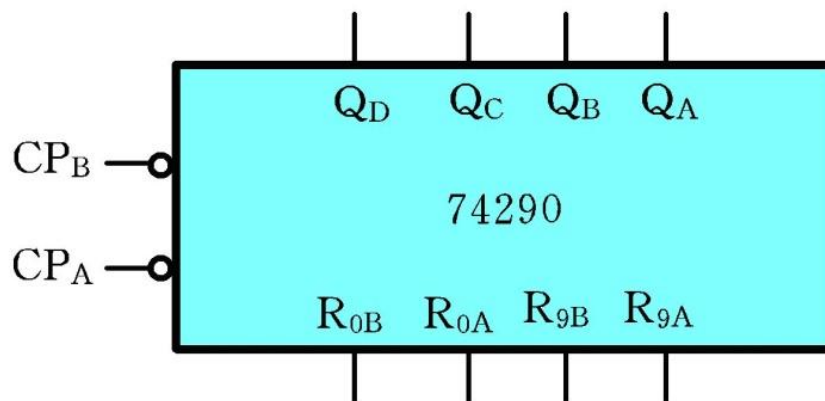


(b)

集成异步计数器



(a)

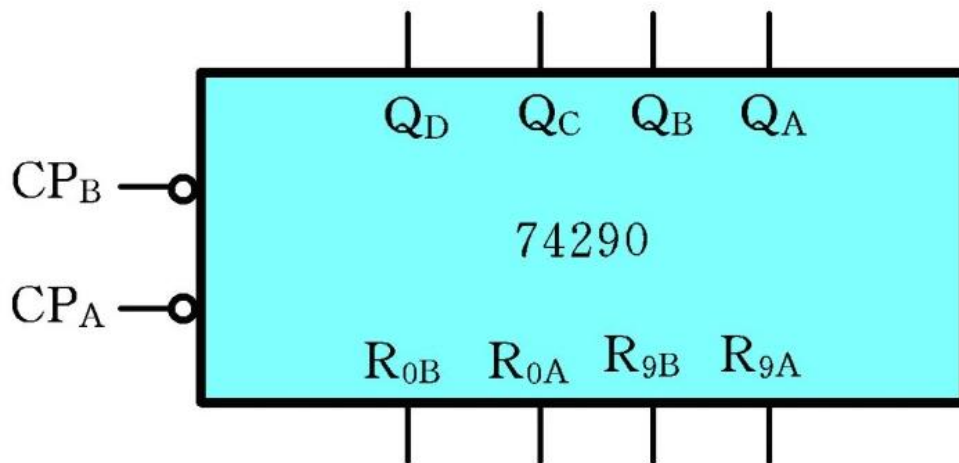


(b)

- ❑ 芯片内部包括4个主从JK触发器。触发器0构成模2计数器，计数脉冲由 CP_A 提供；触发器1 ~ 3组成异步模5计数器，计数脉冲由 CP_B 提供。
- ❑ 芯片共有6个输入和4个输出。其中， R_{0A} 、 R_{0B} 为清零输入信号，高电平有效； R_{9A} 、 R_{9B} 为置9（即二进制1001）输入信号，高电平有效； CP_A 、 CP_B 为计数脉冲信号； Q_D 、 Q_C 、 Q_B 、 Q_A 为数据输出信号。

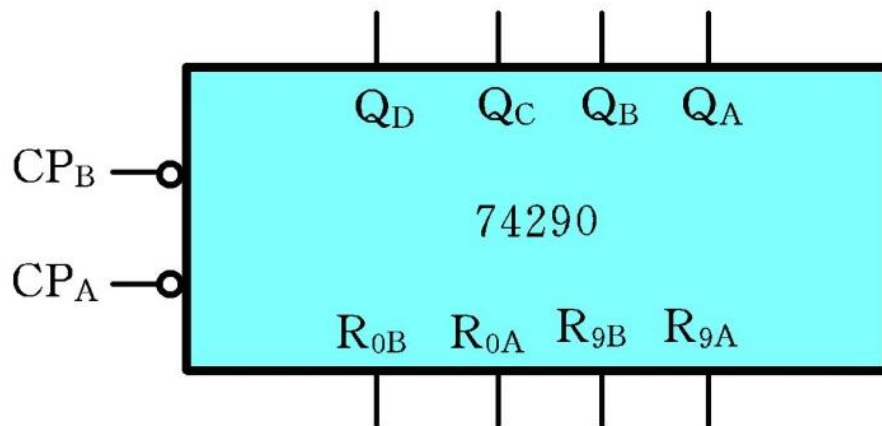
集成异步计数器

□ 74290的功能



- 异步置9功能：当 $R_{9A}=R_{9B}=1$ 时，不论 R_{0A} 、 R_{0B} 及输入脉冲为何值，均可实现异步置9操作，使 $Q_DQ_CQ_BQ_A=1001$ 。
- 异步清零功能：当 $R_{9A} \cdot R_{9B}=0$ 且 $R_{0A}=R_{0B}=1$ 时，不需要输入脉冲配合，电路可以实现异步清零操作，使 $Q_DQ_CQ_BQ_A=0000$ 。

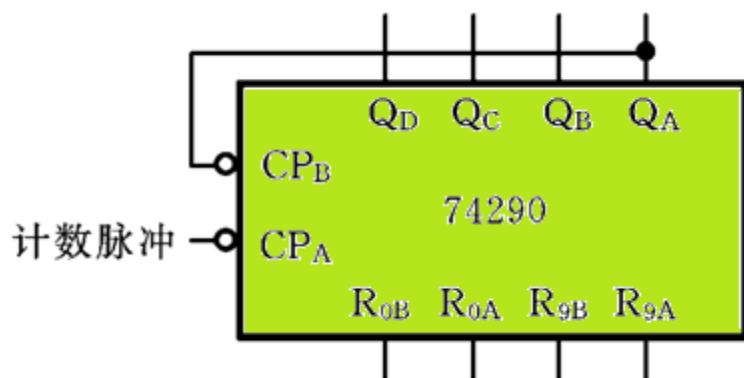
集成异步计数器



- 计数功能：当 $R_{9A} \cdot R_{9B} = 0$ 且 $R_{0A} \cdot R_{0B} = 0$ 时，电路实现3种计数功能
 - 模2计数器：若将计数脉冲加到 CP_A 端，并从 Q_A 端输出，则可实现1位二进制加法计数（二分频）
 - 模5计数器：若将计数脉冲加到 CP_B 端，并从 $Q_D Q_C Q_B$ 端输出，则可实现五进制加法计数
 - 模10计数器：用74290构成模10计数器有两种不同的方法，一种是构成8421码十进制计数器，另一种是构成5421码十进制计数器

集成异步计数器

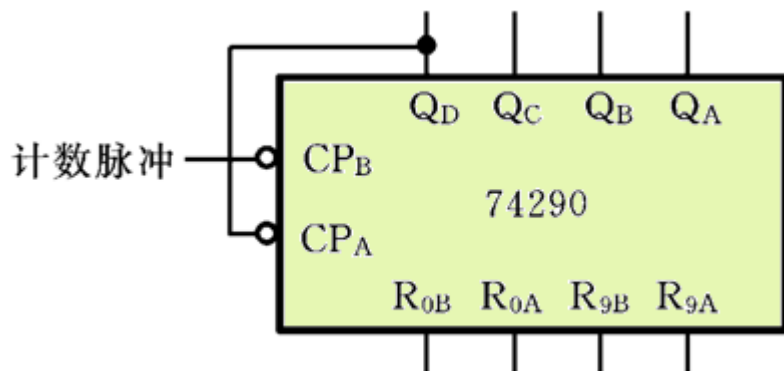
□ 用74290构成模10计数器(8421):



序号	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

集成异步计数器

□ 用74290构成模10计数器(5421):



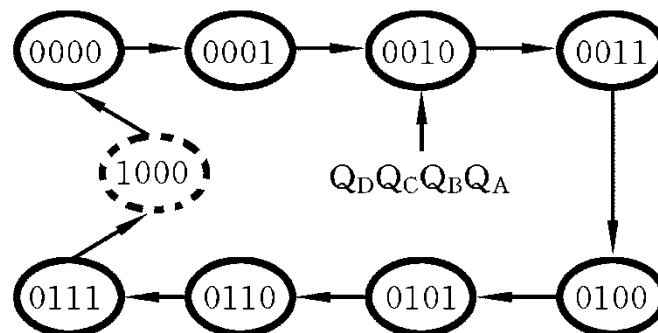
序号	Q _A Q _D Q _C Q _B
0	0 0 0 0
1	0 0 0 1
2	0 0 1 0
3	0 0 1 1
4	0 1 0 0
5	1 0 0 0
6	1 0 0 1
7	1 0 1 0
8	1 0 1 1
9	1 1 0 0

□ 74290除完成上述基本功能外，亦可构成其他计数器。

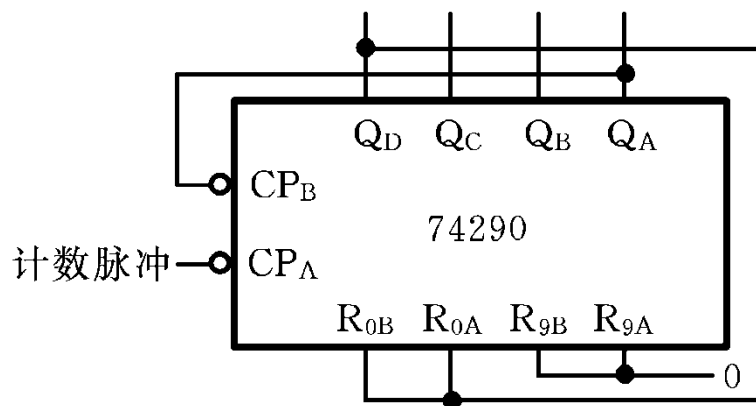
集成异步计数器

□ 例: 用74290设计一个模8加法计数器。

— 状态转移图



— 逻辑电路图



集成异步计数器

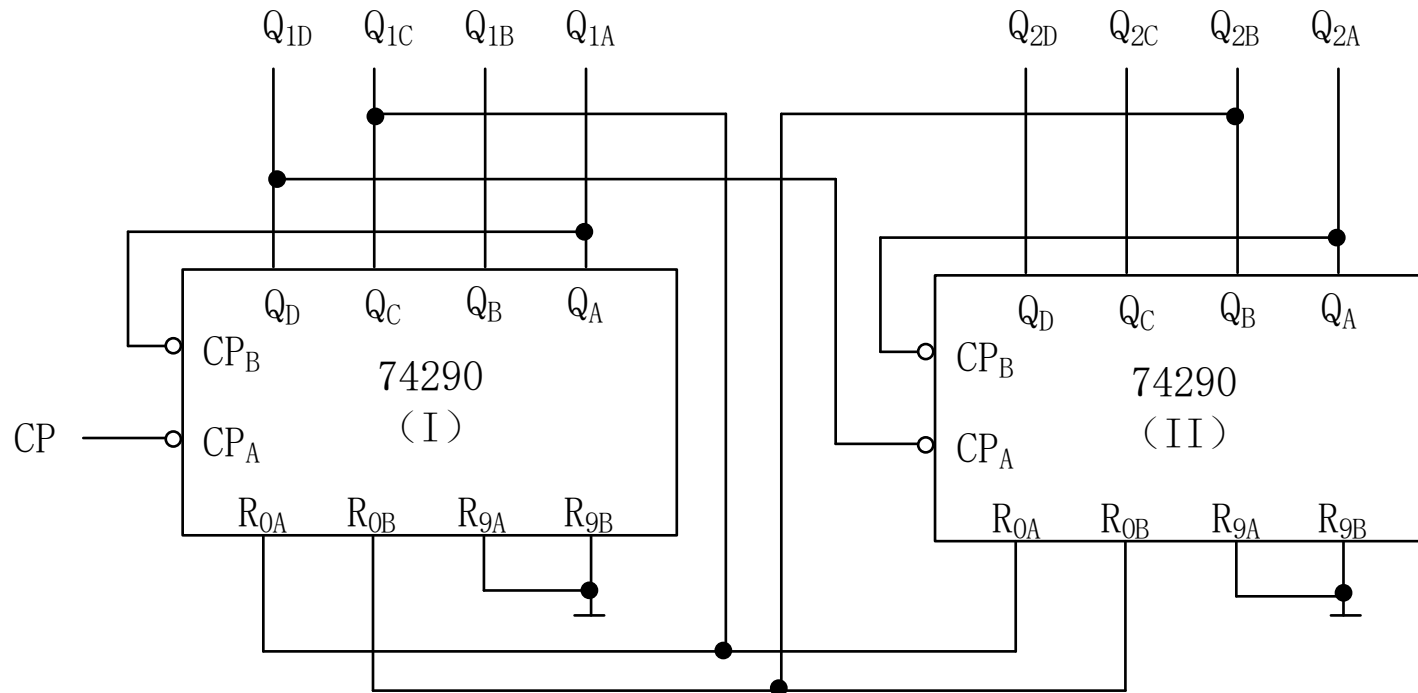
□ 例: 用74290设计一个模24计数器。

- 模24的计数器需要两片74290
- 实现方法
 - 构造一个模大于24的计数器，然后利用清零或者置数实现
 - 将24变为 4×6 或者 3×8 ，利用拆分法实现

集成异步计数器

□ 例: 用74290设计一个模24计数器。

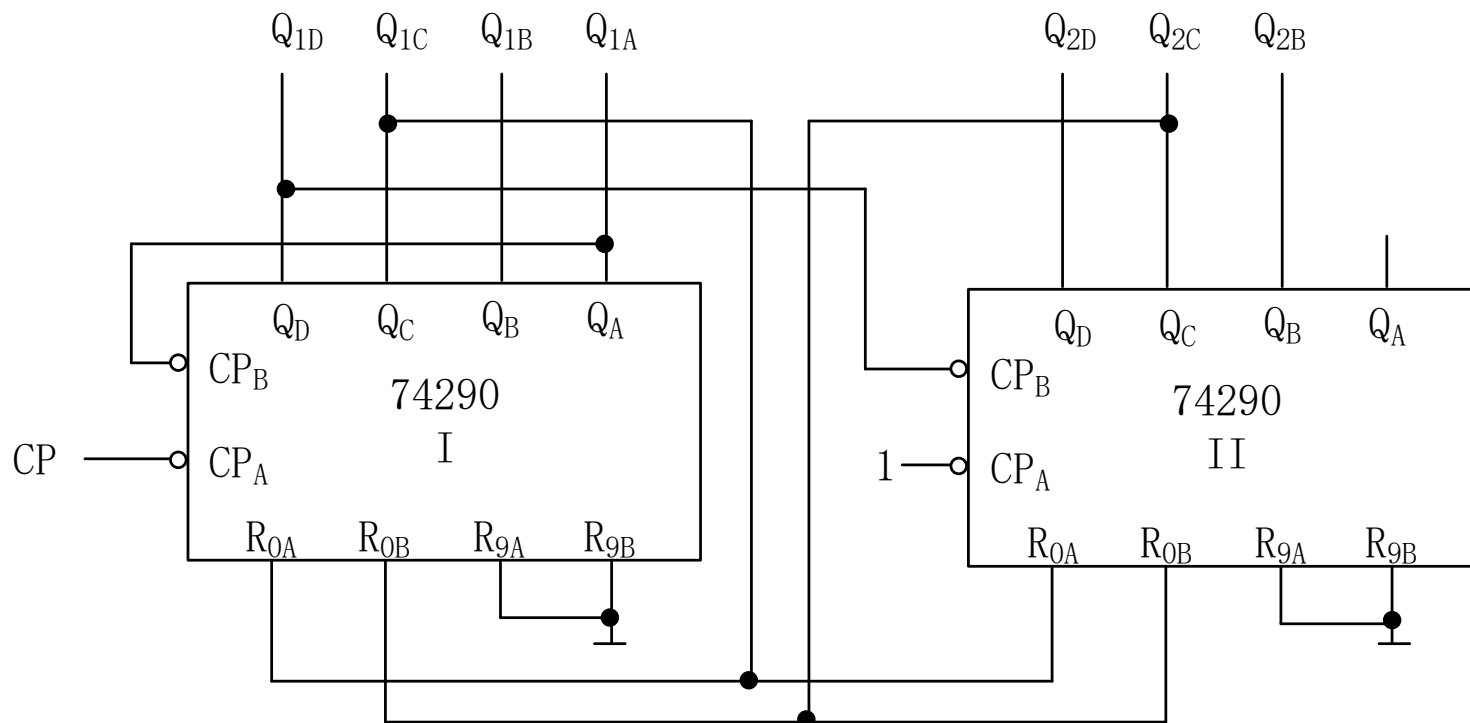
- 利用两个8421码模10计数器级联，通过清零法实现
- 在24 (0010 0100) 时清零



集成异步计数器

□ 例: 用74290设计一个模24计数器。

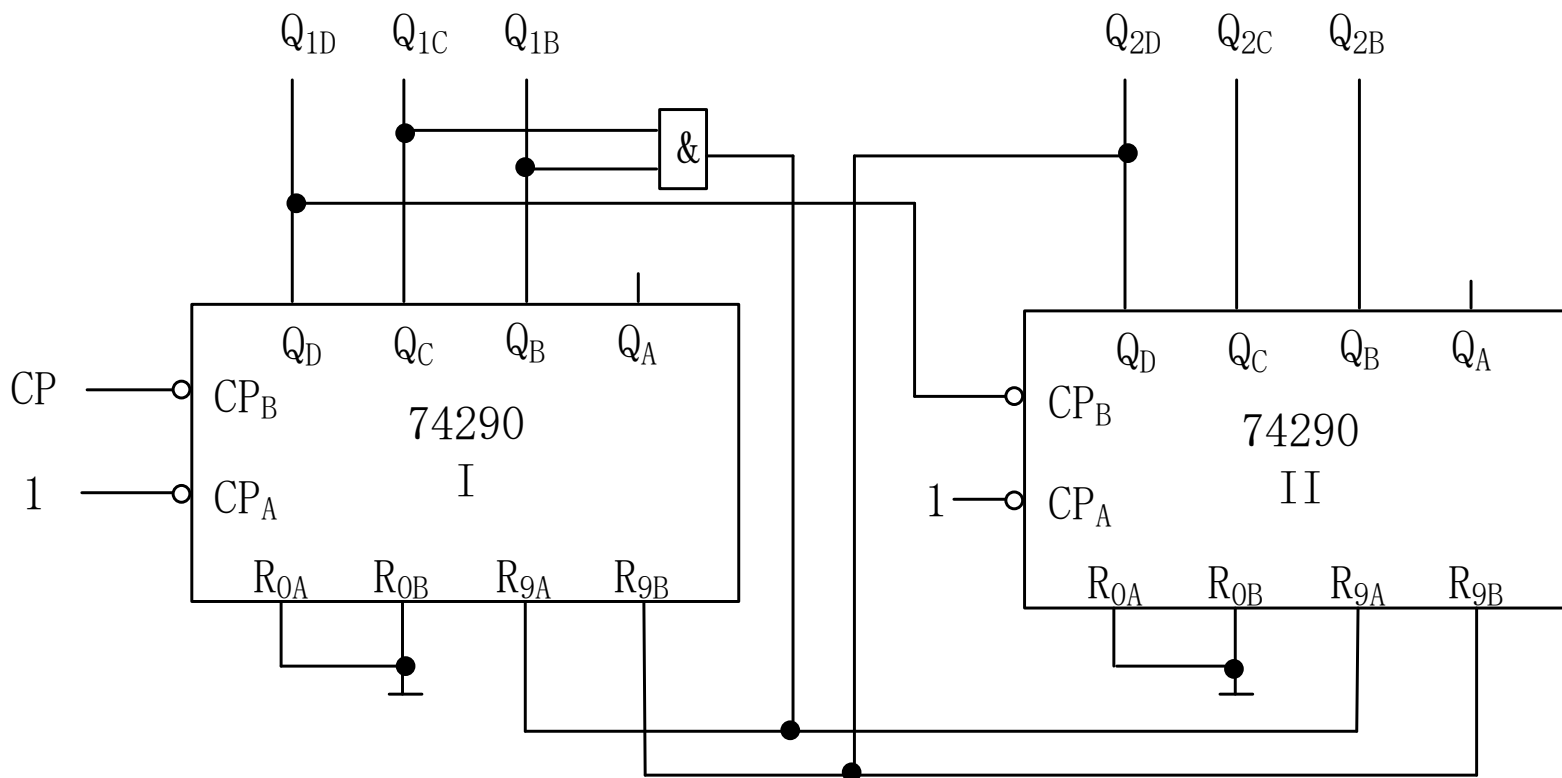
- 利用1个8421码模10和1个模5的计数器级联
- 在24 (010 0100) 时清零



集成异步计数器

□ 例: 用74290设计一个模24计数器。

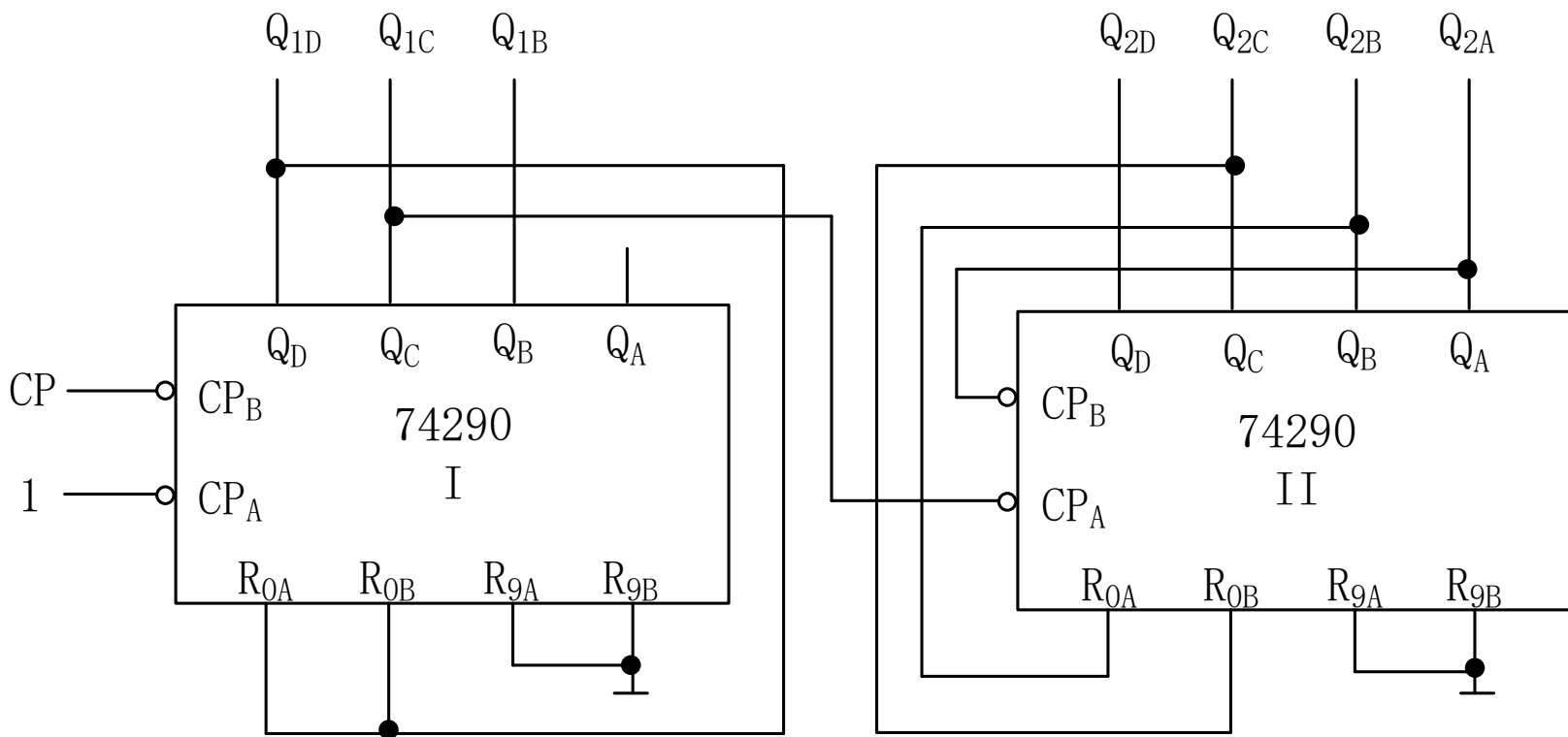
– 利用2个模5的计数器级联，通过置数法实现



集成异步计数器

□ 例: 用74290设计一个模24计数器。

– 利用1个8421码模4和1个8421码模6的计数器级联实现



常用中规模时序逻辑电路

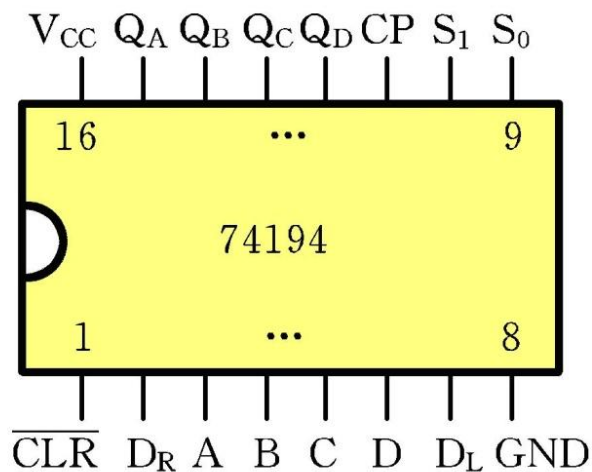
□ 寄存器

- 数字系统中用来存放数据或运算结果的一种常用逻辑部件。
- 功能：除了具有接收数据、保存数据和传送数据等基本功能外，通常还具有左、右移位，串、并输入，串、并输出以及预置、清零等多种功能，属于多功能寄存器。

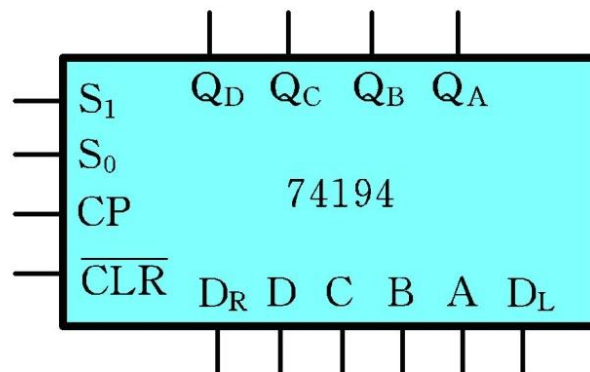
寄存器

□ 典型芯片

- 中规模集成电路寄存器的种类很多，例如，74194是一种常用的4位双向移位寄存器。
- 74194的管脚排列图和逻辑符号



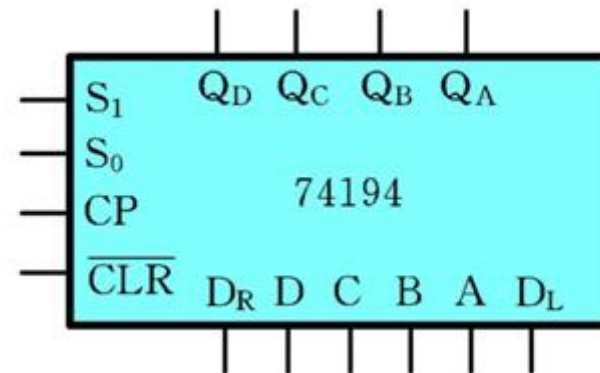
(a)



(b)

寄存器

□ 引脚功能



引脚名称		功能说明
输入端	$\overline{\text{CLR}}$	清除
	DCBA	并行数据输入
	D_R	右移串行数据输入
	D_L	左移串行数据输入
	S_1, S_0	工作方式选择
	CP	工作脉冲
输出端	$Q_D Q_C Q_B Q_A$	寄存器状态

寄存器

□ 功能表

输 入										输 出			
$\overline{\text{CLR}}$	CP	S_1	S_0	D_R	D_L	D	C	B	A	Q_D	Q_C	Q_B	Q_A
0	d	d	d	d	d	d	d	d	d	0	0	0	0
1	0	d	d	d	d	d	d	d	d	Q_D^n	Q_C^n	Q_B^n	Q_A^n
1	\uparrow	1	1	d	d	x_0	x_1	x_2	x_3	x_0	x_1	x_2	x_3
1	\uparrow	0	1	1	d	d	d	d	d	1	Q_D^n	Q_C^n	Q_B^n
1	\uparrow	0	1	0	d	d	d	d	d	0	Q_D^n	Q_C^n	Q_B^n
1	\uparrow	1	0	d	1	d	d	d	d	Q_C^n	Q_B^n	Q_A^n	1
1	\uparrow	1	0	d	0	d	d	d	d	Q_C^n	Q_B^n	Q_A^n	0
1	\uparrow	0	0	d	d	d	d	d	d	Q_D^n	Q_C^n	Q_B^n	Q_A^n

寄存器

- 双向移位寄存器在 S_1S_0 和 $\overline{\text{CLR}}$ 的控制下可完成数据的并行输入 ($S_1S_0 = 11$)、右移串行输入 ($S_1S_0 = 01$)，左移串行输入 ($S_1S_0 = 10$)、保持 ($S_1S_0 = 00$) 和清除 ($\overline{\text{CLR}} = 0$) 等五种功能。
- 寄存器除完成预定功能外，在数字系统中还能用来构成计数器和脉冲序列发生器等。

寄存器

□应用举例

- 例1 用四位双向移位寄存器74194构成模8计数器。
- 计数器状态 $Q_D Q_C Q_B Q_A$ 的变化序列为

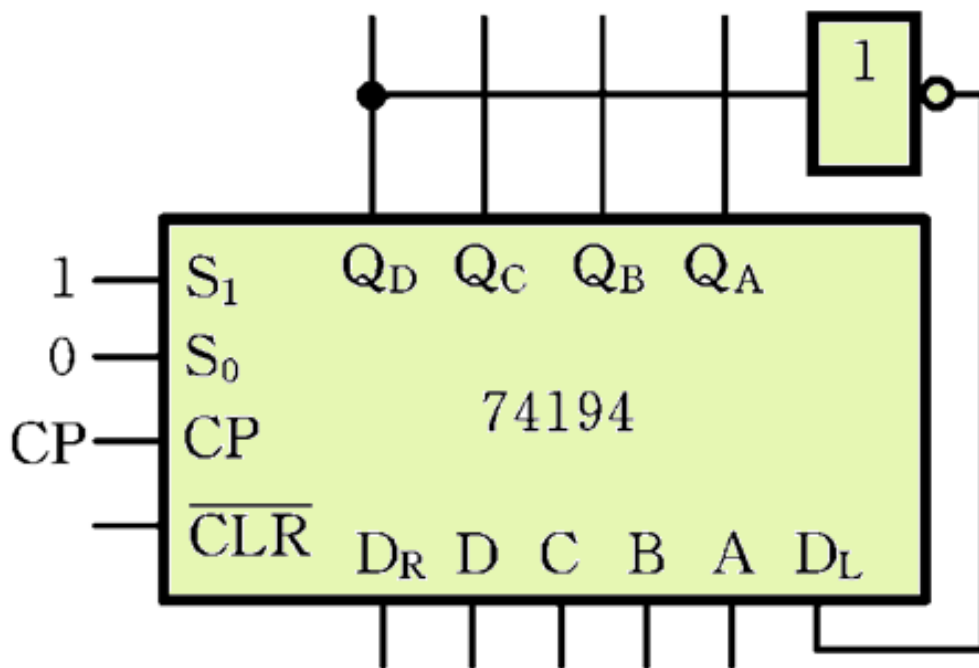
0000 → 0001 → 0011 → 0111



1000 ← 1100 ← 1110 ← 1111

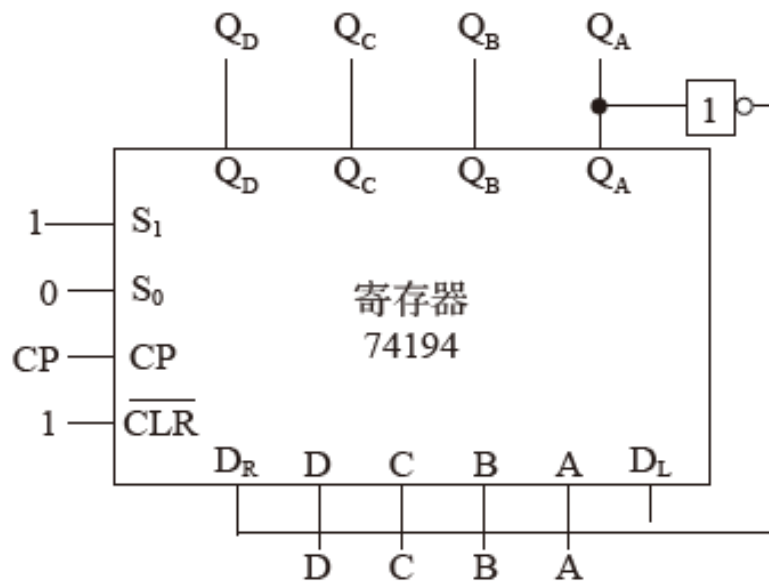
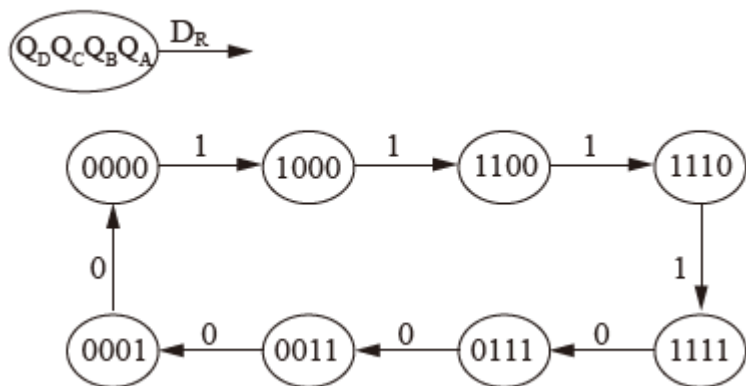
寄存器

□解：由74194的功能表可知，满足给定计数状态变化序列，只需将 $Q_D Q_C Q_B Q_A$ 预置初始状态0000后，将 $S_1 S_0$ 接10，并令 DL 与 $\overline{Q_D}$ 连接即可。



寄存器

□解：使用右移



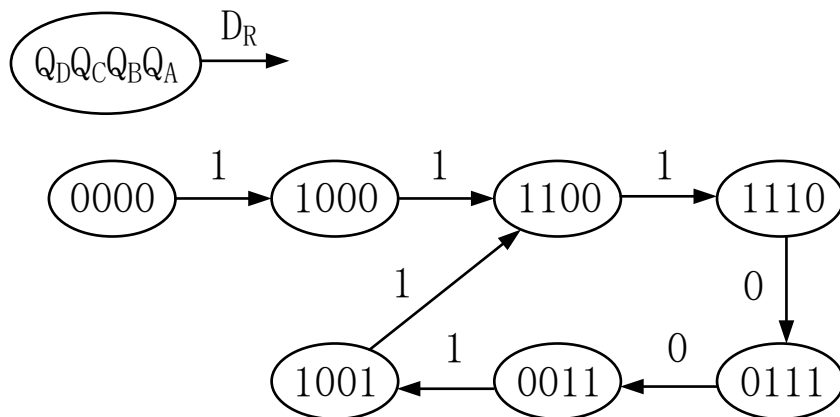
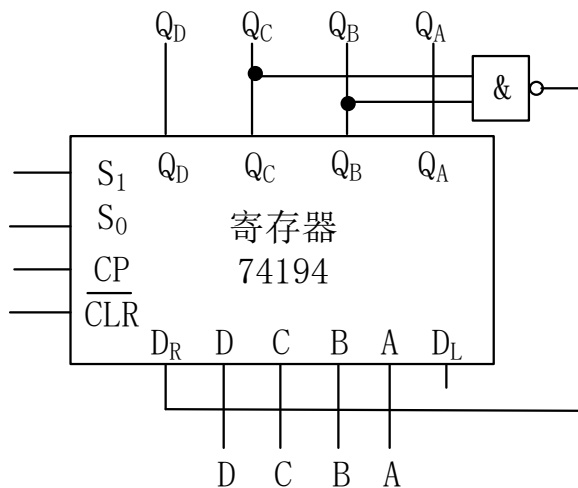
寄存器

- 电路的状态每次变化时只有1个触发器翻转，不会出现竞争和险象
- 扭环计数器（约翰逊计数器）
- 电路比较简单，但是电路状态的利用率不高，这里的模8计数器就使用了4个触发器

寄存器

□ 利用移位寄存器的右移功能构成扭环计数器有一定的规律

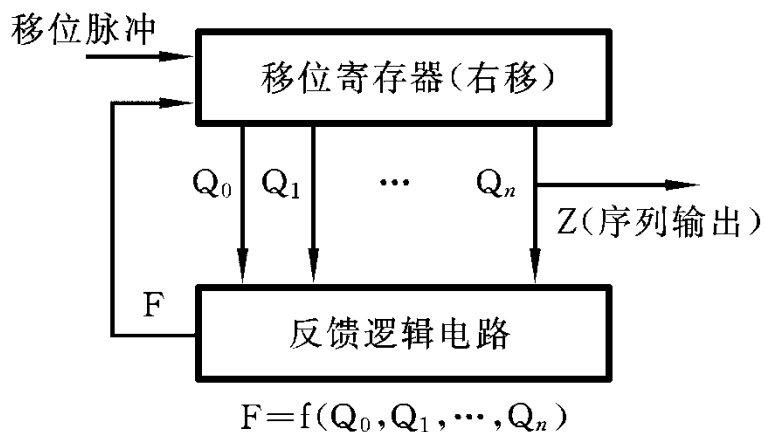
- 当由寄存器的第 n 位状态输出通过非门连接到右移控制端 D_R 时，构成是模为 $2 \times n$ 的扭环计数器
- 当由寄存器的第 $n-1$ 位和第 n 位状态输出通过与非门连接到右移控制端 D_R 时，构成是模为 $2 \times n - 1$ 的扭环计数器



寄存器

□例2：用一片74194和适当的逻辑门构成产生序列01110100的序列发生器。

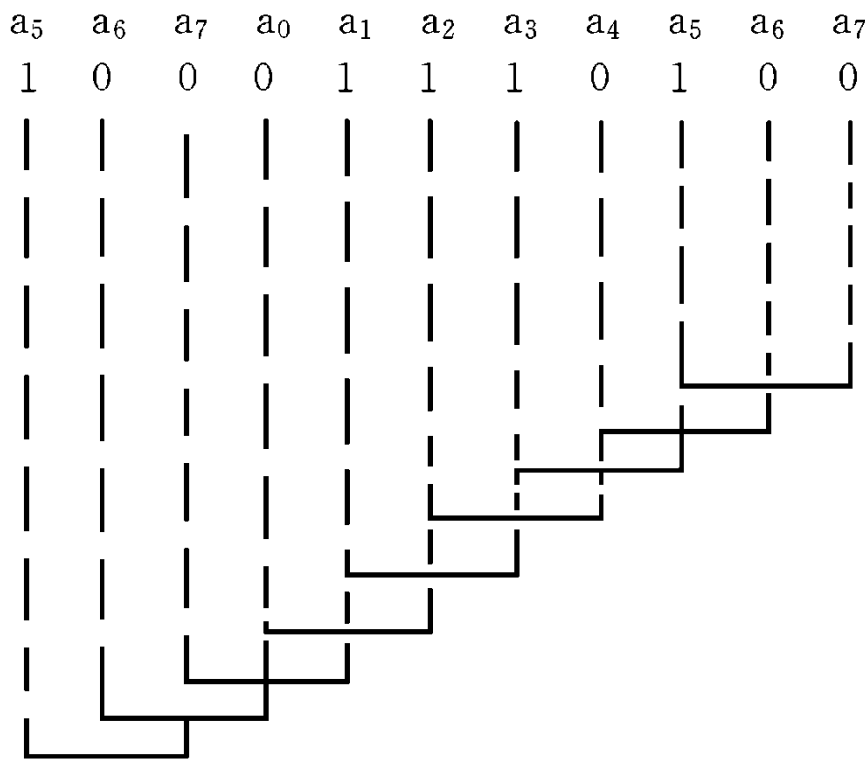
— 解：序列信号发生器可由移位寄存器和反馈逻辑电路构成，其结构框图如下图所示。



假定序列发生器产生的序列周期为 p ，移位寄存器的级数(触发器个数)为 n ，应满足关系 $2^n \geq p$ 。本例的 $p=8$ ，故 $n \geq 3$ ，可选择 $n=3$ 。

寄存器

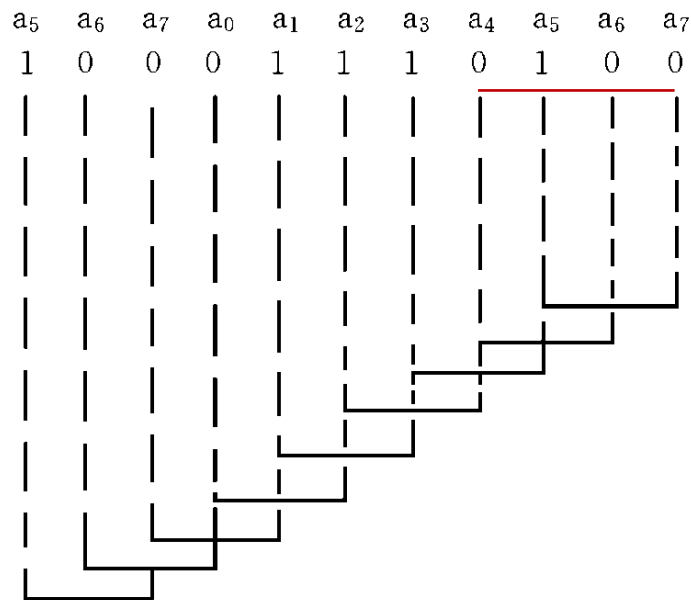
- 设输出序列 $Z=a_7a_6a_5a_4a_3a_2a_1a_0$,下图列出了所要产生的序列(以 $p=8$ 周期重复, 最右边信号先输出)与寄存器状态之间的关系。



图中, 数码下面的水平线段表示移位寄存器的状态。将 $a_5a_6a_7=100$ 作为寄存器的初始状态, 即 $Q_DQ_CQ_B=100$, 从 Q_B 产生输出, 由反馈电路依次形成 $a_4a_3a_2a_1a_0a_7a_6a_5$ 作为右移串行输入端 D_R 的输入, 这样便可在时钟脉冲作用下, 产生规定的输出序列。

寄存器

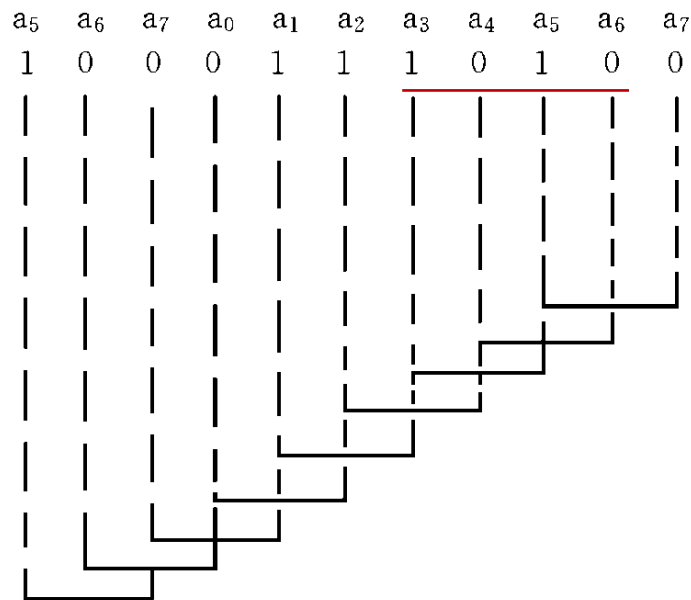
□ 根据图中序列与状态转移的关系，可知电路反馈信号与状态的关系如下表所示。



CP	F (D_R)	Q_D	Q_C	Q_B
0	0	1	0	0
1				
2				
3				
4				
5				
6				
7				

寄存器

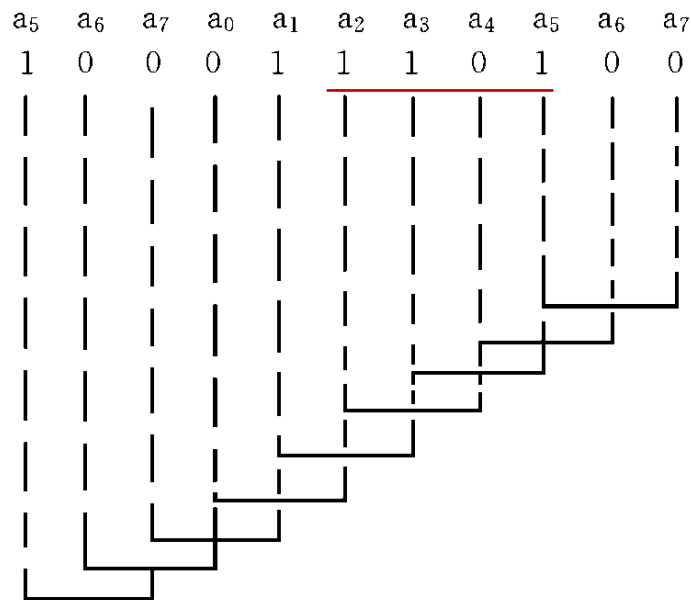
□ 根据图中序列与状态转移的关系，可知电路反馈信号与状态的关系如下表所示。



CP	F (D_R)	Q_D	Q_C	Q_B
0	0	1	0	0
1	1	0	1	0
2				
3				
4				
5				
6				
7				

寄存器

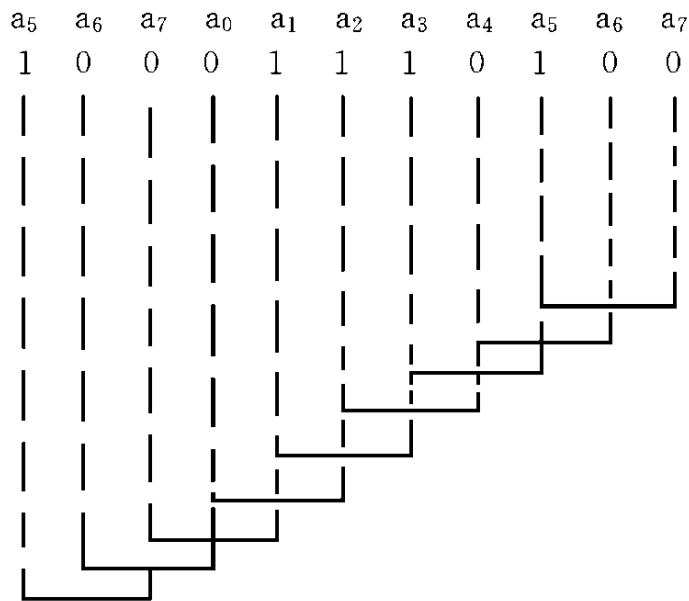
□ 根据图中序列与状态转移的关系，可知电路反馈信号与状态的关系如下表所示。



CP	F (D_R)	Q_D	Q_C	Q_B
0	0	1	0	0
1	1	0	1	0
2	1	1	0	1
3				
4				
5				
6				
7				

寄存器

□ 根据图中序列与状态转移的关系，可知电路反馈信号与状态的关系如下表所示。



CP	F (D_R)	Q_D	Q_C	Q_B
0	0	1	0	0
1	1	0	1	0
2	1	1	0	1
3	1	1	1	0
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	1	0	0	0

寄存器

□例2：用一片74194和适当的逻辑门构成产生序列
01110100的序列发生器

CP	F (D_R)	Q_D	Q_C	Q_B
0	0	1	0	0
1	1	0	1	0
2	1	1	0	1
3	1	1	1	0
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	1	0	0	0

寄存器

□ 由表可得到反馈函数F的逻辑表达式为

CP	F (D _R)	Q _D	Q _C	Q _B
0	0	1	0	0
1	1	0	1	0
2	1	1	0	1
3	1	1	1	0
4	0	1	1	1
5	0	0	1	1
6	0	0	0	1
7	1	0	0	0

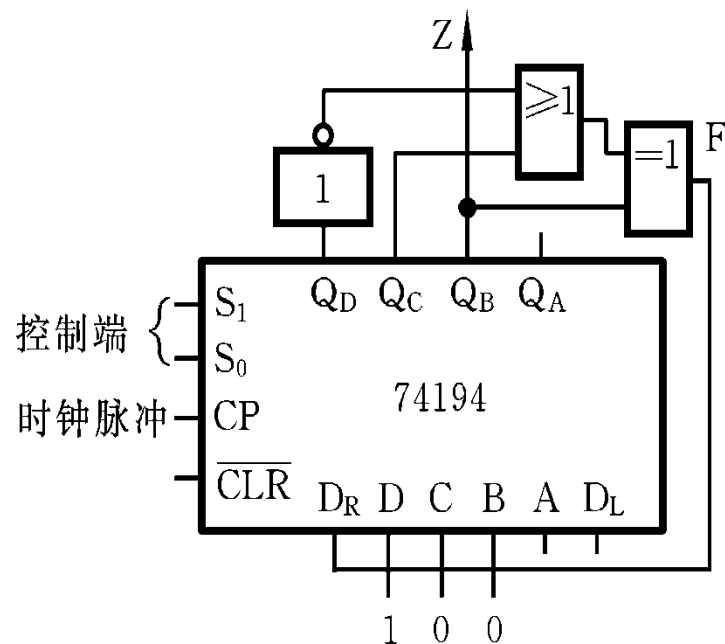
$$\begin{aligned} F &= \overline{Q_D} \overline{Q_C} \overline{Q_B} + \overline{Q_D} Q_C \overline{Q_B} + Q_D \overline{Q_C} Q_B + Q_D Q_C \overline{Q_B} \\ &= \overline{Q_D} \overline{Q_B} + Q_C \overline{Q_B} + Q_D \overline{Q_C} Q_B \\ &= (\overline{Q_D} + Q_C) \overline{Q_B} + Q_D \overline{Q_C} Q_B \\ &= (\overline{Q_D} + Q_C) \overline{Q_B} + \overline{\overline{Q_D} + Q_C} Q_B \\ &= (\overline{Q_D} + Q_C) \oplus Q_B \end{aligned}$$

寄存器

□ 根据上述表达式和74194的功能表，可画出该序列发生器的逻辑电路如图所示

□ 该电路的工作过程为：在 S_1S_0 的控制下，先置寄存器74194的初始状态为 $Q_DQ_CQ_B = 100$ ，然后令其工作在右移串行输入方式，从Z端产生所需要的脉冲序列

$$F = (\overline{Q_D} + Q_C) \oplus Q_B$$



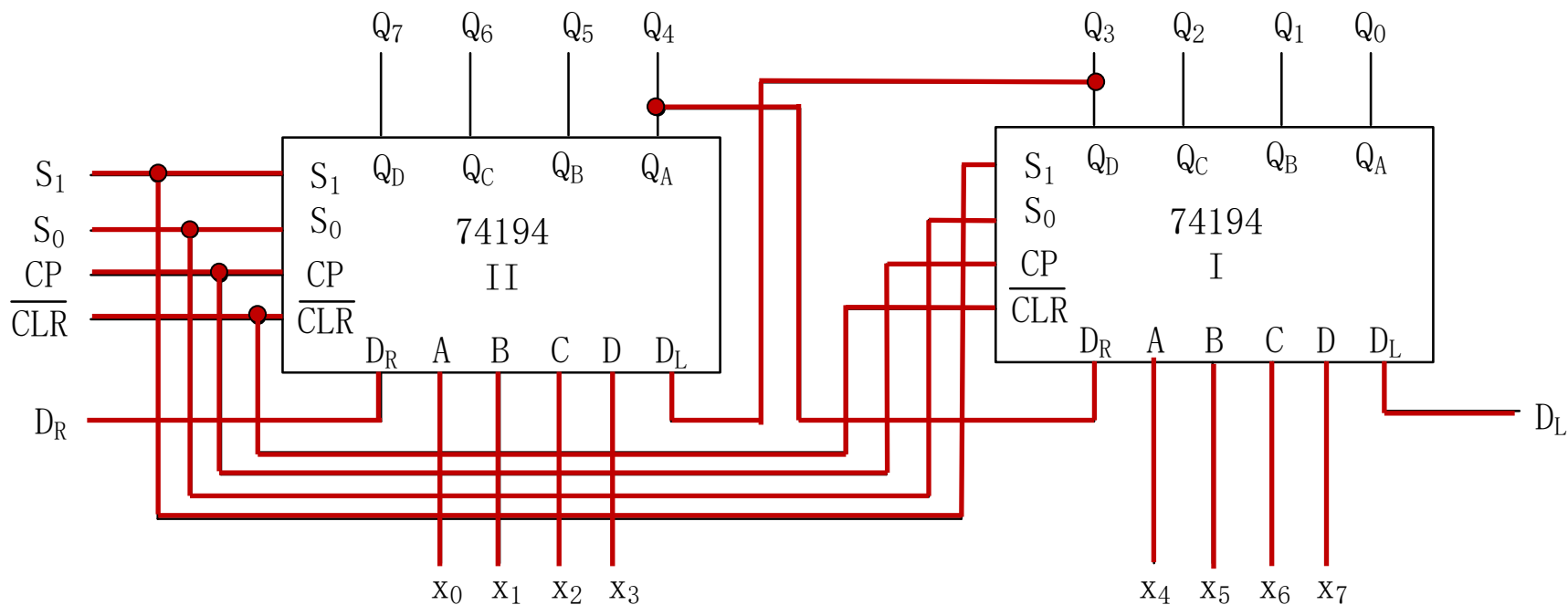
寄存器

□ 如果不满足逻辑函数最小项的关系 (01111010)

CP	F (D_R)	Q_D	Q_C	Q_B	Q_A
0	1	1	0	1	0
1	1	1	1	0	1
2	1	1	1	1	0
3	0	1	1	1	1
4	0	0	1	1	1
5	1	0	0	1	1
6	0	1	0	0	1
7	1	0	1	0	0

寄存器

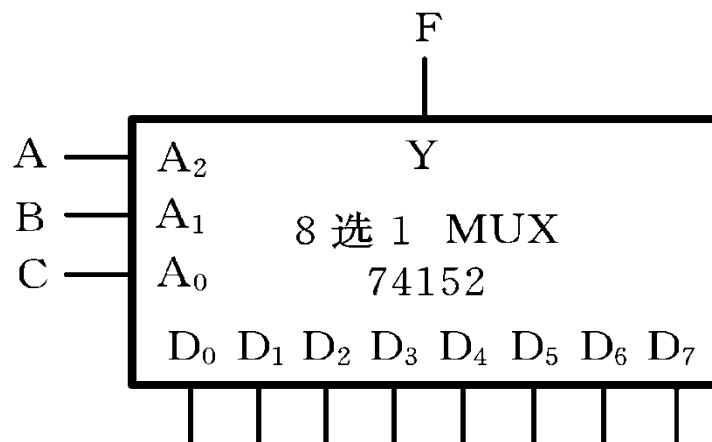
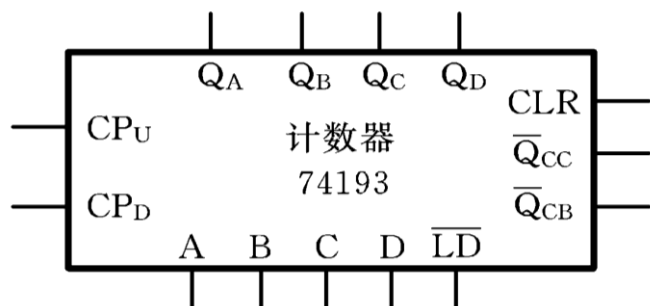
□ 利用74194的级联实现寄存器的扩展



寄存器

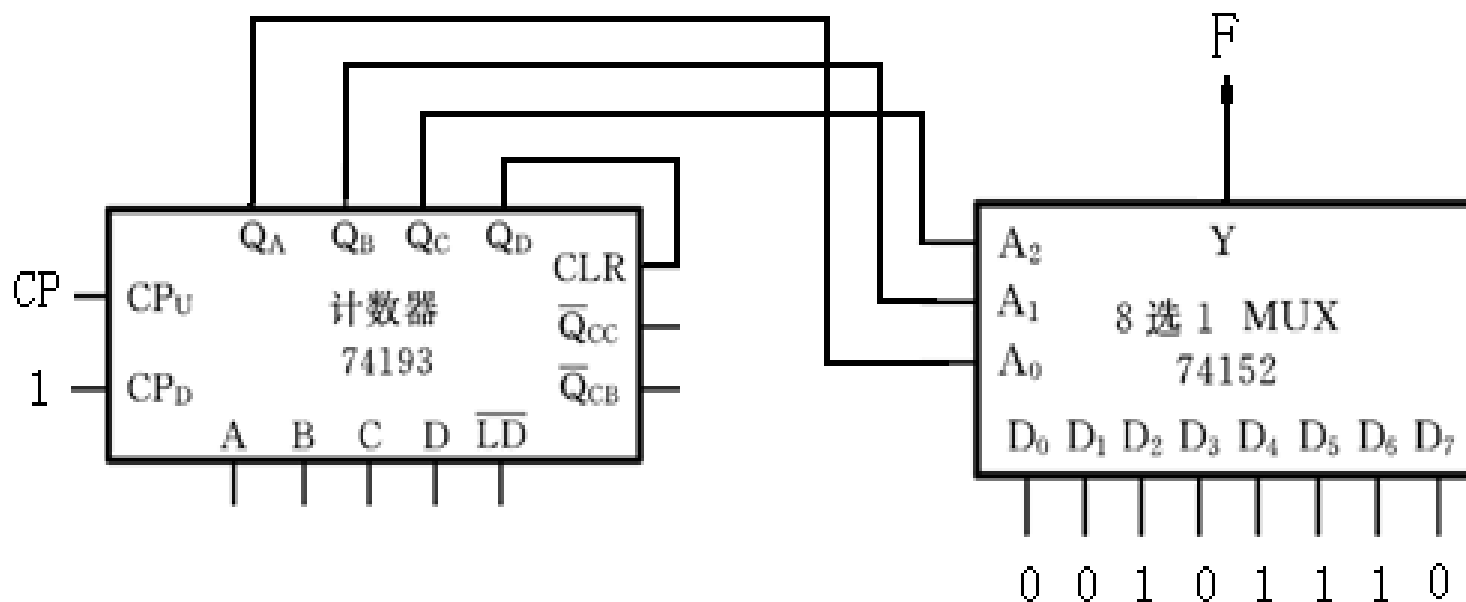
能否用本章介绍的
其他器件构成序列发
生器呢？

□ 例如：用一片74193和8路数据选择器构成产生序列01110100的序列发生器。



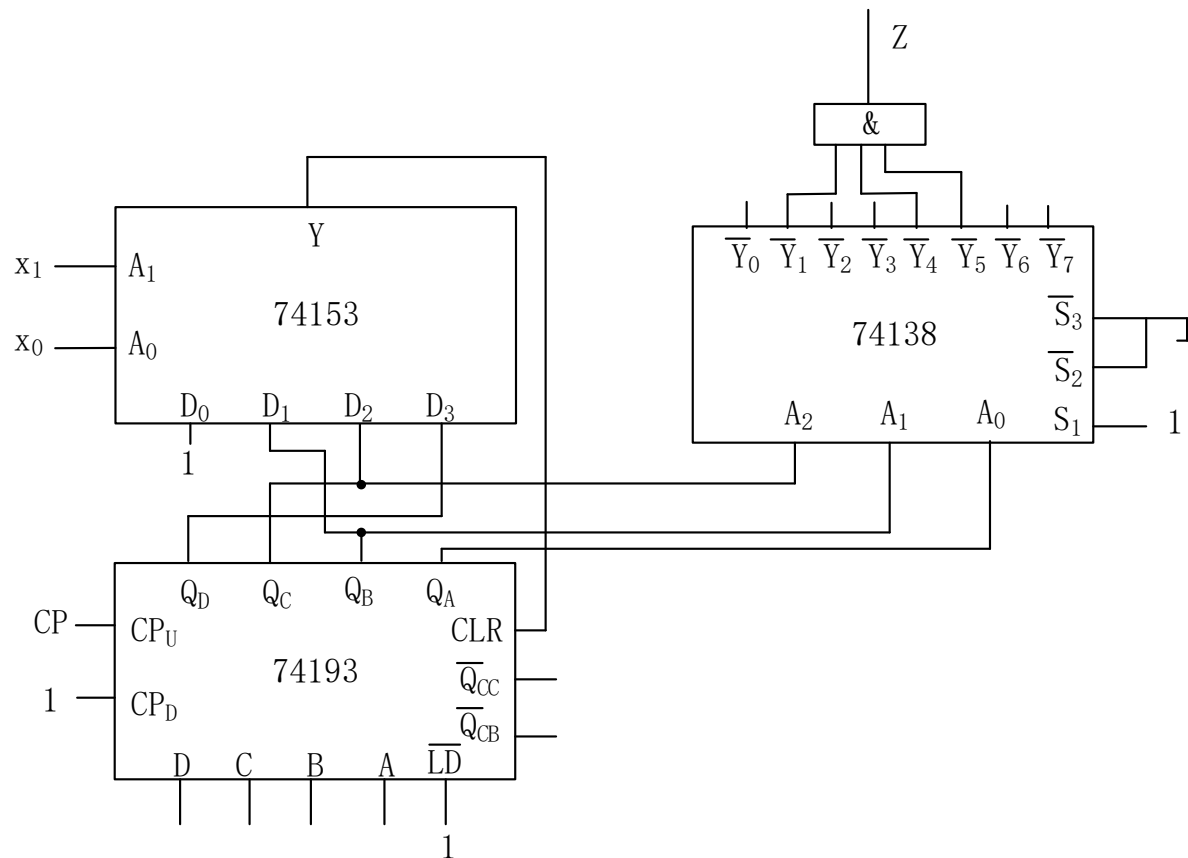
寄存器

□ 假定74193的初始状态为 “0” 。



中规模时序电路的分析和设计举例

□ 分析下图所示逻辑电路，电路输出为Z，说明x1x0分别为00，01，10和11时的电路输出。



中规模时序电路的分析和设计举例

□ 电路的功能

输入 x_1x_0	74193功能	输出Z序列（8位循环）
0 0	保持0000状态	1 1 1 1 1 1 1 1
0 1	模2累加计数	1 0 1 0 1 0 1 0
1 0	模4累加计数	1 0 1 1 1 0 1 1
1 1	模8累加计数	1 0 1 1 0 0 1 1

中规模时序电路的分析和设计举例

□ 试分析下图所示逻辑电路的功能。

