

作者：cengyu3  
链接：<https://zhuanlan.zhihu.com/p/136140769>  
来源：知乎  
著作权归作者所有。商业转载请联系作者获得授权，非商业转载请注明出处。

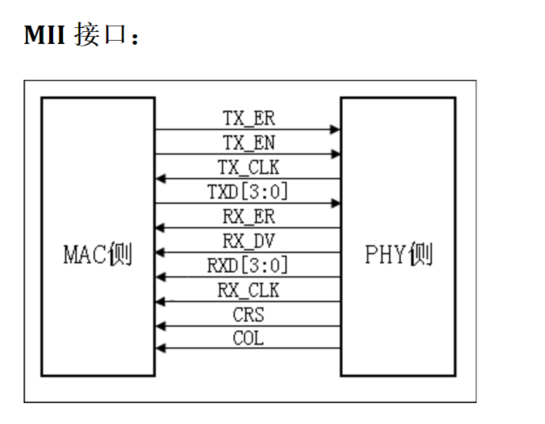
**以太网学习及知识总结**

1、以太网的7层模型：应用层、表示层、会话层、传输层、网络（IP）层、数据链路层（MAC）、物理层(PHY)。本文主主要是详解数据链路层与物理层之间的接口。

常用的以太网PHY-MAC接口的模式模式：MII、RMII、GMII、RGMII、SGMII.

1. **MII接口模式是支持10/100兆**。参考芯片：DP83848 、DM900A（该芯片内部集成了MAC和PHY接口）。 DP83848芯片只支持10、100兆网络通信速度，采用4/5B编码

首先介绍一下MII和RMII接口。MII接口中的所需要的用到的引脚如图所示：



* 串行管理接口：

1. MDC：25兆HZ（最大时钟），PHY芯片的输入引脚，由Mac芯片控制数据输入输出，和芯片的发送和接收时钟同步。
2. MDIO:该引脚是双向的，数据可以是来自PHY和Mac，需要1.5K电阻上拉。

* Mac数据接口：

1. TX\_CLK: PHY输出。
2. TX\_EN: MAC 发送使能
3. TXD[0:3]: MAC输出数据
4. RXD\_CLK: 接收时钟，phy发送
5. RX\_DV: 接收使能
6. RX\_ER: 接收错误
7. RXD[0:3]: 接收数据
8. CRS:载波监测信号，只工作在半双工模式
9. COL: 冲突检测，只工作在半双工模式

* 时钟接口：

1. X1:
2. X2；
3. CLK\_OUT:

* LED接口：

1. LED\_LINK:
2. LED\_SPEED:
3. LED\_ACT/COL:

* JTAG接口:（芯片边界扫描和测试）

1. TCK
2. TDI
3. TDO
4. TMS
5. TRST

* Reset and Power Down

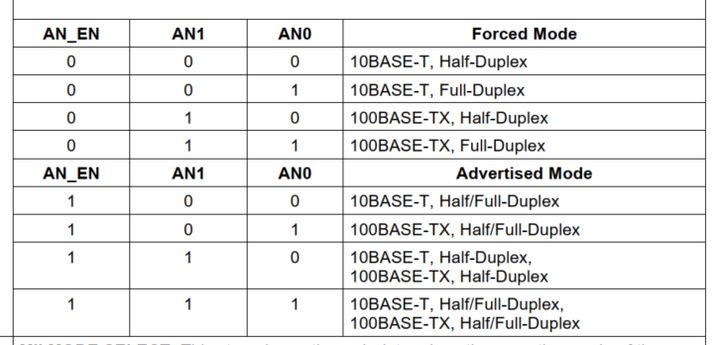
RESET\_N：(I PU): 低电平可以初始化芯片自身。(芯片内部以上拉（PU）)

PWR\_DOWN/INT:（I PU）：该引脚为低电平时，芯片进入POWER DOWN（默认功能）

引脚在中断模式下，当中断发生时引脚电平变为低电平。

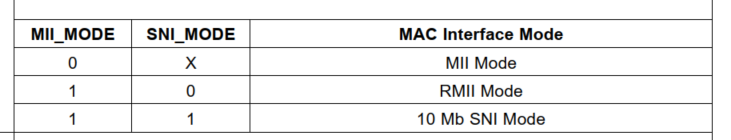
* Strap option （约束选项）（IAAA）：在芯片中有一些引脚被定为约束引脚，该类引脚只有在复位初始化的时候被芯片采样，从根据这些引脚在复位时候的电平是的芯片工作在特定的模式下。这类引脚可以通过2K外部电阻实现上下拉，更改芯片的默认工作模式。这些引脚是无效的因为可能会变更到其他功能在复位后，所以他们不能够直接连接VCC和GND

1. 这类引脚要实现功能需要外部上下拉。
2. PHYAD0(COL): DP83848VYB拥有5个PHY地址引脚，这些状态在系统硬件复位时锁存每个引脚的电平状态。地址0也可以设置芯片进入MII隔离模式
3. PHYAD[1-4]:
4. AN\_EN（LED\_ACT/COL）,AN\_1（LED\_SPEED）,AN\_0（LED\_LINK）:自动协商功能：当引脚电平为高：AN\_1和AN\_0为高启用自动协商功能（advertised）;AN\_1和AN\_0引脚电平为低，对应进入forced模式。



1. MII\_MODE（RX\_DV）:phy芯片工作模式选择：MII/RMII/’10Mb SNI Mode。

SNI\_MODE（TXD\_3）:



1. LED\_CFG（CRS）:LED灯配置管脚，这个在外部上下拉决定了LED的工作模式：mode1 and mode2
2. MDIX\_EN（RX\_ER）:默认使能MDIX功能，当外部下拉将会关闭AUTO\_MDIX模式。

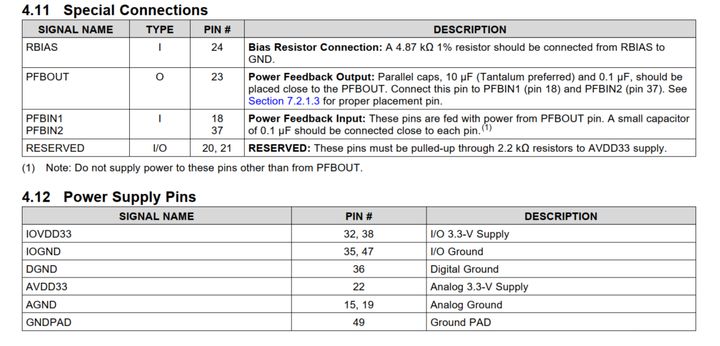
* 10Mb/S和100Mb/S PMD接口；

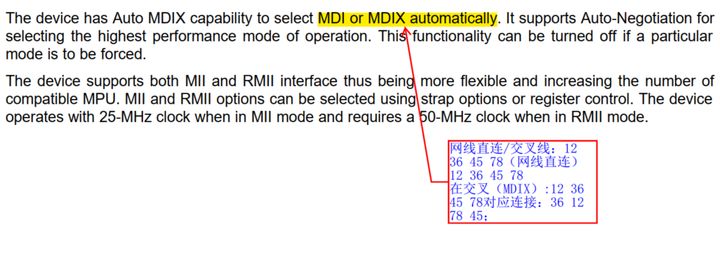
TD-/TD+:差分发射、 输出（PMD）,这对差分输出信号能够自动配置10BASE-T和100BASE-TX信号，在AUTO-MDIX模式运行时，这对可以做为接收（输入引脚）。需要外部3.3V偏置（意味着变压器这边的中心抽头需要上拉3.3V偏置）。

RD-/RD+: 差分接收、输入，（PMD输入引脚），这对差分输出信号能够自动配置10BASE-T和100BASE-TX信号，在AUTO-MDIX模式运行时，这对可以做为接收（输入引脚）。需要外部3.3V偏置（意味着变压器这边的中心抽头需要上拉3.3V偏置）。

* 特殊引脚；

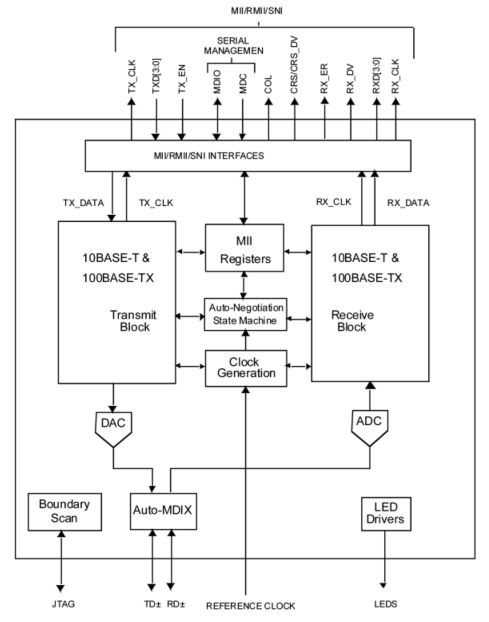
特殊引脚就不详近说明了，芯片为DP83848:



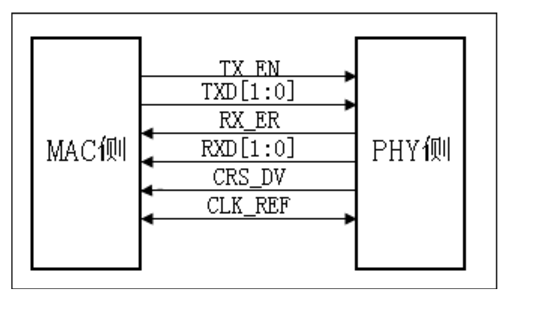


1. 芯片内部框图

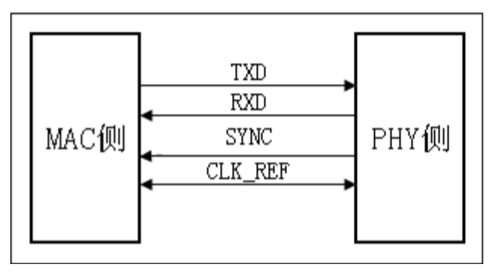
芯片内部包括MII/RMII/SNI 接口、发送模块、接收模块、MII寄存器、自动协商机制、时钟发生器、ADC、DAC、（Auto-MDIX）自动交叉线等模块，具体如下图所示：芯片自协商支持：10Mb/s 半工、10Mb/s全工；100Mb/s半工、100Mb全工。有自协商功能后能够在实际两个连接的设备传输数据时能够达到最优速率传输。自协商功能受AN\_EN,AN1和AN0引脚控制



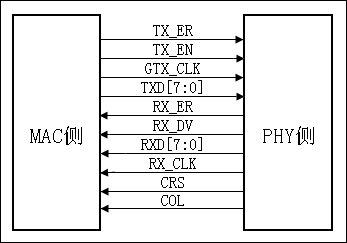
RMII：MAC和PHY芯片之间的接线图，数据线相比MII减半,时钟为50MHZ,还是需要注意TX\_CLK是由phy芯片发出,如果是需要自适应10/100M。



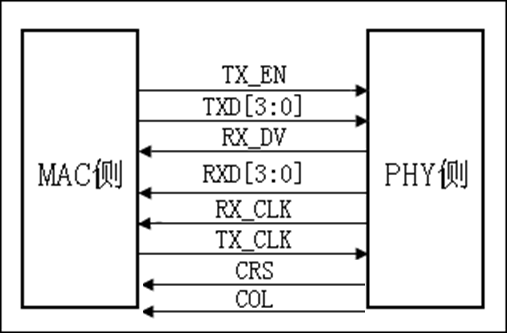
SMII:



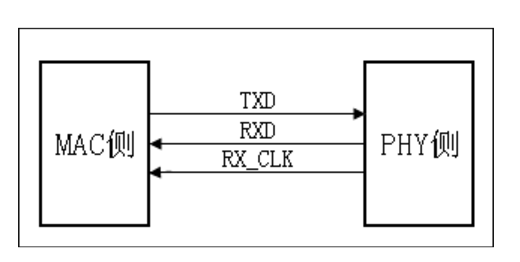
GMII：对应为千兆网；要实现1000Mb/s、100Mb/S、10Mb/S自适应必须加上TX\_CLK（PHY输出）



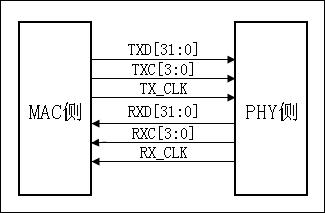
RGMII:



SGMII:



XGMII



XAUI：万兆网，该接口模式是将XGMII（万兆）集成到芯片内部，对应收发信号各有4个LANE，每个LANE口支持的最大速率：3.125Gbps；XAUI接口外面可以直接接光模块。

XGMII（万兆）：10G

RXD[31:0]、TXD[31:0]:数据发送和接收引脚为32位的并行总线

RXC[3:0]: 数据接收控制通道，RXD[0]:控制RXD[7:0]8根数据线（其他依次类推）是否接收，0表示无效，1表示有效

TXC[3:0]: 数据发送控制通道，RXD[0]:控制RXD[7:0] 8根数据线（其他依次类推）是否发送，0表示无效，1表示有效。

TX\_CLK: 发送总线同步时钟：10G/32/2=156.25MHZ

1. **以上是MAC到PHY层的接口定义；**

下面讲述物理层的接口定义有：

100base-T;

1000BASE-TX;

1000BASE-FX;

1000：表示传输速率；

BASE: 表述基带；

-T/TX：传输介质为铜介质的双绞线，其中1000BASE-T对应传输线为4对，全双工运行，时钟125MHZ。超五类网线。

1000BASE-TX对应传输线也为4对，只是其中2对用来收，两对用来发。工作模式在半双工模式，顾运行时钟250HZ,对应线缆为6类网线。

-FX：传输介质为光纤；光口，信号传输走的是光信号这是与上面不同的。