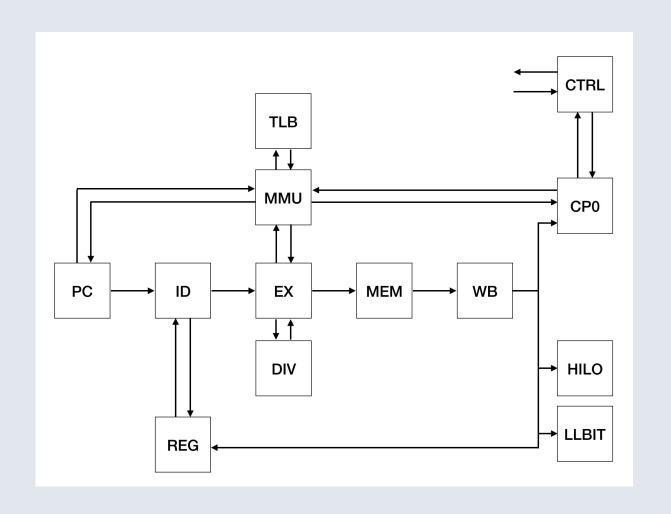
IngeniousMIPS

陈昱霏 李曌珩 闵梓轩 周耘硕

目录

- 中央处理器设计
- 外部设备接入
- 总线设计
- 操作系统移植
- 展示程序设计
- 开发过程

中央处理器架构



五级流水线

单发射

精确异常处理

可处理外部设备中断

具备内存管理单元

具备TLB

中央处理器指令实现85条

逻辑操作	8	and andi or ori xor xori nor lui
移位操作	6	sll sllv sra srav srl srlv
空操作	2	nop ssnop
简单算数操作	15	add addu addi addiu sub subu clo clz slt sltu slti sltiu mul mult multu
复杂算数操作	6	madd maddu msub msubu div divu
转移操作	14	jr jalr j jal b bal beq bgez bgezal bgtz blez bltz bltzal bne
加载操作	8	lb lbu lh lhu ll lw lwl lwr
存储操作	6	sb sc sh sw swl swr
协处理器操作	2	mtc0 mfc0
自陷操作	12	teq tge tgeu tlt tltu tne teqi tgei tgeiu tlti tltiu tnei
异常操作	2	syscall eret
TLB操作	4	tlbp tlbr tlbwi tlbwr

冲突问题

・结构相关:

对于内部寄存器 采用两个端口输出 一个端口输入 内部解决数据相关问题 对于外部存储设备 不满足哈佛结构的程序 在总线中裁决相关问题

・数据相关:

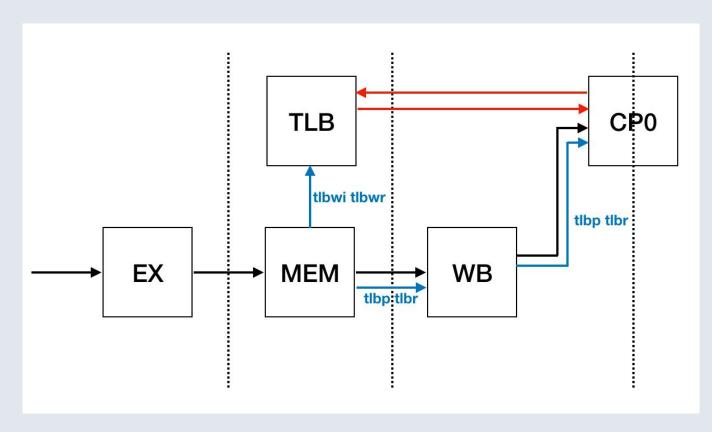
只存在RAW类型数据相关

对于流水线中寄存器数据相关 采用数据旁路方法 (REG HILO CP0 LLBIT) 对于流水线中访存数据相关 采用暂停流水线的方法

・控制相关:

对于转移指令 在PC中接入来自ID阶段的跳转信号和跳转地址 对于异常指令 CTRL会发出信号 清除异常指令以及所有其后进入流水线的指令的作用效果

TLB相关指令实现



tlbp tlbr 是组合逻辑 可即刻完成
tlbwi tlbwr 是时序逻辑 在上升沿写入
在五级流水线内完成TLB相关指令
与 mtc0 mfc0 冲突
部分数据相关还需软件解决

中央处理器指令测试

我们进行了三次不同规模的测试:

每条指令: 实现新指令后针对于该指令的单独测试

每组指令: 指令集基本成形后按照操作类型分组测试

重点指令: 全部指令实现后使用来自龙芯杯的测试来对重点指令充分测试

外部设备接入

- BASERAM & UART
- EXTRAM
- FLASH
- VGA

总线结构

- 两个总线使用同一个模块例化完成。
- 在总线中仲裁信号传输给哪一个设备。
- 设备控制器不作仲裁,信任总线传输的数据。
- 总线文件中添加了许多地址的直接映射,如leds和dpy。
- 总线上添加存储信号,CPU访问特殊地址时直接进行访存。
- 特殊地址:显存/线程通信内存。
- 在需求逐步增加的过程中总线结构变得复杂,实现功能增加,已经进化为一个特殊的处理 单元,但实现方式较不规范,有改进、重写的优化空间。

操作系统移植

- UCORE Porting on MIPS32S CPU
- 使用mipsel-linux-gnu-工具链
- Qemu上进行软件测试
- 修改编译选项
- 重写Bootloader
- 改shell 支持删除字符
- 与CPU进行调试

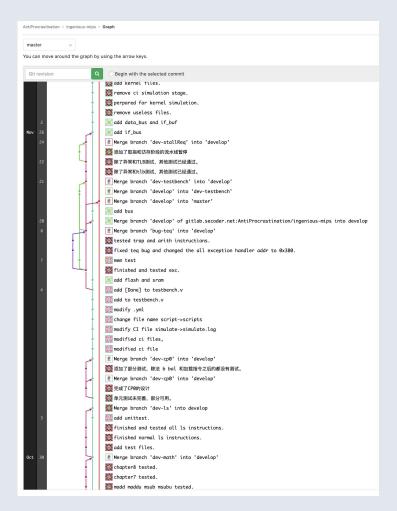
展示程序设计

- 贪吃蛇 (终端版本)
- 仿chrome小恐龙
- 支持多进程
- 输出外设VGA

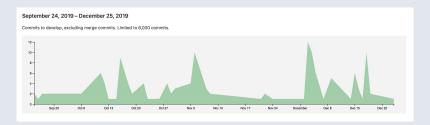


效果展示

开发过程





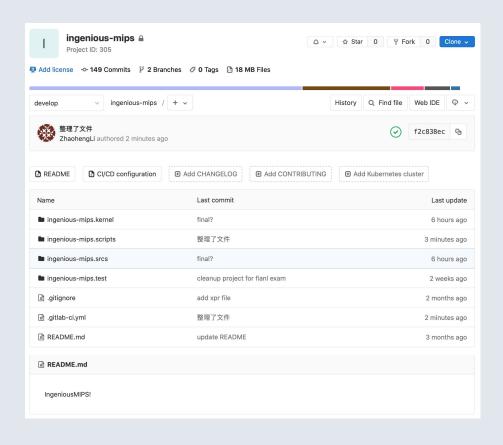


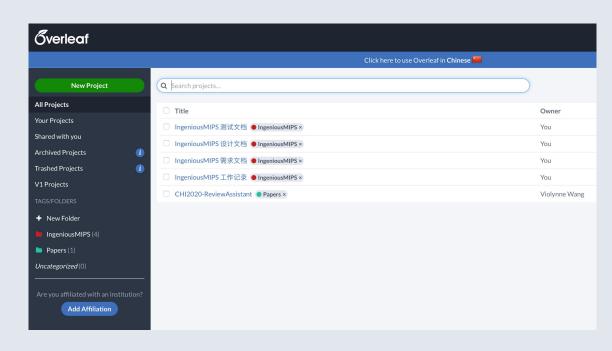
AntiProcrastination > ingenious-mips > Pipelines						
All 205	Pending 0 Running	0 Finished 208	5 Branches Tags		Run Pipeline	
Status	Pipeline	Triggerer	Commit	Stages		
⊗ failed	#24126		P dev-bus → 899ad3d7 add bus	⊘ (x (»)	⊙ 00:04:21 1 month ago	
⊚ passed	#24114		P dev-bus ->- c2a056bb ® Merge branch 'bug-teq' into	Θ	⊙ 00:05:17 1 month ago	
	#24111	*	<pre> P develop ← c2a056bb Merge branch 'bug-teq' into</pre>	$\Theta \bullet \Theta$	⊙ 00:05:27 1 month ago	
⊗ failed	#24100	*	P dev-bus ◆ 899ad3d7 ※ add bus	⊘ x ≫	⊙ 00:04:08	
	#24026	*	<pre> V develop - 899ad3d7 add bus </pre>	⊘ x ⊗	⊙ 00:04:23 1 month ago	
⊙ passed	#22770		# dev-mmu	\bigcirc \bigcirc \bigcirc	ŏ 00:05:13	
⊚ passed	#22368		<pre>P dev-mmu</pre>	$\bigcirc \cdot \bigcirc \cdot \bigcirc$	⊙ 00:05:26	
⊚ passed	#19555	*	<pre> V develop ← c2a056bb Merge branch 'bug-teq' into</pre>	$\Theta \Theta \Theta$	⊙ 00:05:31 1 month ago	
⊚ passed	#19545	(2)	P bug-teq → 37d666a5 tested trap and arith instruc	Θ	⊙ 00:06:02	
	#19540	*	P bug-teq -> 5dfc5144	⊘ • ⊘ •	⊙ 00:05:27	

项目组织

Github: 源码文件 测试文件 脚本文件 内存文件 分别单独成文件夹

Overleaf: 工作计划 需求文档 设计文档 测试文档 单独成册





组内分工

基本指令(81条)实现 & 流水线模块:

TLB指令(4条)实现 & 内存管理单元:

第一规模指令测试(每条指令):

第二规模指令测试(每组指令):

第三规模指令测试(重点指令):

外部设备接入 & 总线设计与实现:

操作系统移植以及实验板调试:

游戏开发:

文档撰写:

李曌珩 陈昱霏

周耘硕 李曌珩 陈昱霏

李曌珩 陈昱霏

周耘硕 李曌珩

李曌珩

闵梓轩

李曌珩 周耘硕

周耘硕 闵梓轩

陈昱霏

IngeniousMIPS

陈昱霏 李曌珩 闵梓轩 周耘硕