

TLB Cache AXI 总线的五级流水 CPU

姓名: 梁朝阳 2311561 专业: 密码科学与技术

目录

摘要

关键词: MIPS、五级流水线、CP0、异常处理、中断、协处理器

1 实验要求

在现有的五级流水线 CPU 的基础上，增加 TLB 模块和 cache 模块。

1. 本次实验是学期末综合实验，主要考察大家对 TLB 和 cache 的理解和应用，大家根据自己的能力和时间往后做即可，不强制要去全部功能都做出来。
2. TLB 部分推荐完成 TLB 模块设计和 TLB 相关指令和 CP0 寄存器部分，例外支持部分大家自己把握。
3. Cache 部分至少设计出 ICache 和 DCache，并尝试在 CPU 中集成测试，其他部分大家自己把握。

2 实验原理与设计

2.1 TLB 模块设计

2.1.1 TLB 基础概念

2.2 Cache 模块设计

3 实验结果

4 实验总结