

# 同济大学计算机系

## 数字逻辑课程实验报告



学 号 2154312

姓 名 郑博远

专 业 计算机科学与技术

授课老师 郭玉臣

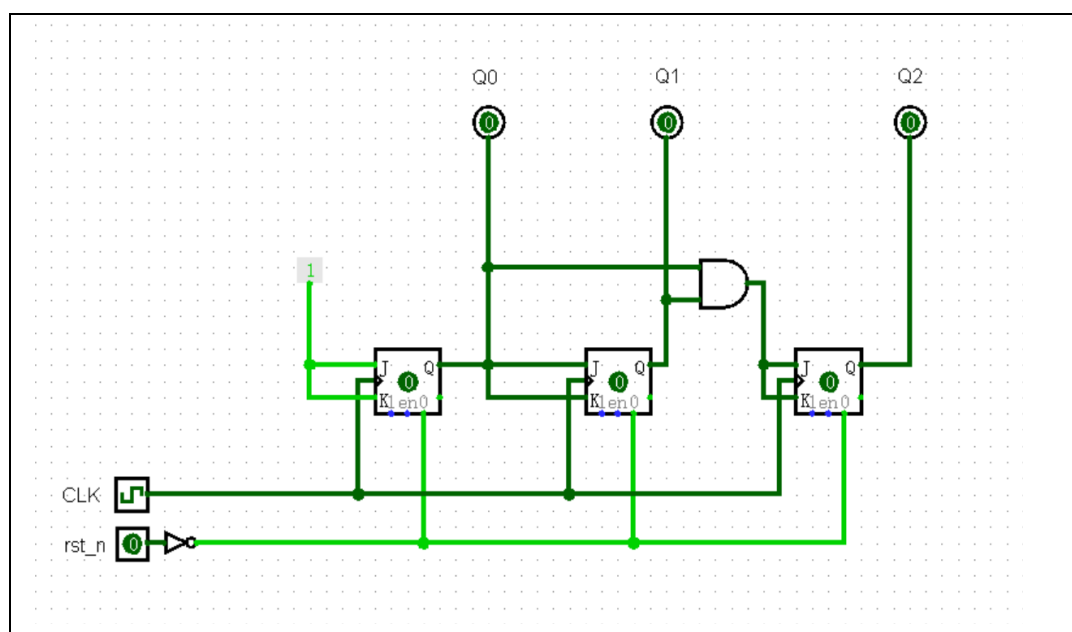
## 一、实验内容

(1) 计数器：计数器的功能是记忆脉冲的个数，它是数字系统中应用最广泛的基本时序逻辑构件。计数器所能记忆脉冲的最大数目称为该计数器的模。构成计数器的核心元件是触发器。本题中使用 logisim 画出同步模 8 电路原理图，实现由 3 个 JK 触发器组成的 3 位同步模 8 计数器，所有触发器的时钟都与同一个始终脉冲相连。本题通过实例化 JK 触发器与 7 段数码管来实现数字的显示；

(2) 分频器：每个计数器的脉冲输出频率等于其输入时钟频率除以计数模值，因此可以很容易地利用计数器由一个输入时钟信号获得分频后的时钟信号，这种应用称为分频。本实验中通过 verilog 设计分频器。

## 二、硬件逻辑图

(1) 计数器实验：



## 三、模块建模

(1) 计数器实验：

当时钟信号 CLK 在上升沿时，输出 oQ 累计计数直至到达计数器的模（本题为 8）后再复位为 0 循环计数，7 段数码管的输出 oDisplay 对应显示正确的数

字。rst\_n 为异步复位信号，当其为低电平时，计数器输出置为 0。通过实例化 JK 触发器与七段数码管来实现。

```
module Counter8(  
    input CLK,  
    input rst_n,  
    output [2:0] oQ,  
    output [6:0] oDisplay  
);  
  
    wire Q0, Q1, Q2, Q0n, Q1n, Q2n, Q0ANDQ1;  
    assign oQ = {Q2, Q1, Q0};  
    JK_FF jk1(CLK, 1, 1, rst_n, Q0, Q0n);  
    JK_FF jk2(CLK, Q0, Q0, rst_n, Q1, Q1n);  
    and q0andq1(Q0ANDQ1, Q0, Q1);  
    JK_FF jk3(CLK, Q0ANDQ1, Q0ANDQ1, rst_n, Q2, Q2n);  
    display7 display7_inst({0, oQ}, oDisplay);  
endmodule
```

```
module JK_FF(  
    input CLK,  
    input J,  
    input K,  
    input RST_n,  
    output reg Q1,  
    output reg Q2  
);  
  
    always@ (posedge CLK or negedge RST_n)  
    begin  
        if(!RST_n)  
        begin  
            Q1 <= 0;  
            Q2 <= 1;  
        end  
    end
```

```

else
begin
    case({J, K})
    2'b00:
    begin
        Q1 <= Q1;
        Q2 <= Q2;
    end
    2'b01:
    begin
        Q1 <= 0;
        Q2 <= 1;
    end
    2'b10:
    begin
        Q1 <= 1;
        Q2 <= 0;
    end
    2'b11:
    begin
        Q1 <= !Q1;
        Q2 <= !Q2;
    end
    endcase
end
end

endmodule

```

```

module display7(
    input [3:0] iData,
    output reg [6:0] oData
);

always @(*)
begin
    case(iData)
        4'b0000 : oData = 7'b1000000;
        4'b0001 : oData = 7'b1111001;
        4'b0010 : oData = 7'b0100100;
        4'b0011 : oData = 7'b0110000;
        4'b0100 : oData = 7'b0011001;
        4'b0101 : oData = 7'b0010010;
    endcase
end

```

```

        4'b0110 : oData = 7'b0000010;
        4'b0111 : oData = 7'b1111000;
        4'b1000 : oData = 7'b0000000;
        4'b1001 : oData = 7'b0010000;
    endcase
end

endmodule

```

## (2) 分频器实验:

时钟信号 I\_CLK 为输入的时钟，O\_CLK 为输出的时钟，二者的频率关系为  
 输出频率 = 输入频率 / 20。rst 为高电平有效的同步复位信号，当 I\_CLK 上升  
 沿且 rst 为 1 时，O\_CLK 从新的周期开始计数。

```

module Divider(
    input I_CLK,
    input rst,
    output reg O_CLK
);

integer cnt;
parameter N = 20;

always@ (posedge I_CLK)
begin
    if(rst)
    begin
        cnt <= 0;
        O_CLK <= 0;
    end
    else if(cnt == N/2 - 1)

```

```

        begin
            cnt <= 0;
            O_CLK <= ~O_CLK;
        end
    else
        cnt <= cnt + 1;
    end
endmodule

```

## 四、测试模块建模

(1) 计数器实验:

```

`timescale 1ns / 1ps
module Counter8_tb();
    reg CLK;
    reg rst_n;
    wire[2:0] oQ;
    wire[6:0] oDisplay;
    integer i;

    initial
    begin
        rst_n = 0;
        CLK = 0;
        #5;
        rst_n = 1;
        for(i = 0; i <= 18; i = i + 1)

```

```

begin
    CLK = 1;
    #5;
    CLK = 0;
    #5;
end

rst_n = 0;
end

Counter8 Counter8_inst(CLK, rst_n, oQ, oDisplay);
endmodule

```

(2) 分频器实验:

```

module Divider_tb();
    reg I_CLK;
    reg rst;
    wire O_CLK;
    integer i;

    initial
    begin
        rst = 1;
        #5;
        I_CLK = 1;
        #5;
        rst = 0;
        I_CLK = 0;

        for(i = 0; i <= 35; i = i + 1)
        begin
            I_CLK = 1;
            #5;
            I_CLK = 0;
            #5;
        end
    end
endmodule

```

```

    rst = 1;
    #5;
    I_CLK = 1;
    #5;
    rst = 0;
    I_CLK = 0;

    for(i = 0; i <= 35; i = i + 1)
    begin
        I_CLK = 1;
        #5;
        I_CLK = 0;
        #5;
    end
end

Divider Divider_inst(I_CLK, rst, O_CLK);

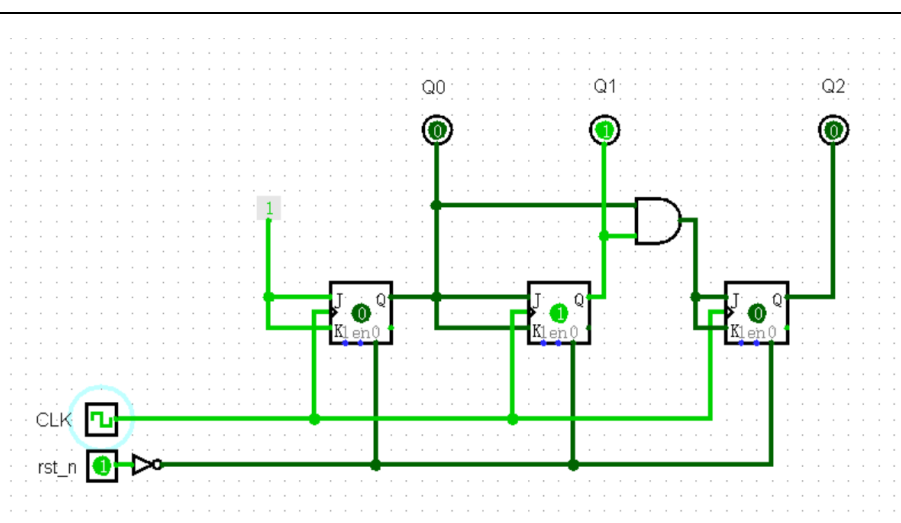
endmodule

```

## 五、实验结果

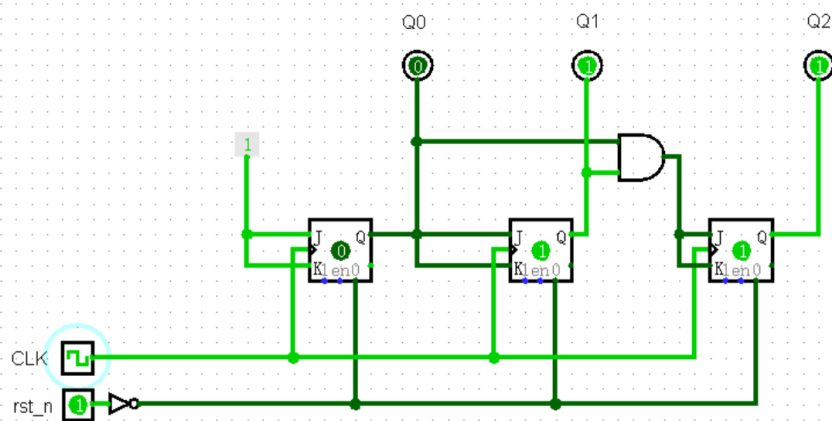
### (1) 计数器实验:

#### a) logisim 逻辑验证图

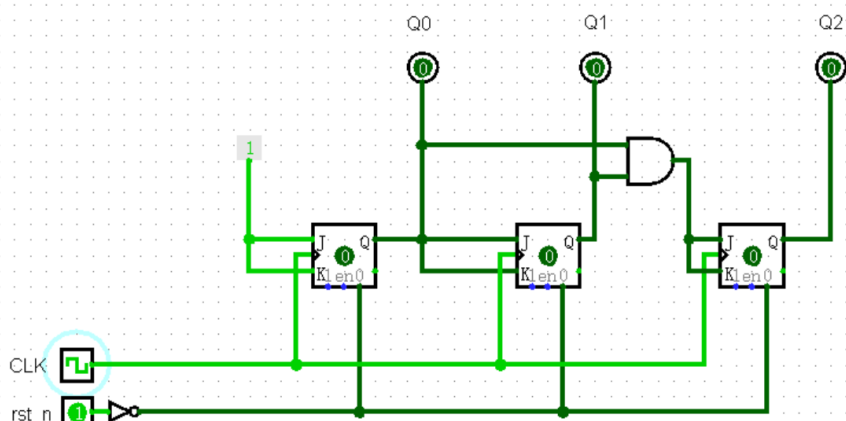


当 CLK 上升沿到来且 rst\_n 为高电平时，计数器不断计数。如上图所示为第 2 个 CLK 上升沿到来时的电路情况，输出 Q 为 3'b010。

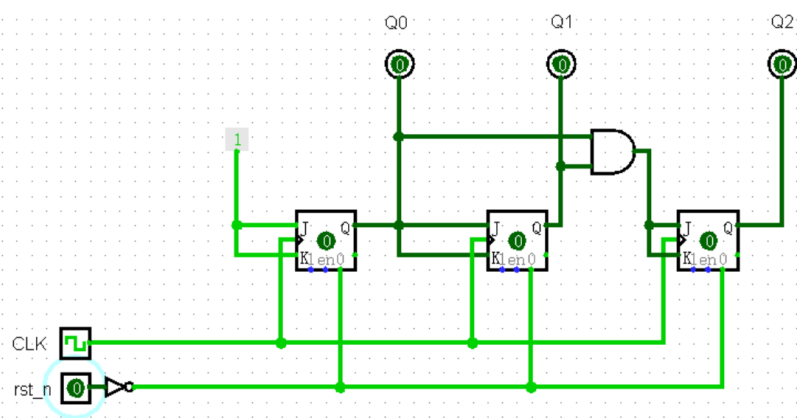




当 CLK 上升沿到来且 rst\_n 为高电平时，计数器不断计数。如上图所示为第 6 个 CLK 上升沿到来时的电路情况，输出 Q 为 3'b110。

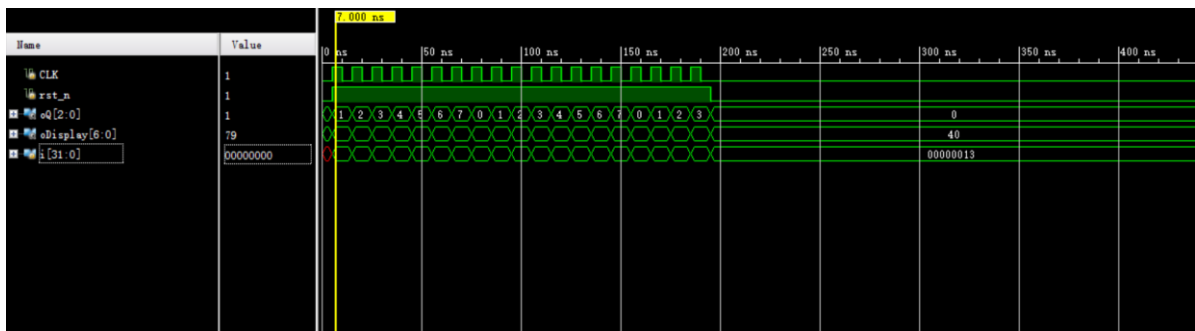


rst\_n 为高电平时，若计数器计数达到其模值，则计数重新从 0 开始。如上图所示为第 8 个 CLK 上升沿到来时的电路情况，输出 Q 为 3'b000。



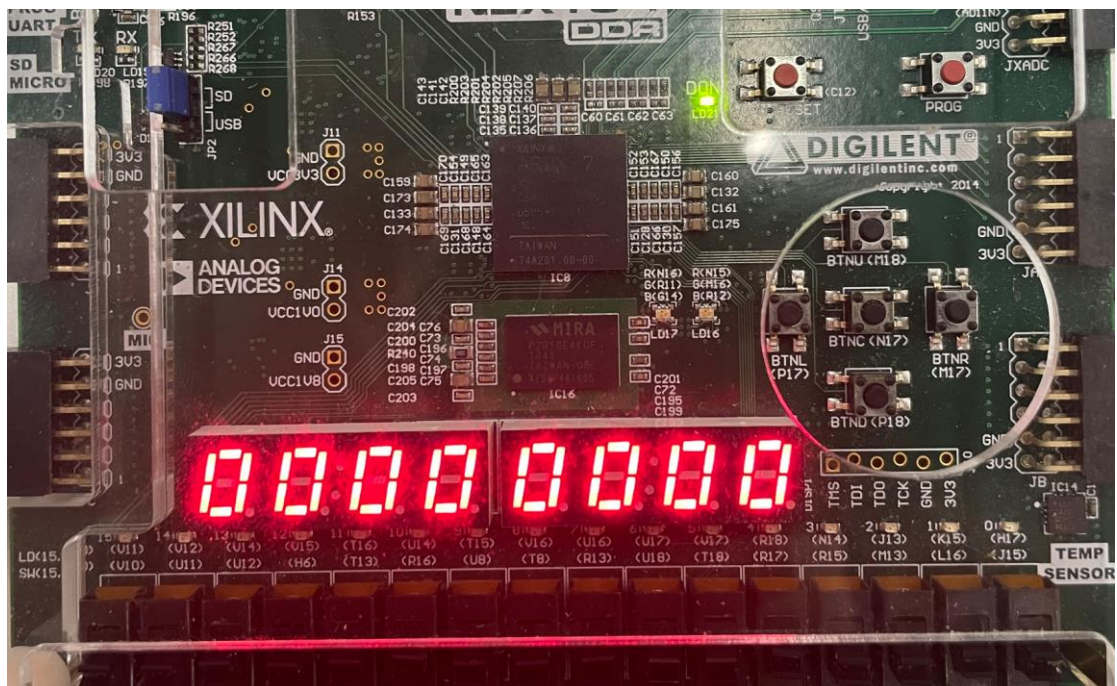
电路为异步复位，因此无论 CLK 是否为上升沿；当 rst\_n 为低电平时，计数器的计数值都被复位清 0。

b) modelsim 仿真波形图



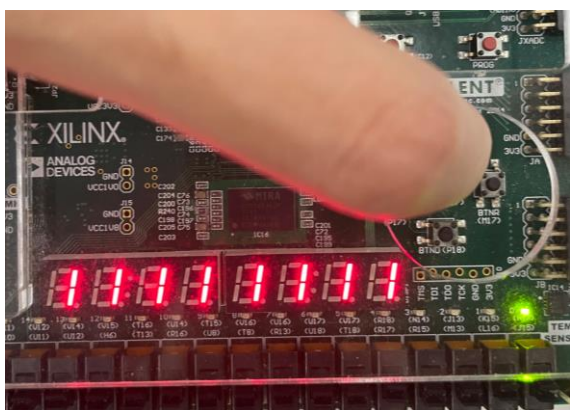
每当 CLK 上升沿到来时，oQ 累计计数；直到累计到计数器的模值（本题中为 8），计数器重新回到 0 开始新一轮计数。oDisplay 为 7 段数码管的显示值，与先前实验中的对应关系一致。仿真波形图符合预期。

c) 下板实验结果图

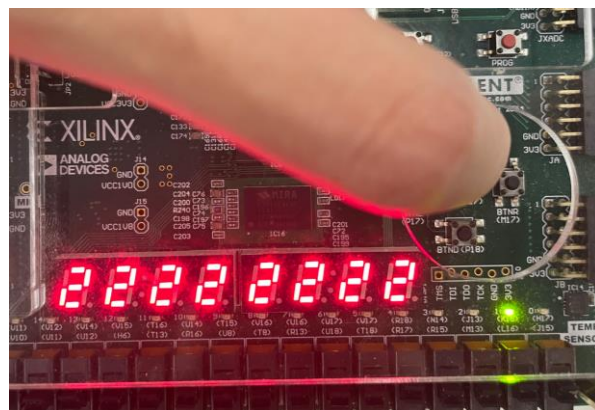


当 M18 松开时，rst\_n 为低电平（有效），oQ 为零；

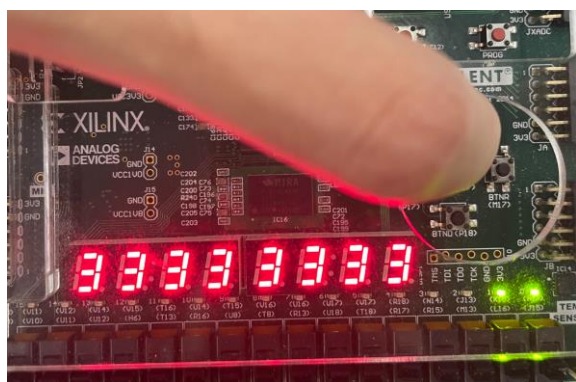
此时 J13、K15、H17 不亮，7 段数码管显示 0。



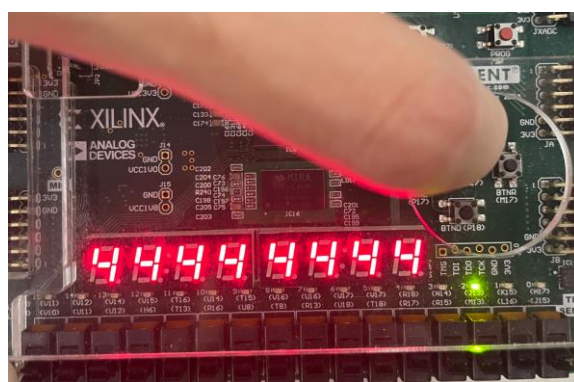
当 M18 按下时, rst\_n 为高电平;  
第 1 个 CLK 上升沿到来时,  
J13、K15 不亮, H17 亮起; 数码管显示“1”。



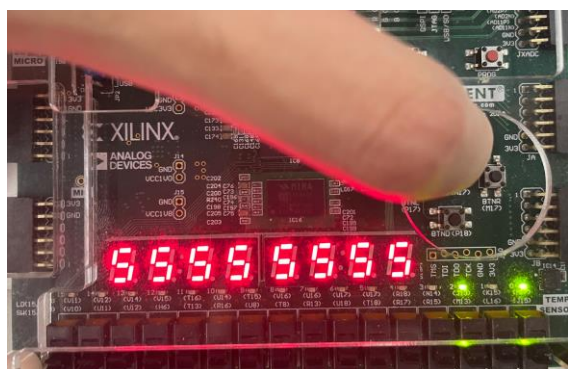
当 M18 按下时, rst\_n 为高电平;  
第 2 个 CLK 上升沿到来时,  
J13、K15 不亮, H17 亮起; 数码管显示“2”。



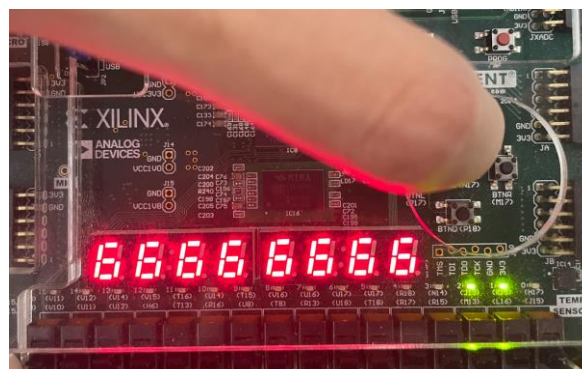
当 M18 按下时, rst\_n 为高电平;  
第 3 个 CLK 上升沿到来时,  
J13 不亮, K15、H17 亮起; 数码管显示“3”。



当 M18 按下时, rst\_n 为高电平;  
第 4 个 CLK 上升沿到来时,  
K15、H17 不亮, J13 亮起; 数码管显示“4”。

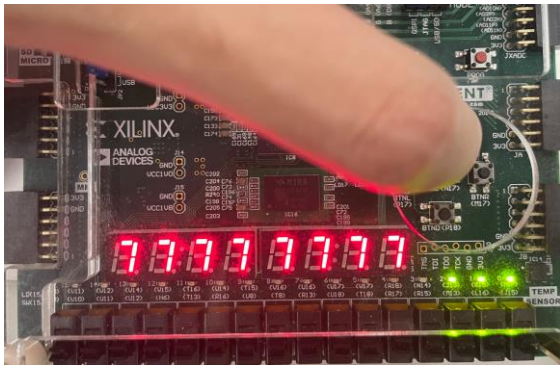


当 M18 按下时, rst\_n 为高电平;  
第 5 个 CLK 上升沿到来时,  
K15 不亮, J13、H17 亮起; 数码管显示“5”。

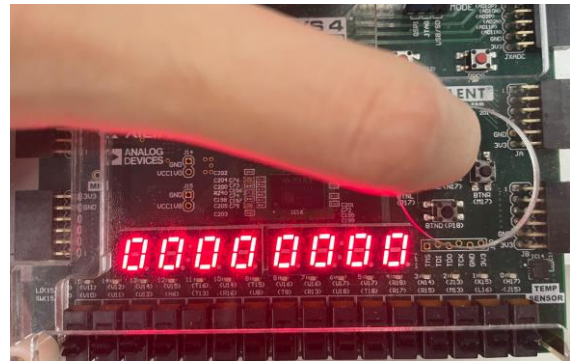


当 M18 按下时, rst\_n 为高电平;  
第 6 个 CLK 上升沿到来时,  
K15、J13 不亮, H17 亮起; 数码管显示“6”。





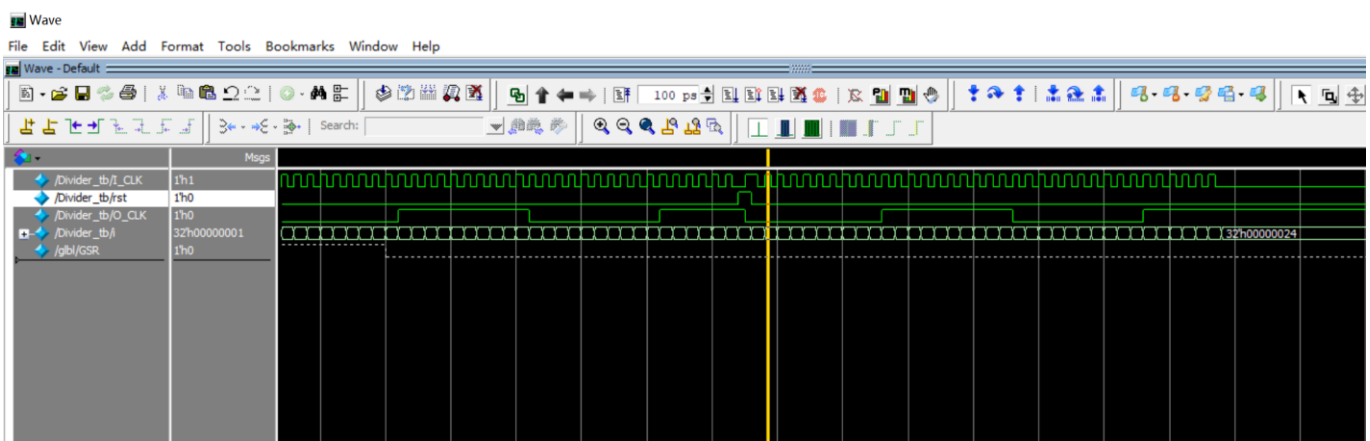
当 M18 按下时，rst\_n 为高电平；  
第 7 个 CLK 上升沿到来时，  
J13、K15、H17 均亮起；数码管显示“7”。



当 M18 按下时，rst\_n 为高电平；  
第 8 个 CLK 上升沿到来时，  
J13、K15、H17 均不亮；数码管显示“0”。

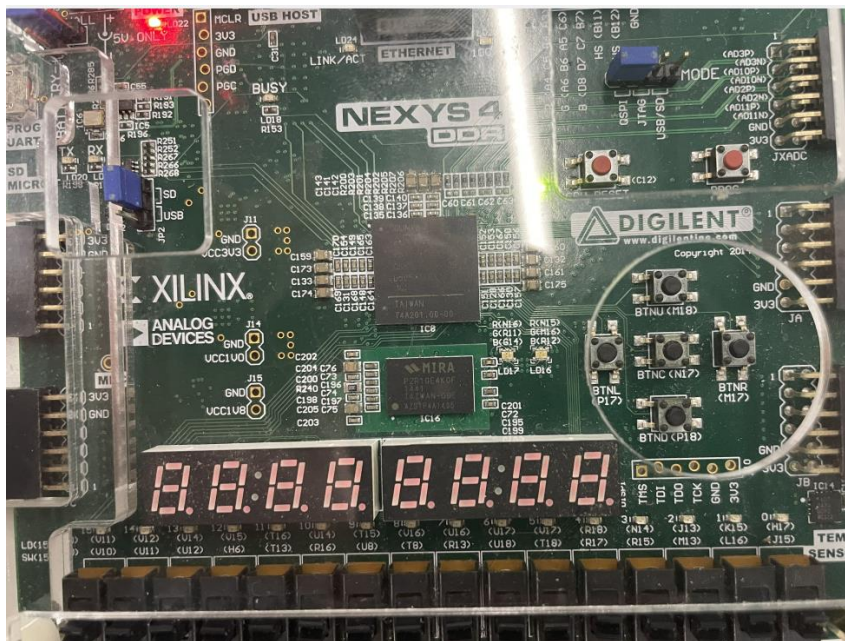
## (2) 分频器实验：

### a) modelsim 仿真波形图



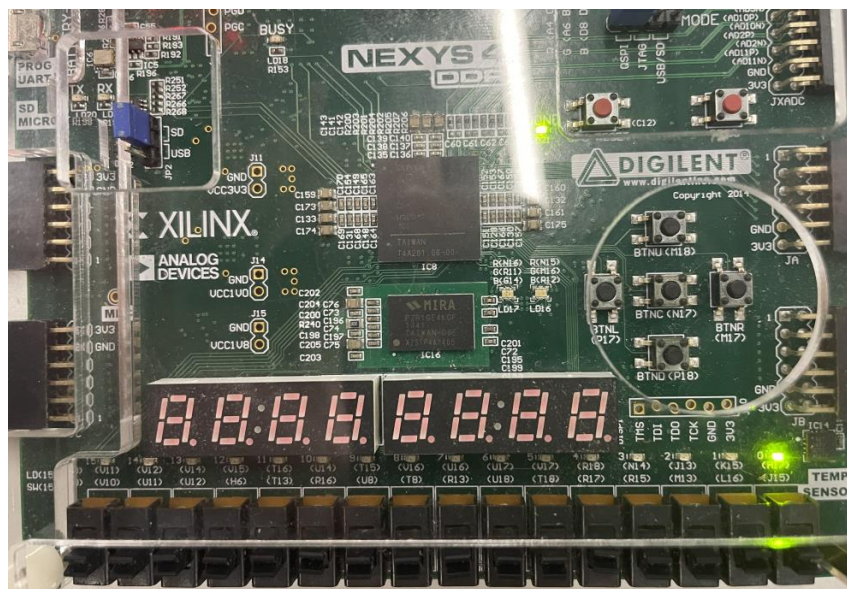
观察到 O\_CLK 的频率为 I\_CLK 的  $1/20$ ，即当 I\_CLK 产生 20 个上升沿时，O\_CLK 产生 1 个上升沿。当 rst\_n 为高电平 1 时若 I\_CLK 不是上升沿则无变化；I\_CLK 时钟周期到来时，O\_CLK 置零开始新的周期。

b) 下板实验结果图



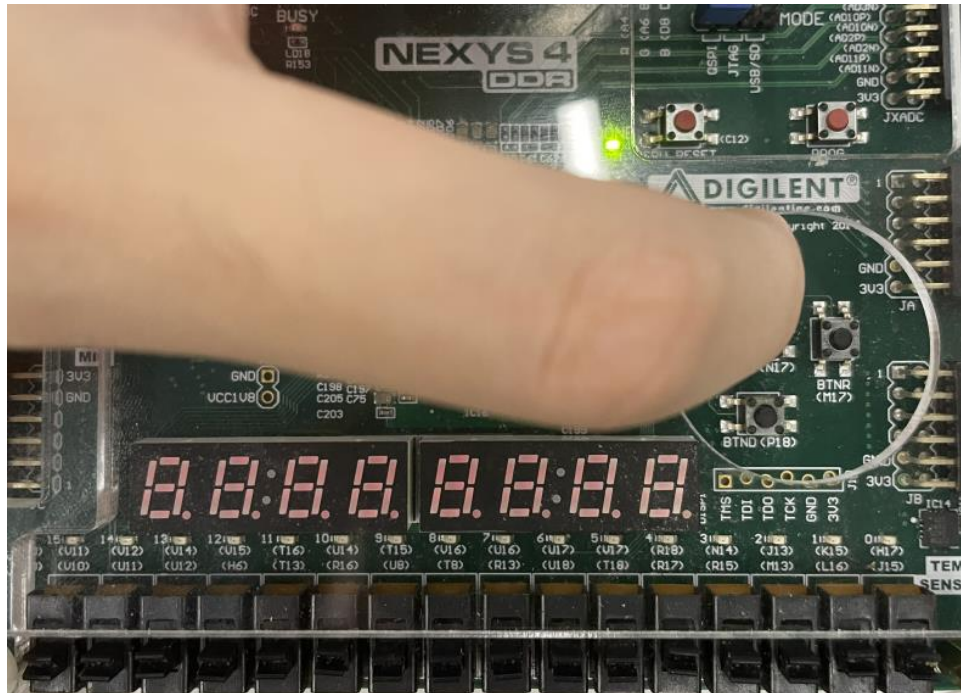
不按 M18, rst\_n 为低电平（无效）

下板时计数模值设为 1 亿；1 秒产生一次 O\_CLK 上升沿，  
H17 进行一次明暗交替。



不按 M18, rst\_n 为低电平（无效）

下板时计数模值设为 1 亿；1 秒产生一次 O\_CLK 上升沿，  
H17 进行一次明暗交替。



按下 M18，rst\_n 为高电平（有效）

O\_CLK 保持低电平， H17 不亮。