

# 同济大学计算机系

## 数字逻辑课程实验报告



学 号 2154312

姓 名 郑博远

专 业 计算机科学与技术

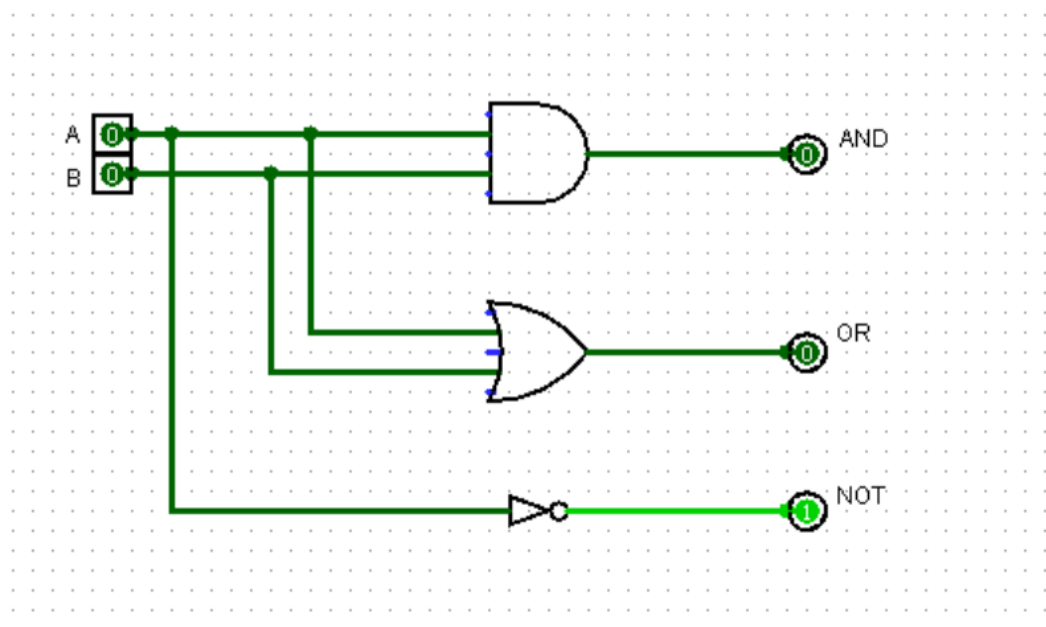
授课老师 郭玉臣

## 一、实验内容

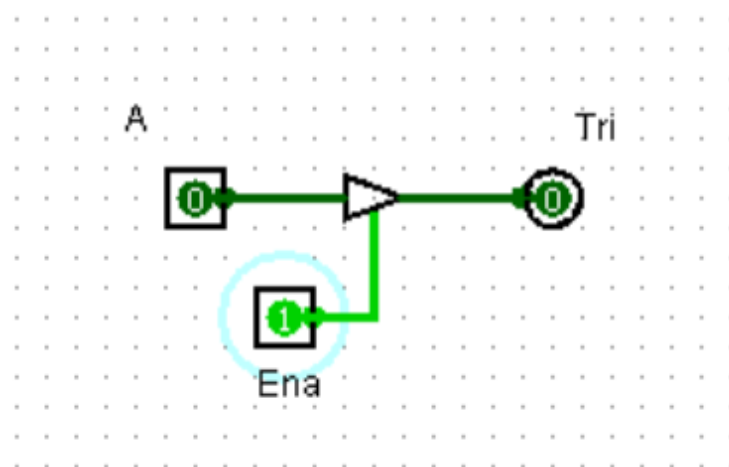
- (1) 基本门电路实验：采用结构型、数据流型以及行为描述三种基本描述方式设计与、或、非基本门电路；
- (2) 三态门实验：建立三态门电路；
- (3) 数据扩展实验：将输入的数据符号扩展或 0 扩展为 32 位。

## 二、硬件逻辑图

- (1) 基本门电路实验：



- (2) 三态门实验：



### 三、模块建模

#### (1) 基本门电路实验:

iA、iB 为模块输入，oAnd、oOr、oNot 为模块输出。oAnd、oOr、oNot 分别为 A 与 B、A 或 B 以及非 B 的结果。以下是 Verilog 代码:

##### a) 结构型描述

```
module logic_gates_1(iA,iB,oAnd,oOr,oNot);  
    input iA, iB;  
    output oAnd,oOr,oNot;  
    and and_inst(oAnd, iA,iB);  
    or or_inst(oOr, iA,iB);  
    not not_inst(oNot, iA);  
endmodule
```

##### b) 数据流型描述

```
module logic_gates_2(iA,iB,oAnd,oOr,oNot);  
    input iA, iB;  
    output oAnd,oOr,oNot;  
    assign oAnd = iA & iB;  
    assign oOr = iA | iB;  
    assign oNot = ~iA;  
endmodule
```

##### c) 行为描述

```
module logic_gates_3(iA,iB,oAnd,oOr,oNot);  
    input iA, iB;  
    output oAnd,oOr,oNot;  
    reg oAnd, oOr, oNot;  
    always @ (*)  
    begin
```

```

    oAnd = iA & iB;
    oOr = iA | iB;
    oNot = ~ iA;
end
endmodule

```

(2) 三态门实验: iA、iEna 为三态门电路的两个输入, 其中 iEna 是控制信号; oTri 是三态门的输出。Verilog 代码如下:

```

module three_state_gates(iA,iEna,oTri);
    input iA;
    input iEna;
    output oTri;
    assign oTri = (iEna==1)? iA:'bz;
endmodule

```

(3) 数据扩展实验: 模块输入为 a 与 sext, 其中 a 表示一个有 WIDTH 位的数, sext 为 1 时为符号扩展, 否则作 0 扩展; 输出 b 是扩展后的 32 位数。以下是本小题 Verilog 代码:

```

module extend #(parameter WIDTH = 16)(
    input [WIDTH-1:0] a,
    input sext, //sext 有效时为符号扩展, 否则为 0 扩展
    output [31:0] b
);
    assign b=sext? {{(32-WIDTH){a[WIDTH-1]}},a} :
    {{(32-WIDTH){1'b0}},a};
endmodule

```

## 四、测试模块建模

(1) 基本门电路实验:

|  |   |
|--|---|
| <pre> `timescale 1ns/1ns module logic_gates_tb;     reg iA;     reg iB;     wire oAnd;     wire oOr;     wire oNot;      initial     begin         iA = 0;         #40 iA = 1;         #40 iA = 0;         #40 iA = 1;         #40 iA = 0;     end      initial </pre> | <pre> begin     iB = 0;     #40 iB = 0;     #40 iB = 1;     #40 iB = 1;     #40 iB = 0; end  logic_gates_1 logic_gates_inst(     .iA(iA),     .iB(iB),     .oAnd(oAnd),     .oOr(oOr),     .oNot(oNot) );  endmodule </pre> |
|--|---|

(2) 三态门实验:

|  |  |
|--|--|
| <pre> `timescale 1ns/1ns module three_state_gates_tb;     reg iA;     reg iEna;     wire oTriState;     three_state_gates uut (         .iA(iA),         .iEna(iEna),         .oTri(oTriState)     );     initial     begin </pre> | <pre> iA = 0; #40 iA = 1; #40 iA = 0; #40 iA = 1; end initial begin     iEna = 1;     #20 iEna = 0;     #40 iEna = 1;     #20 iEna = 0; end endmodule </pre> |
|--|--|

(3) 数据扩展实验:

|   |
|---|
| <pre> `timescale 1ns/1ns module extend_tb;     reg [15:0] a;     reg sext;     wire [31:0] b;     // Instantiate the Unit Under Test (UUT)     extend uut (.a(a),.sext(sext),.b(b)); </pre> |
|---|

```

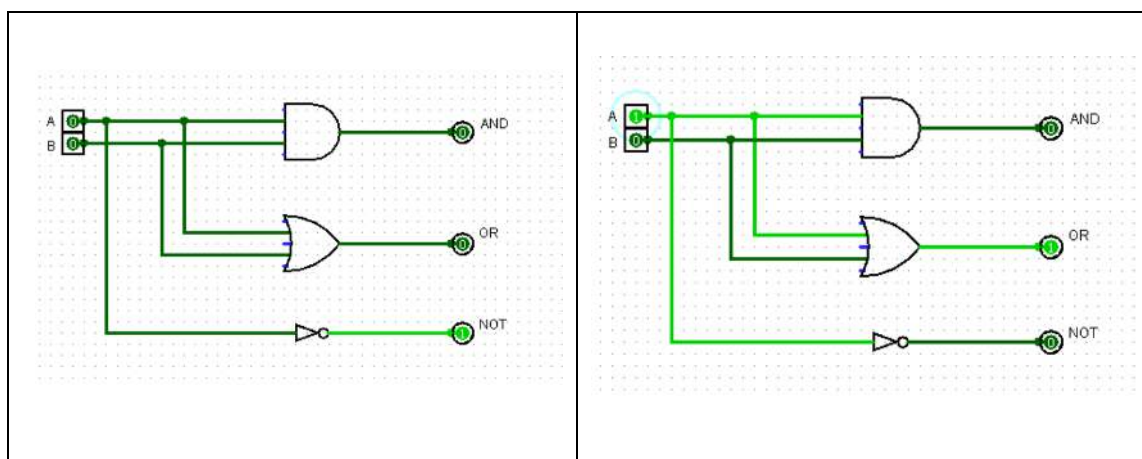
initial
begin
    // Initialize Inputs
    a = 0;
    sext = 0;
    // Wait 100 ns for global reset to finish
    #100;
    // Add stimulus here
    sext = 1;
    a = 16'h0000;
    #100;
    sext = 0;
    a = 16'h8000;
    #100;
    sext = 1;
    a = 16'h8000;
    #100;
    sext = 0;
    a = 16'hffff;
    #100;
    sext = 1;
    a = 16'hffff;
    #100;
end
endmodule

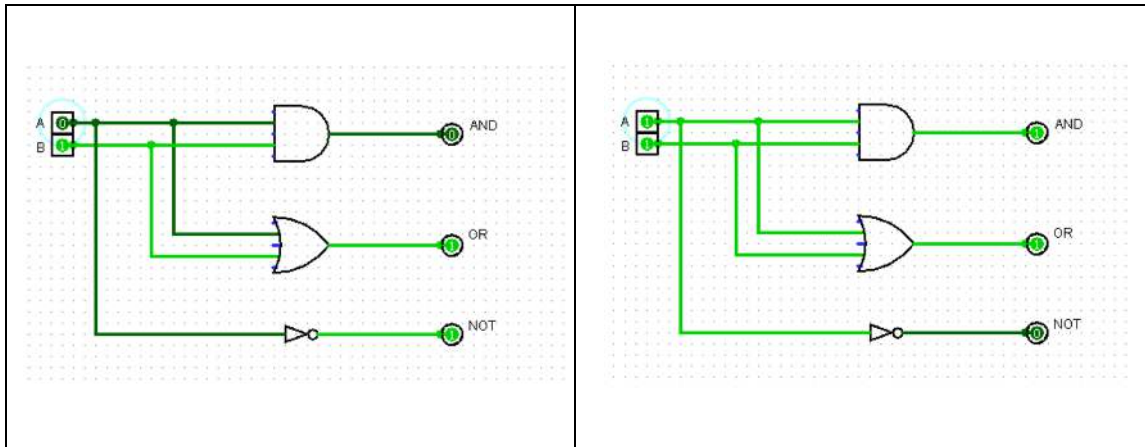
```

## 五、实验结果

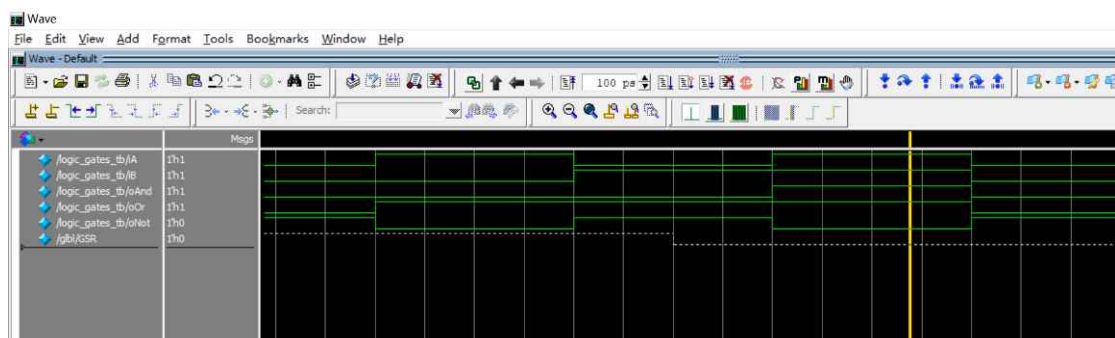
(1) 基本门电路实验：采用结构型、数据流型以及行为描述三种基本描述方式设计与、或、非基本门电路；

a) logism 逻辑验证图





b) modelsim 仿真波形图

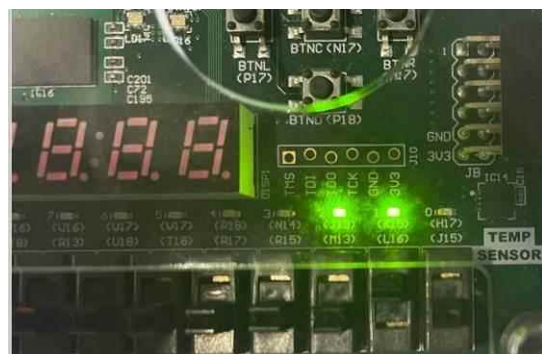


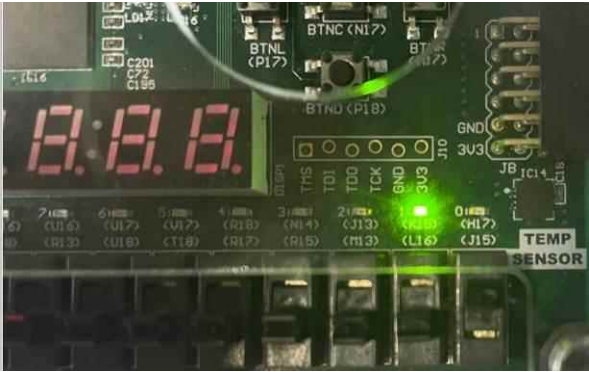

c) 下板实验结果图

关闭 L16、J15; J13 亮起,  
K15、H17 不亮



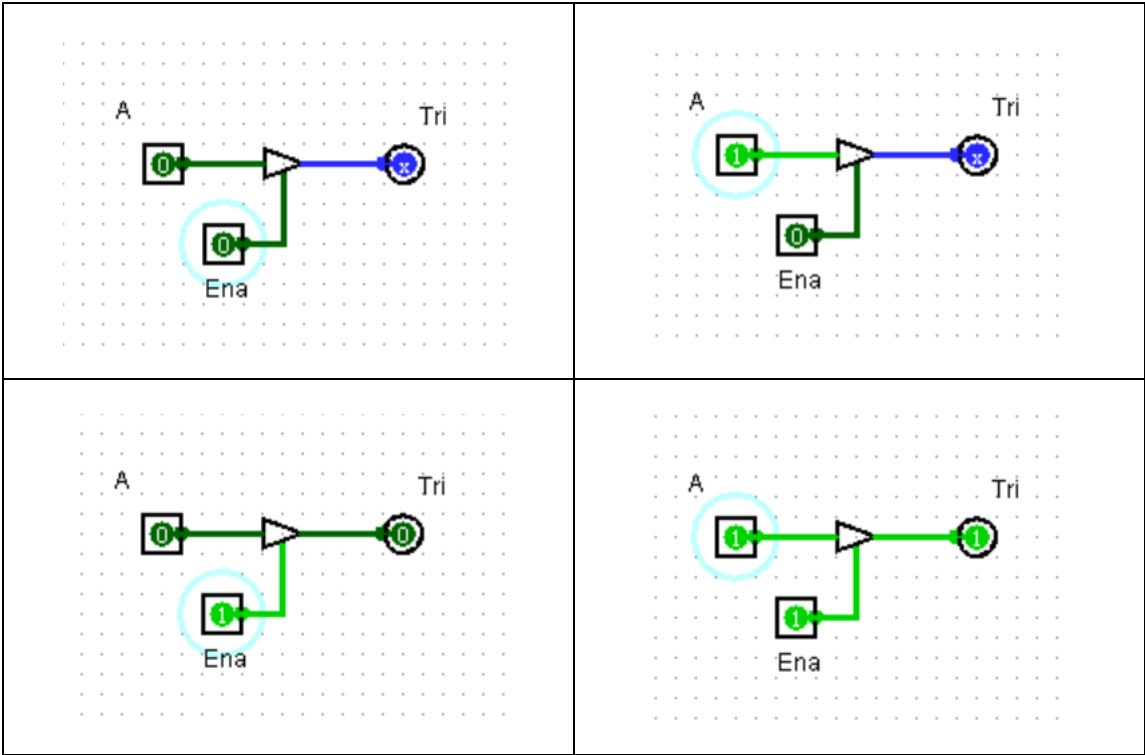
打开 L16, 关闭 J15; J13、  
K15 亮起, H17 不亮



|   |   |
|---|---|
| <p>关闭 L16, 打开 J15; K15 亮起, J13、H17 不亮</p> |   |
| <p>打开 L16、J15; K15、H17 亮起, J13 不亮</p>     |  |

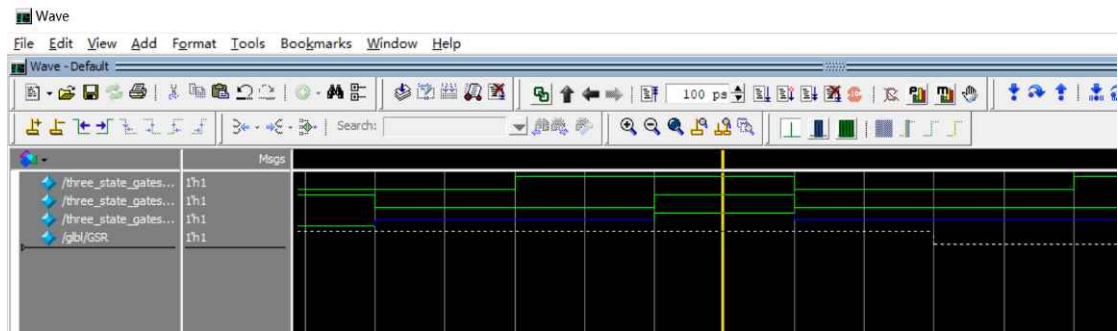
(2) 三态门实验:

a) logism 逻辑验证图



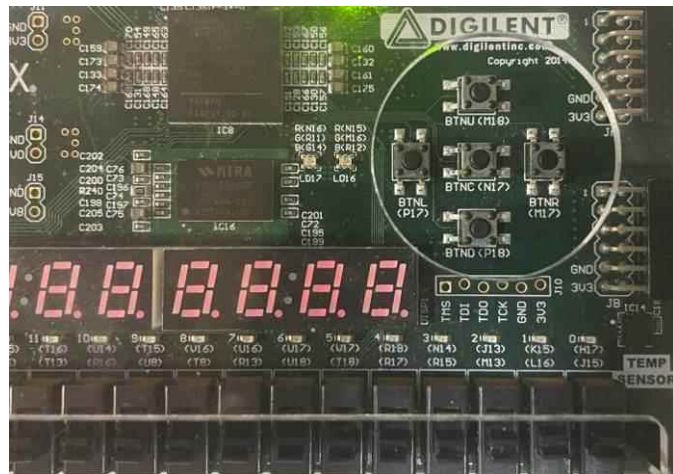


b) modelsim 仿真波形图

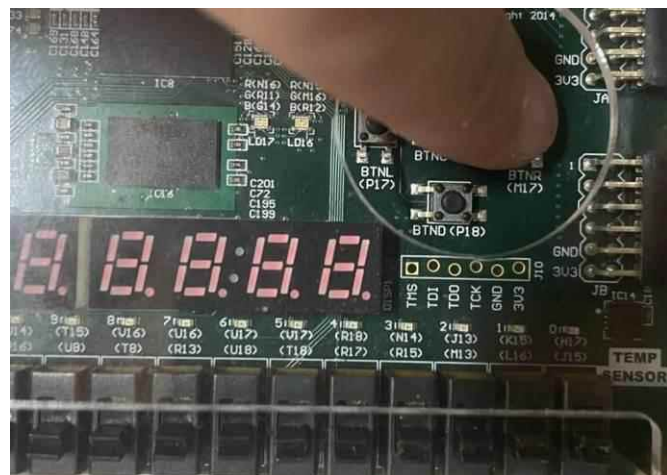


c) 下板实验结果图

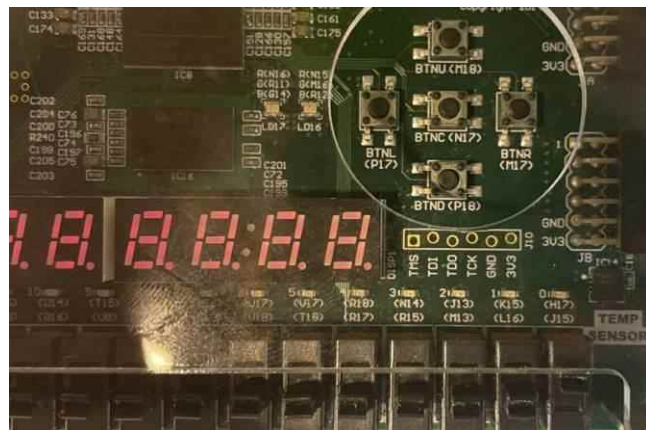
关闭 J15, 不按 M17,  
H17 不亮



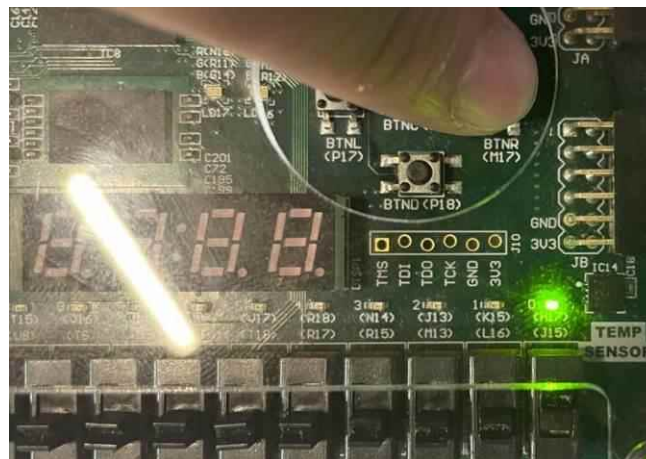
关闭 J15, 按下 M17,  
H17 不亮



打开 J15, 不按 M17,  
H17 不亮



打开 J15, 按下 M17,  
H17 亮起



(3) 数据扩展实验:

a) modelism 波形仿真图

