

同济大学计算机系

数字逻辑课程实验报告



学 号 2154312

姓 名 郑博远

专 业 计算机科学与技术

授课老师 郭玉臣

一、实验内容

(1) **D 触发器**：触发器是一种同步双稳态器件，用来记忆一位二进制数。所谓同步，是指触发器的记忆状态按始终（CLK）规定的启动指示点（脉冲边沿）来改变。D 触发器是在 SR 触发器的基础上，增加一个非门而构建的，从而避免了 SR 触发器存在的不稳态问题。在时钟脉冲上升沿，当数据输入 $D=1$ 时，触发器置位；当数据输入 $D=0$ 时，触发器复位。本次实验实现同步复位与异步复位触发器。前者指复位信号只在时钟边沿到来时有效，后者反之；

(2) **JK 触发器**：JK 触发器是一种广泛应用的触发器类型，其改善了 SR 触发器存在的不稳定状态。当 $J=1$ ， $K=1$ 时，对每一个连续的时钟脉冲，触发器都能够改变成相反状态或技术状态，称为交替操作；

(3) **PC 寄存器**：PC 寄存器是组成 CPU 的基本部件，用来存放当前正在执行的指令，包括指令的操作码和地址信息。当 `ena` 信号有效时，输入数据将被输入寄存器内部；输出端始终输出 PC 寄存器内部存储的值。

二、模块建模

(1) 同步复位 D 触发器实验：

D 为输入信号，当时钟信号 CLK 在上升沿时：若 D 为 1，输出信号 Q 为 1（置位）；若 D 为 0，输出信号 Q 为 0（复位）。复位信号 `RST_n` 在 CLK 上升沿时若有效（低电平），则将触发器复位。

```
module Synchronous_D_FF(  
    input CLK,  
    input D,  
    input RST_n,  
    output reg Q1,  
    output reg Q2  
);  
  
always@ (posedge CLK)
```

```

begin
    if(!RST_n)
        begin
            Q1 = 0;
            Q2 = 1;
        end
    else
        begin
            Q1 = D;
            Q2 = !D;
        end
    end
end

endmodule

```

(2) 异步复位 D 触发器实验：

D 为输入信号，当时钟信号 CLK 在上升沿时：若 D 为 1，输出信号 Q 为 1（置位）；若 D 为 0，输出信号 Q 为 0（复位）。复位信号 RST_n 无论 CLK 是否在上升沿时，若其有效（低电平），都将触发器复位。

```

module Asynchronous_D_FF(
    input CLK,
    input D,
    input RST_n,
    output reg Q1,
    output reg Q2
);

always@ (posedge CLK or negedge RST_n)
begin
    if(!RST_n)

```

```

        begin
            Q1 = 0;
            Q2 = 1;
        end
    else
        begin
            Q1 = D;
            Q2 = !D;
        end
    end
end

endmodule

```

(3) JK 触发器实验:

J、K 为输入信号，RST_n 为异步复位信号。在时钟信号 CLK 上升沿时，当 J 与 K 均为 0 时，输出保持；J 与 K 均为 1 时，输出交替；否则 Q 的输出与 J 相同。Q1、Q2 分别为两个输出。

```

module JK_FF(
    input CLK,
    input J,
    input K,
    input RST_n,
    output reg Q1,
    output reg Q2
);

    always@ (posedge CLK or negedge RST_n)
    begin
        if(!RST_n)

```

```
begin
    Q1 <= 0;
    Q2 <= 1;
end
else
begin
    case({J, K})
    2'b00:
    begin
        Q1 <= Q1;
        Q2 <= Q2;
    end
    2'b01:
    begin
        Q1 <= 0;
        Q2 <= 1;
    end
    2'b10:
    begin
        Q1 <= 1;
        Q2 <= 0;
    end
    2'b11:
    begin
        Q1 <= !Q1;
        Q2 <= !Q2;
    end
    endcase
end
```

```
end

endmodule
```

(4) PC 寄存器实验:

clk 为时钟输入信号, data_in 与 data_out 分别为 32 位的输入与输出。
当有效信号 ena 为高电平时, 输出 data_out 与输入相同, 否则保持。rst 高电平时将 PC 寄存器清零。

```
module pcreg(
    input clk,
    input rst,
    input ena,

    input[31:0] data_in,
    output reg[31:0] data_out
);

always@ (posedge clk or posedge rst)
begin
    if(rst)
        data_out <= 0;
    else if(ena)
        data_out <= data_in;
    end
endmodule
```

三、测试模块建模

(1) 同步复位 D 触发器实验:

```

module Synchronous_D_FF_tb();
    reg CLK;
    reg D;
    reg RST_n;
    wire Q1;
    wire Q2;

    initial
    begin
        RST_n = 1;
        D = 0;
        #5;
        CLK = 1;
        #5;
        CLK = 0;
        #5;
        D = 1;
        #5;
        CLK = 1;
        #5;
        CLK = 0;
        #5;
        RST_n = 0;
        #5;
        CLK = 1;
        #5;
        RST_n = 1;
        CLK = 0;
        #5;
        CLK = 1;
    end

    Synchronous_D_FF Synchronous_D_FF_inst(CLK, D, RST_n,
    Q1, Q2);

endmodule

```

(2) 8 位数据比较器实验:

```

`timescale 1ns / 1ps

module Asynchronous_D_FF_tb();
    reg CLK;

```

```

reg D;
reg RST_n;
wire Q1;
wire Q2;

initial
begin
    RST_n = 1;
    D = 0;
    #5;
    CLK = 1;
    #5;
    CLK = 0;
    #5;
    D = 1;
    #5;
    CLK = 1;
    #5;
    CLK = 0;
    #5;
    RST_n = 0;
    #5;
    CLK = 1;
    #5;
    RST_n = 1;
    CLK = 0;
    #5;
    CLK = 1;

end

    Asynchronous_D_FF Asynchronous_D_FF_inst(CLK, D,
RST_n, Q1, Q2);

endmodule

```

(3) JK 触发器实验:

```

`timescale 1ns / 1ps

module JK_FF_tb();
    reg CLK;
    reg J;
    reg K;

```



```

reg RST_n;
wire Q1;
wire Q2;

initial
begin
    J = 0;
    K = 1;
    RST_n = 1;
    CLK = 1;
    #5;
    CLK = 0;
    #5;
    J = 1;
    K = 0;
    #5;
    CLK = 1;
    #5;
    CLK = 0;
    #5;
    J = 0;
    K = 0;
    #5;
    CLK = 1;
    #5;
    CLK = 0;
    #5;
    RST_n = 0;
    #5;
    J = 1;
    K = 1;
    #5;
    CLK = 1;
    RST_n = 1;

end

JK_FF JK_FF_inst(CLK, J, K, RST_n, Q1, Q2);

endmodule

```

(4) PC 寄存器实验:

```

`timescale 1ns / 1ps

module pcreg_tb();
    reg clk;
    reg rst;
    reg ena;
    reg [31:0] data_in;
    wire [31:0] data_out;

    initial
    begin
        data_in = 32'b11111111_00000000_11110000_00001111;
        rst = 0;
        ena = 1;
        clk = 1;
        #5;
        clk = 0;
        #5;
        data_in = 32'b11111111_11111111_11111111_11111111;
        #5;
        clk = 1;
        #5;
        clk = 0;
        #5;
        rst = 1;
        #5;
        rst = 0;
        ena = 0;
        #5;
        data_in = 32'b11111111_00000000_11110000_00001111;
        #5;
        clk = 1;
        #5;
        clk = 0;
        ena = 1;
        #5;
        clk = 1;
    end

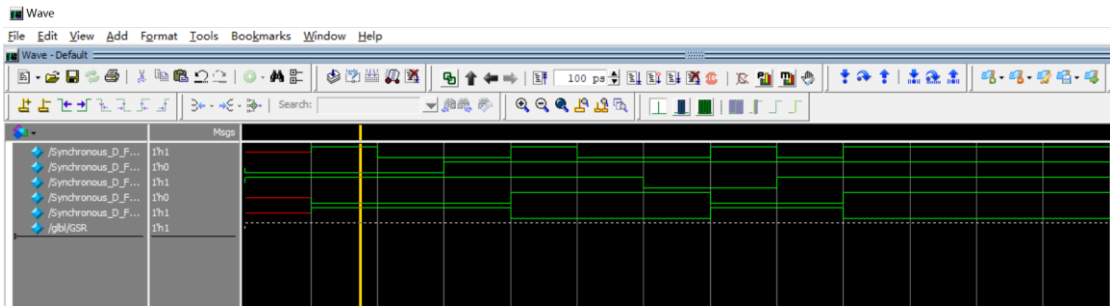
    pcreg pcreg_inst(clk, rst, ena, data_in, data_out);
endmodule

```

四、实验结果

(1) 同步复位 D 触发器实验：

a) modelsim 仿真波形图

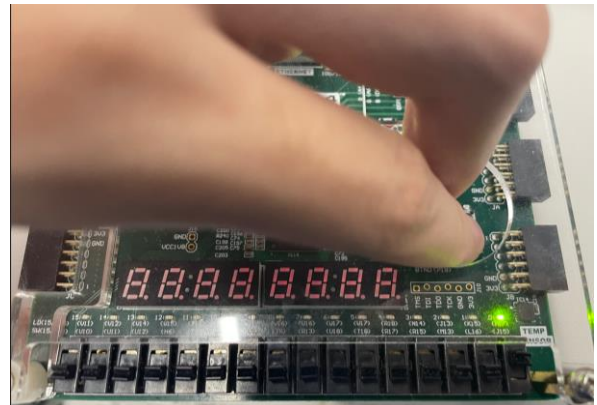


观察到当 CLK 信号上升沿时，若 RST_n 为低电平，则输出 Q 为 0；否则输出 Q 变为与输入信号 D 一致，符合预期。

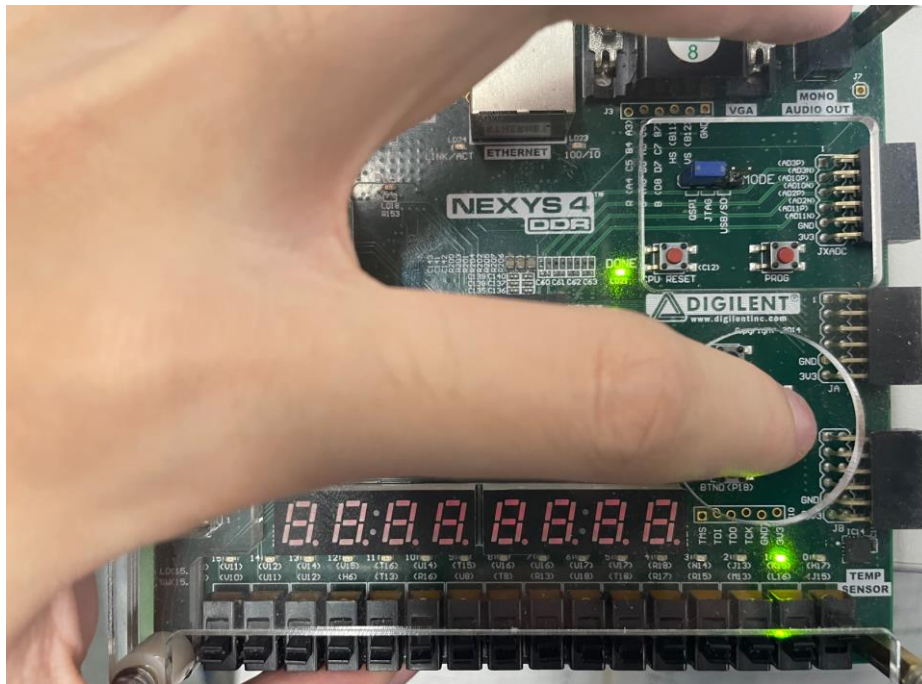
b) 下板实验结果图



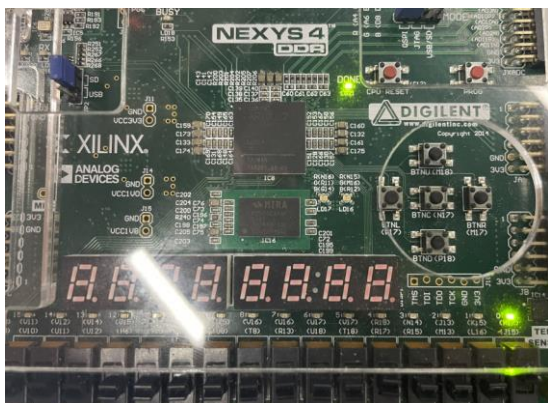
当 M18 按下，再按下 M17；
J15 打开时，H16 不亮、H17 亮起。



当 M18 按下，再按下 M17；
J15 关闭时，H16 亮起、H17 不亮。

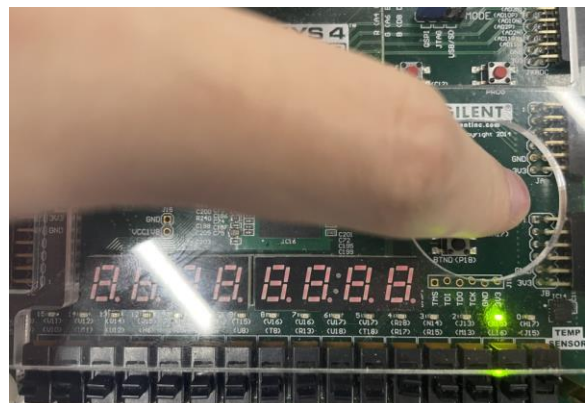


当 M18 松开、M17 按下，J15 打开时；H17 不亮、H16 亮起。



当 H17 亮起时，松开 M17、M18 不按下；

保持 H17 亮起、K15 不亮。

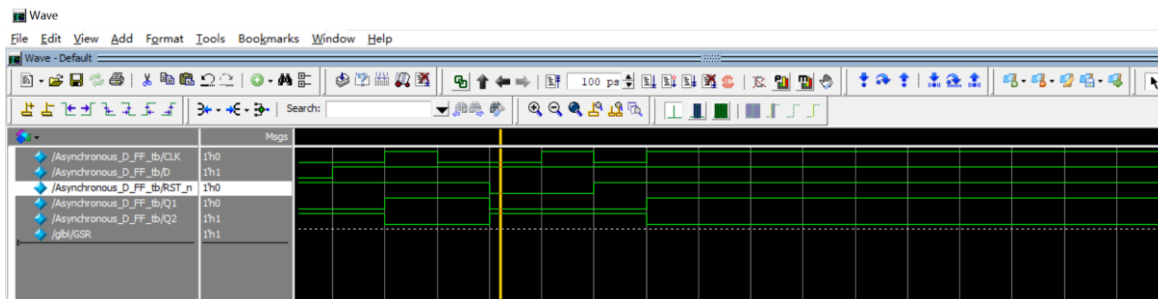


当 H17 亮起时，松开 M17，按下 M18 时；

K15 亮起、H17 不亮。

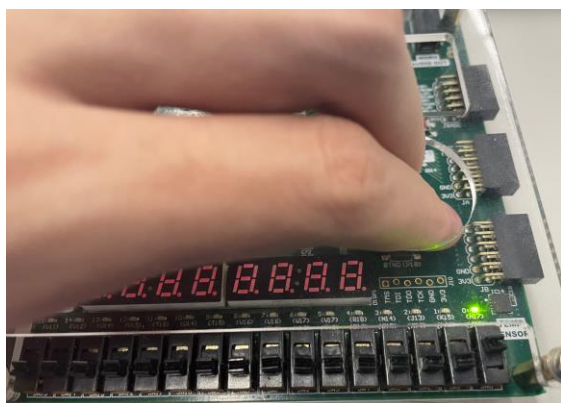
(2) 异步复位 D 触发器实验:

a) modelsim 仿真波形图



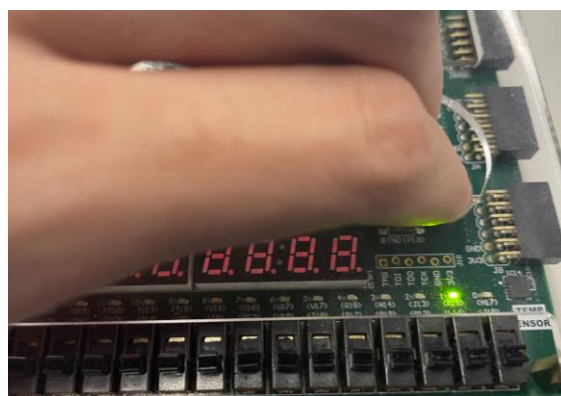
观察到当 CLK 信号上升沿且 RST_n 为高电平时, 输出 Q 变为与输入信号 D 一致; 当 RST_n 变为低电平时, 输出信号 Q 置零, 符合预期。

b) 下板实验结果图



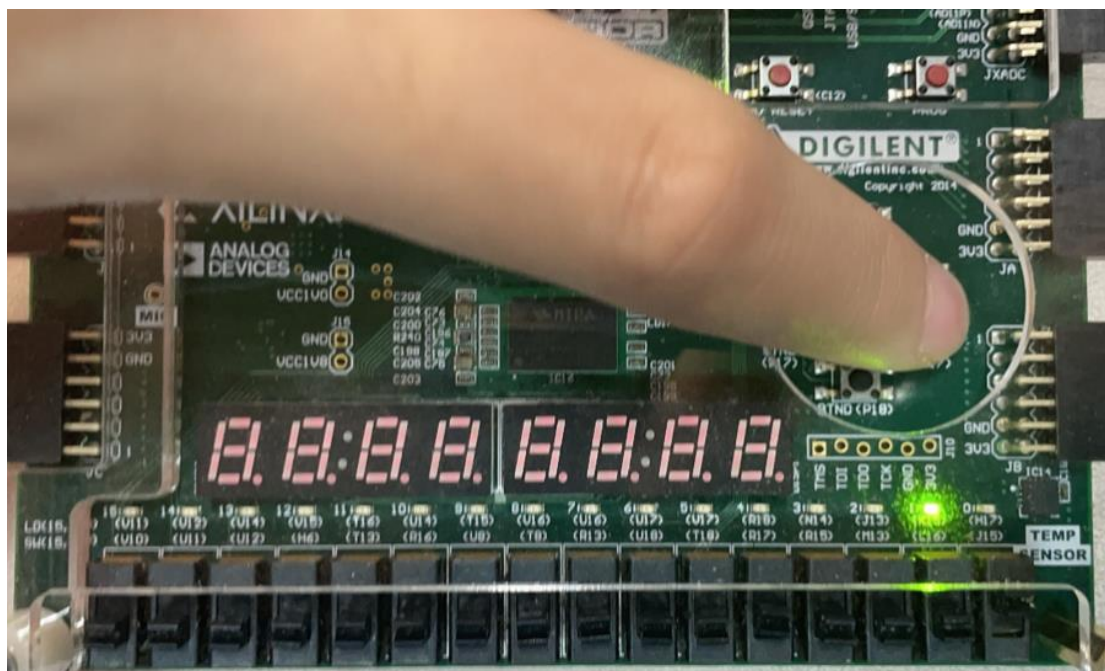
按住 M18, J15 打开;

按下 M17, H17 亮起、K15 不亮



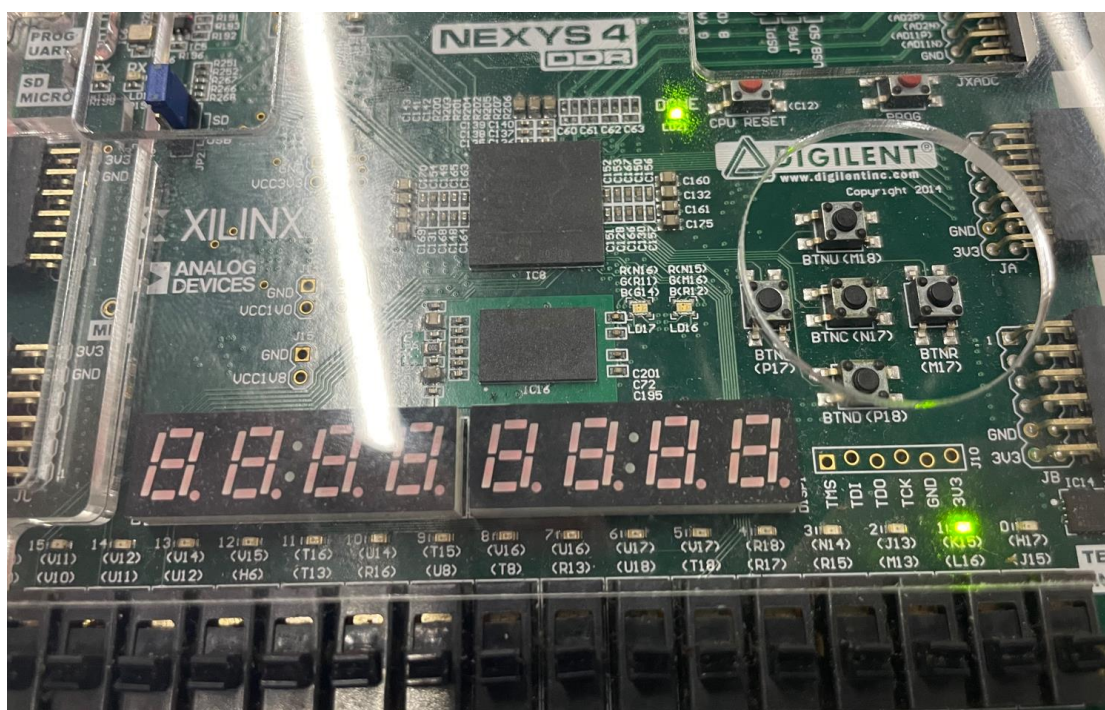
按住 M18, J15 关闭;

按下 M17, H17 不亮、K15 亮起



不按 M18, J15 开关打开;

按下 M17, 保持 K15 亮起、M17 不亮。

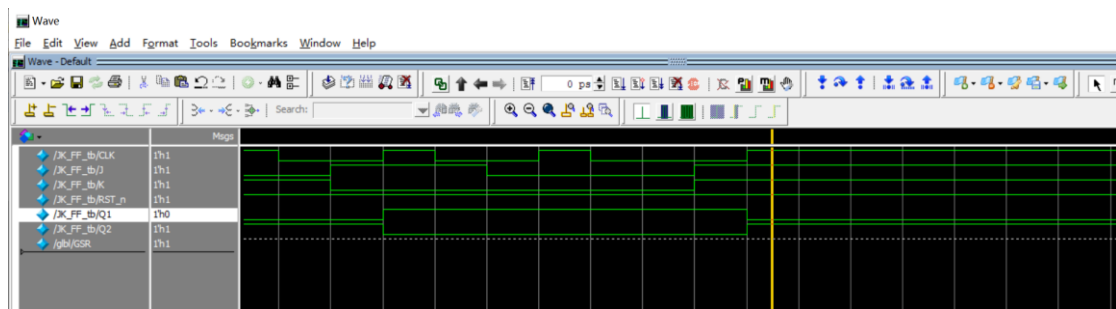


不按 M17、M18, 无论 J15 开关打开或关闭;

保持 K15 亮起、M17 不亮。

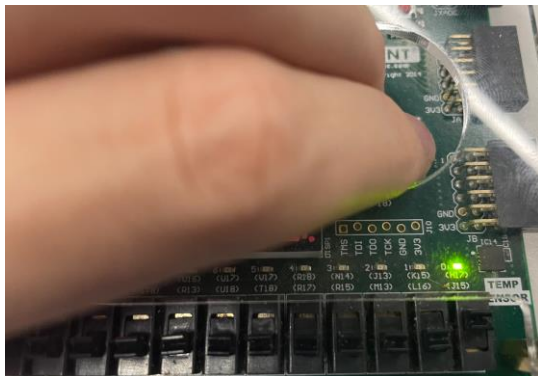
(3) JK 触发器实验:

a) modelsim 仿真波形图

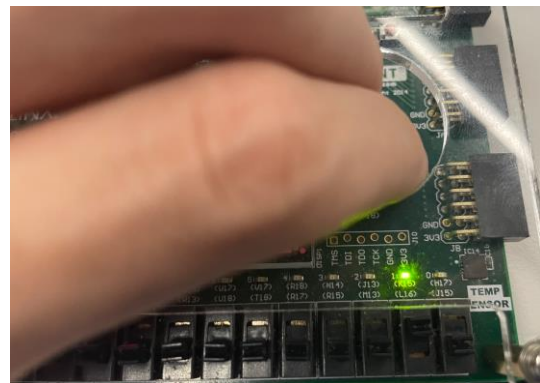


观察到当 CLK 为上升沿且 RST_n 不为 0 时，若 J=0、K=1，则输出 Q 为 0；若 J=1、K=0，则输出 Q 为 1；若 J=1、K=1，则输出结果反置；若 J=0、K=0，则保持输出结果不变。RST_n 置 0 时，保持 Q 为 0。

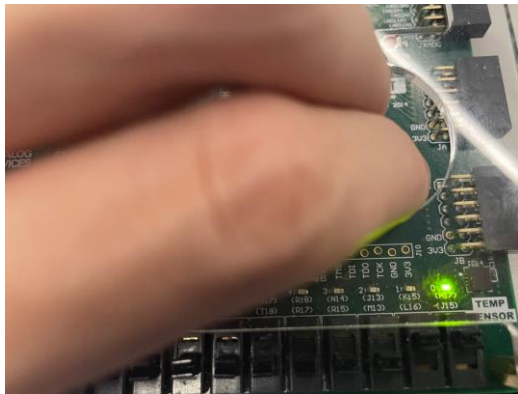
b) 下板实验结果图



L16 关闭、J15 打开；
保持 M18 按下，当 M17 按下时；
K15 不亮、H17 亮起。



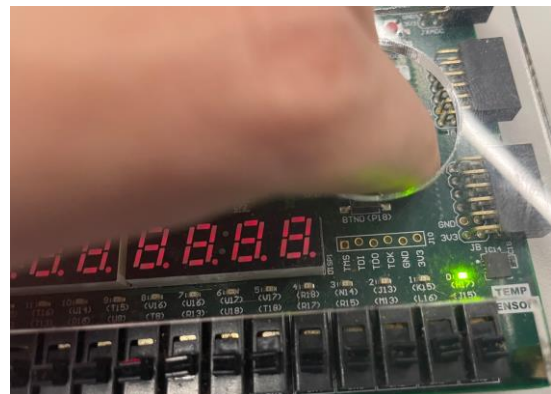
L16 打开、J15 关闭；
保持 M18 按下，当 M17 按下时；
K15 亮起、H17 不亮。



L16、L15 均打开；

保持 M18 按下，当 M17 按下时；

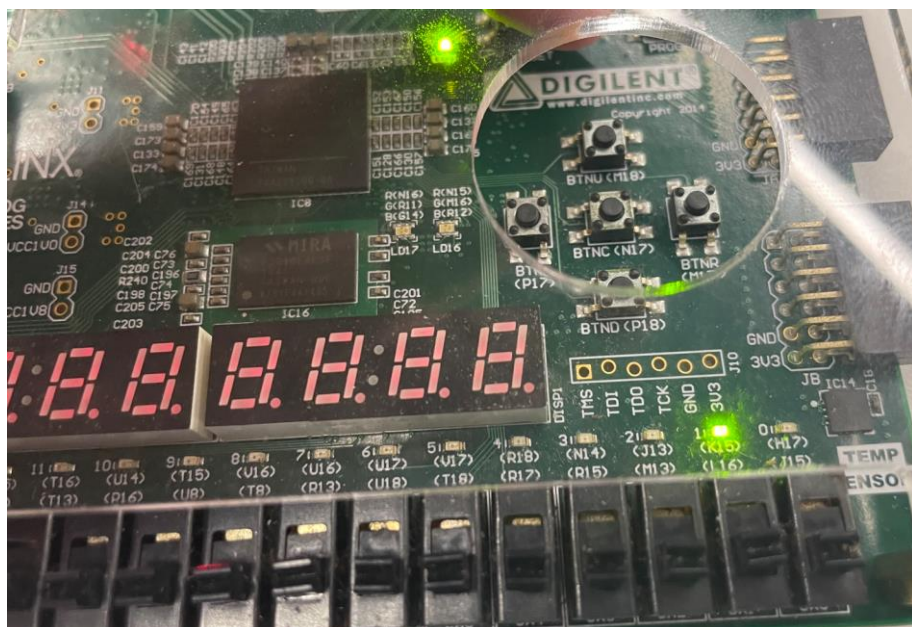
K15、H17 状态交换。



L16、L15 均关闭；

保持 M18 按下，当 M17 按下时；

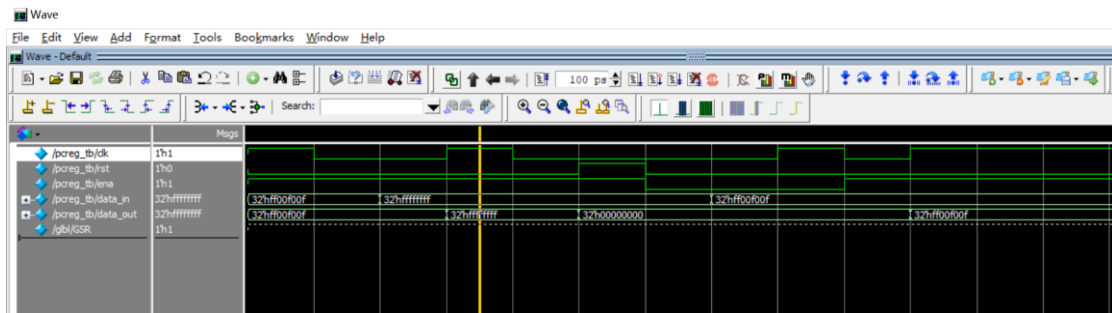
K15、H17 状态交换。



松开 M18，K15 亮起、H17 不亮。

(4) PC 寄存器实验:

a) modelsim 仿真波形图



观察 clk 为上升沿时：当有效信号 ena 为高电平时，输出 data_out 与输入相同，否则保持。rst 高电平时，将 PC 寄存器的输出清零，符合预期。