

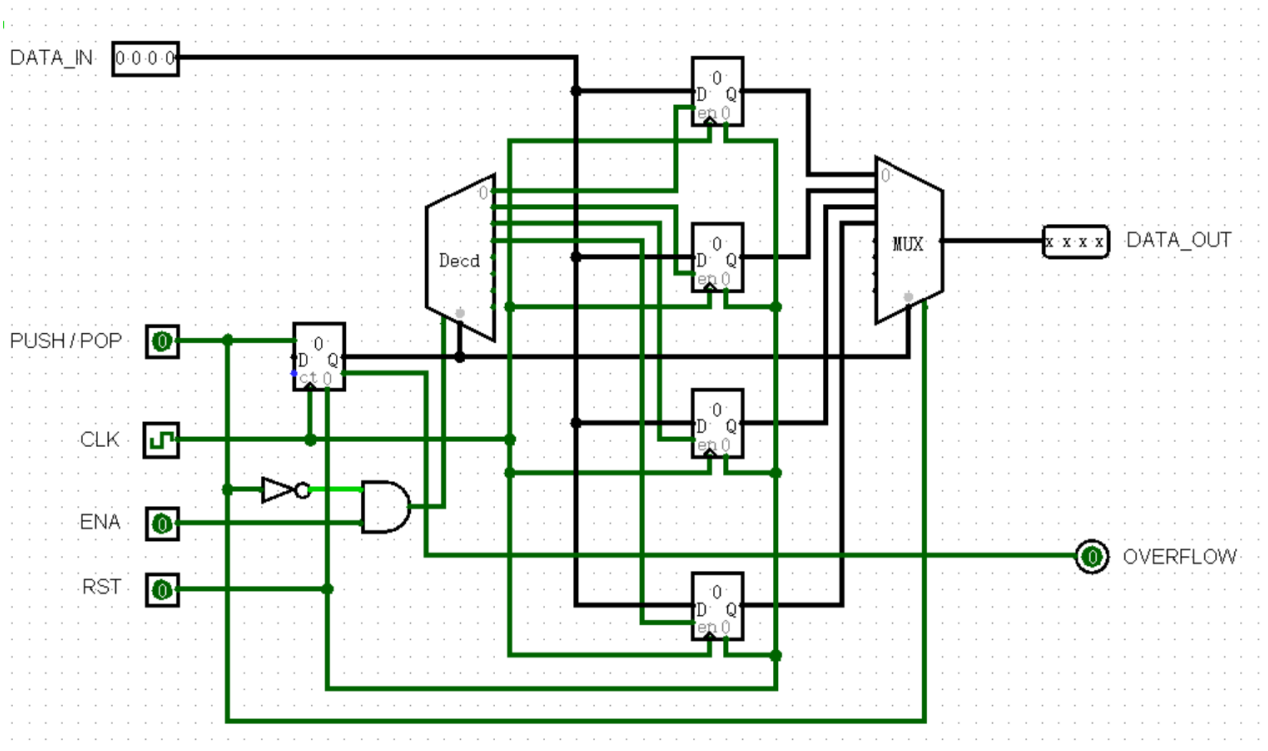
第四章课后作业 1

2154312 郑博远

P127

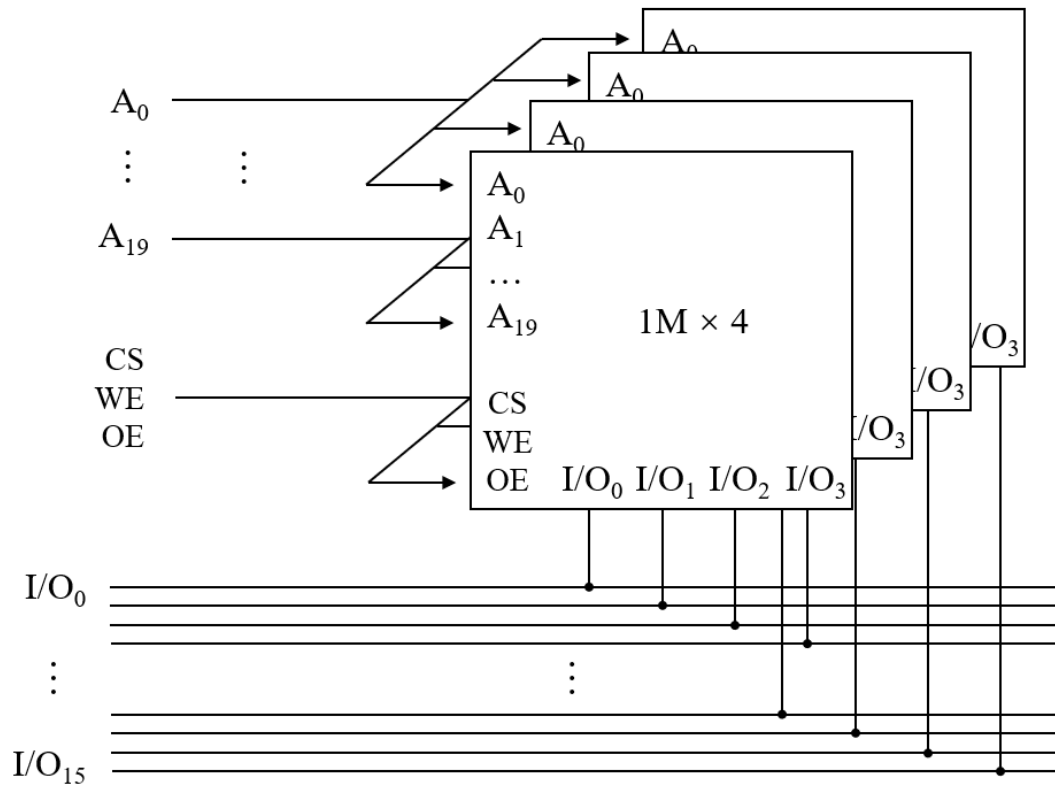
3.

逻辑电路图如下：



通过一个计数器来控制当前输入或输出的寄存器。当 PUSH/POP 输入为低电平时，计数器累加，代表新数据入栈；高电平时，计数器累减，代表数据出栈。计数器的输出由解码器解码，控制对应的寄存器进行输入。当 PUSH/POP 为低电平时，解码器使能端为低电平无效，不修改寄存器的值。计数器的输出也控制数据选择器，使得在 PUSH/POP 为高电平时当前栈顶的元素被输出。

P127
11.



写入数据时，将 16 位的数据拆分成 4 个 4 位数据，分别送入 4 个 1M×4 位 SRAM 芯片中；4 个 SRAM 芯片使用同样的 20 根地址线进行输入，分别在同样的位置存储 4 位数据。读取数据时，4 个 SRAM 芯片根据地址线输入在同一地址处读出 4 个 4 位数据，组成 16 位数据输出。