

# 深圳大学考试答题纸

(以论文、报告等形式考核专用)

二〇 22 ~ 二〇 23 学年度第 2 学期

课程编号	1504430001	课序号		课程	数字集成电路与	主讲教师	李琰	评分	
				名称	系统设计				
学 号	2021150122	姓名	郑雨婷	专业年级	2021 级计算机科学与技术高性能班				

教师评语：

题目：采用 CMOS 逻辑设计包含基本逻辑门的单元库

# 采用 CMOS 逻辑设计包含基本逻辑门的单元库

## — “数字集成电路与系统设计”课程报告

学号：2021150122，姓名： 郑雨婷

**摘要**—本论文基于CMOS逻辑设计实现了包含非门、与非门和或非门三种基本逻辑门的单元库，随后采用构造出的单元库中实现了逻辑与和逻辑或的功能。为了分析设计是否正确，用PSpice仿真软件进行电路的搭建、仿真，给出晶体管参数列表和传输延时。

**关键词**—数字集成电路与系统设计；CMOS逻辑电路；基本逻辑门；传输延时；

### 1. 简介

CMOS，全称 Complementary Metal Oxide Semiconductor，即互补金属氧化物半导体，是一种大规模应用于集成电路芯片制造的原料。CMOS 由 PMOS 管和 NMOS 管共同构成，它具有功耗低、噪声抑制好、集成度高等特点。CMOS 技术的发展可以追溯到 20 世纪 60 年代，从那时起，CMOS 技术经历了持续的创新和进步，当今成为大多数数字电路和系统的首选设计方法之一[1]。

本报告基于 CMOS 逻辑设计实现了包含非门、与非门和或非门三种基本逻辑门的单元库。随后采用构造出的单元库中实现了逻辑与和逻辑或的功能。在系统设计部分中列出它们的门电路结构和晶体管参数列表。在系统验证部分给出它们的仿真结果。最后在总结部分对所作的工作进行总结。

### 2. 系统设计

我们所设计的单元库中共包含三个基本逻辑门：非门、与非门和或非门。下面 A-C 部分给出这三个基本逻辑门的电路图和晶体管参数列表。随后利用单元库实现了逻辑与和逻辑非的功能，D-E 部分给出逻辑与和逻辑或的电路图。

#### A. 非门

设计结构为图 1 的电路，其中晶体管的参数在表 1 给出。

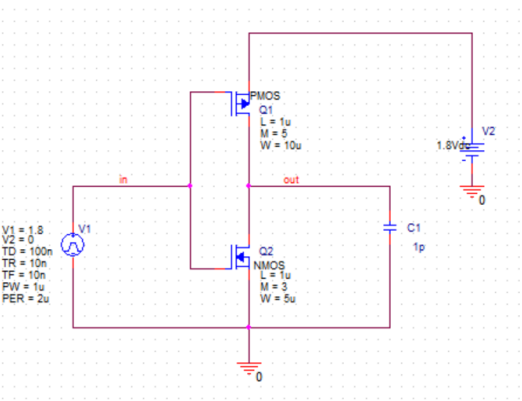


图 1. 非门电路图。

表 1. 非门晶体管参数

名称	晶体管类型	L	M	W
Q1	PMOS	1u	5	10u
Q2	NMOS	1u	3	5u

当输入端为高电平时，PMOS 管截止，NMOS 管导通，输出为低电平。当输入端为低电平时，NMOS 管截止，PMOS 管导通，输出为高电平。

#### B. 与非门

设计结构为图 2 的电路，其中晶体管的参数在表 2 给出。

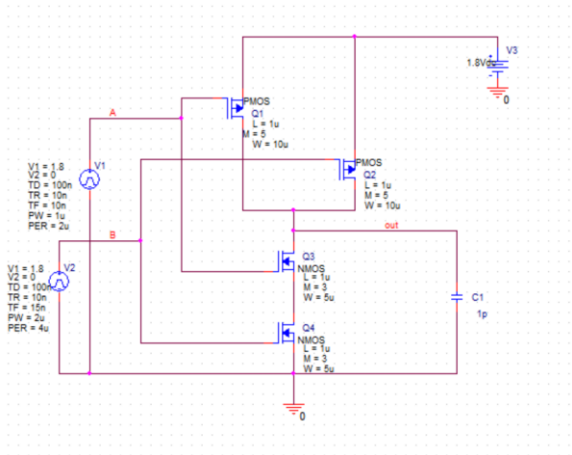


图 2. 与非门电路图。

表 2. 与非门晶体管参数

名称	晶体管类型	L	M	W
Q1	PMOS	1u	5	10u
Q2	PMOS	1u	5	10u
Q3	NMOS	1u	3	5u
Q4	NMOS	1u	3	5u

当 A, B 端均为高电平时, Q1 PMOS, Q2 PMOS 截止, Q3 NMOS, Q4 NMOS 导通, 输出为低电平。当 A, B 端均为低电平时, Q1 PMOS, Q2 PMOS 导通, Q3 NMOS, Q4 NMOS 截止, 输出为高电平。当 A 端为低电平, B 端为高电平时, A 端低电平使 Q2 PMOS 导通, Q3 NMOS 截止, B 端高电平使 Q1 PMOS 截止, Q4 NMOS 导通, 所以输出为高电平。同理, 当 A 端为高电平, B 端为低电平时, 输出端为高电平。

### C. 或非门

设计结构为图 3 的电路, 其中晶体管的参数在表 3 给出。

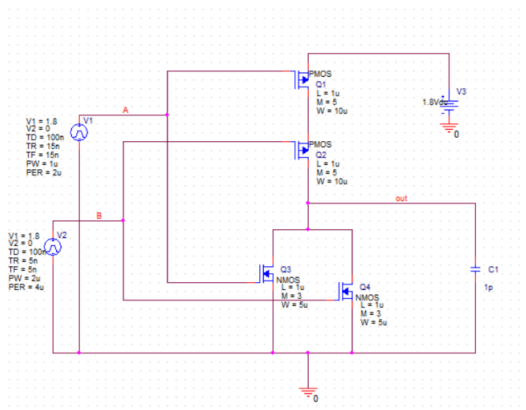


图 3. 或非门电路图。

表 3. 或非门晶体管参数

名称	晶体管类型	L	M	W
Q1	PMOS	1u	5	10u
Q2	PMOS	1u	5	10u
Q3	NMOS	1u	3	5u
Q4	NMOS	1u	3	5u

当 A, B 端均为高电平时, Q1 PMOS, Q2 PMOS 截止, Q3 NMOS, Q4 NMOS 导通, 输出为低电平。当 A, B 端均为低电平时, Q1 PMOS, Q2 PMOS 导通, Q3 NMOS, Q4 NMOS 截止, 输出为高电平。当 A 端为低电平, B 端为高电平时,

时, A 端低电平使 Q1 导通, Q3 截止, B 端高电平使 Q2 截止, Q4 导通, 由于 VT2 截止, VT4 导通, 输出为低电平。同理: A 端为高电平, B 端为低电平时, 输出为低电平。

### D. 逻辑与

将非门、与非门和或非门构建成单元库, 实现逻辑与时直接使用与非门和非门的串联即可。设计结构为图 4 的电路。

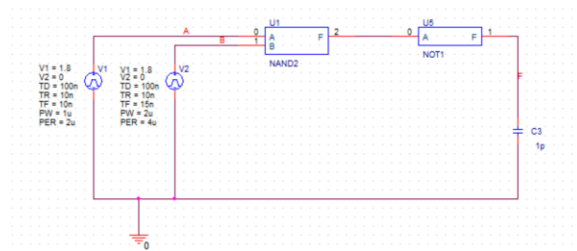


图 4. 逻辑与电路图。

### E. 逻辑或

使用或非门和非门的串联, 设计结构为图 5 的电路。

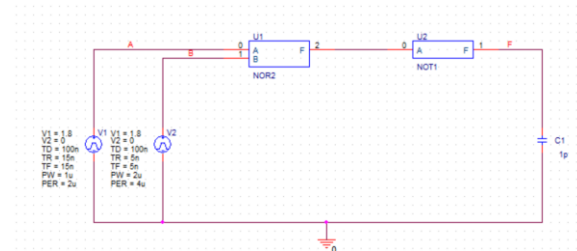


图 5. 逻辑或电路图。

## 3. 系统验证

在这一节里先给出三个基本逻辑门的仿真结果以验证设计的正确性, 并求出在负载为 1pF 时的传输延时。之后 D、E 两部分给出逻辑与和逻辑或仿真结果以验证设计的正确性, 求出在负载为 1pF 时的传输延时。

### A. 非门

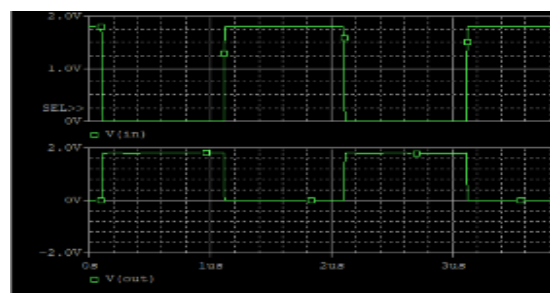


图 6. 非门仿真结果 (横坐标为时间, 纵坐标为电压) 上方为输入曲线, 下方为输出曲线。

如图 6 所示,当输入为高电平时输出为低电平,当输入为低电平时输出为高电平。符合  $V_{out} = \overline{V_{in}}$ ,非门设计正确。

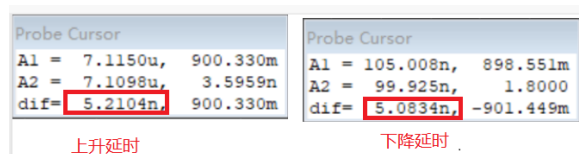


图 7. 非门上升延时和下降延时

根据图 7 动态仿真的结果,选取 900mV 为参考点,得到非门的  $t_{PLH}=5.2104ns$ ,  $t_{PHL}=5.0834ns$ 。

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{5.2104ns + 5.0834ns}{2} = 5.1469ns \quad (1)$$

### B. 与非门

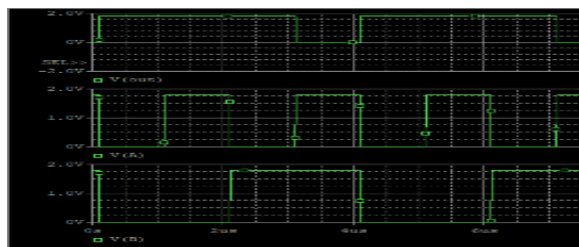


图 8 与非门仿真结果(横坐标为时间,纵坐标为电压)最上方为输出曲线。

如图 8 所示,只有当输入都为高电平时输出为低电平。符合  $F = \overline{AB}$ ,与非门设计正确。

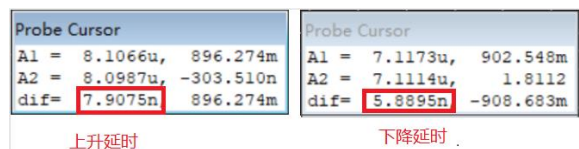


图 9. 与非门上升延时和下降延时

根据图 9 动态仿真的结果,选取 900mV 为参考点,得到与非门的  $t_{PLH}=7.9075ns$ ,  $t_{PHL}=5.8895ns$ 。

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{7.9075ns + 5.8895ns}{2} = 6.8985ns \quad (2)$$

### C. 或非门

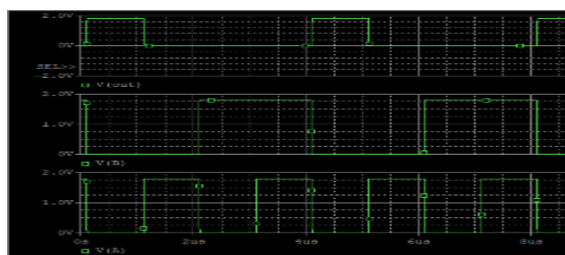


图 10 或非门仿真结果(横坐标为时间,纵坐标为电压)最上方为输出曲线。

如图 10 所示,只有当输入都为低电平时输出为高电平。符合  $F = \overline{A + B}$ ,或非门设计正确。

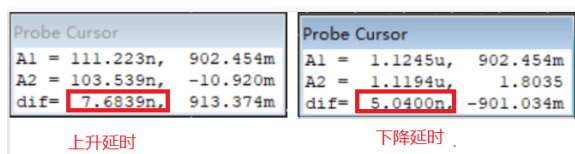


图 11 或非门上升延时和下降延时

根据图 11 动态仿真的结果,选取 900mV 为参考点,得到或非门的  $t_{PLH}=7.6839ns$ ,  $t_{PHL}=5.0400ns$ 。

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{7.6839ns + 5.0400ns}{2} = 6.3619ns \quad (3)$$

### D. 逻辑与

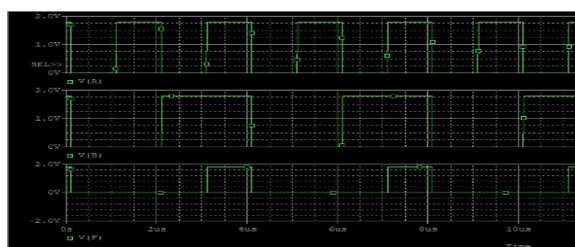


图 12 与门仿真结果(横坐标为时间,纵坐标为电压),最下方为输出曲线。

如图 12 所示,只有当输入都为高电平时输出为高电平。符合  $F = AB$ ,与门设计正确。

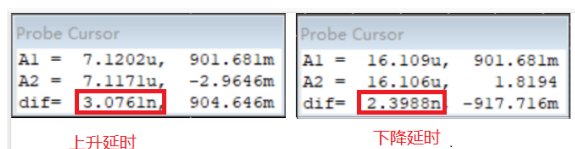


图 13 与门上升延时和下降延时

根据图 13 动态仿真的结果,选取 900mV 为参考点,得到与门的  $t_{PLH}=3.0761ns$ ,  $t_{PHL}=2.3988ns$ 。

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{3.0761ns + 2.3988ns}{2} = 2.73745ns \quad (4)$$

### E. 逻辑或

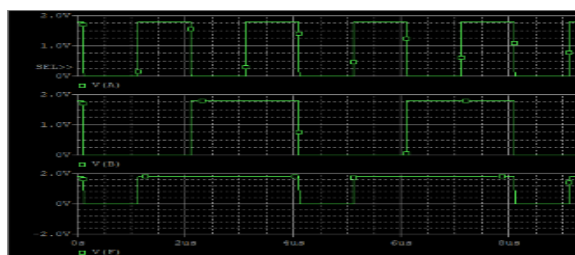


图 14 或门仿真结果(横坐标为时间,纵坐标为电压)最下方为输出曲线。

如图 14 所示，只有当输入都为低电平时输出为低电平。符合 $F = A + B$ ,或门设计正确。

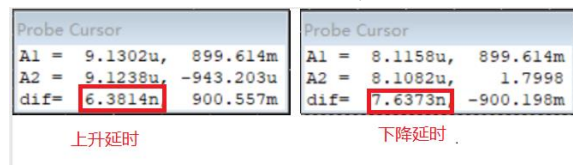


图 15. 或门上升延时和下降延时

根据图 15 动态仿真的结果,选取 900mV 为参考点,得到或门的  $t_{PLH}=6.3814ns$ ,  $t_{PHL}=7.6373ns$ 。

$$t_{PD} = \frac{t_{PLH}+t_{PHL}}{2} = \frac{6.3814ns+7.6373ns}{2} = 7.00935ns \quad (5)$$

#### 4. 总结

通过我们的工作,我们取得了以下重要成果:

- 成功设计出了包含非门、与非门和或非门的单元库,这为后续的逻辑电路设计提供了基础。
- 实现了逻辑与和逻辑或的功能,验证了设计的正确性和可行性。
- 通过 PSpice 仿真软件进行电路搭建和仿真,获得了晶体管参数列表和传输延时等关键数据,为性能分析和优化提供了依据。

综上所述,本研究成功地实现了基于 CMOS 逻辑设计的逻辑器件单元库,并通过仿真分析了电路的性能。这项工作对于理解和应用 CMOS 逻辑设计具有重要意义,并为进一步的电路设计和优化提供了有价值的参考。

#### 参考文献

- [1] [https://baike.baidu.com/item/cmos/428167#3\\_5](https://baike.baidu.com/item/cmos/428167#3_5)
- [2] <https://zhuanlan.zhihu.com/p/111508084>