**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字电路**

**实验项目名称： 集成触发器功能测试及转换**

**学院： 计算机与软件学院**

**专业： 计算机类**

**指导教师： 李志**

**报告人：郑雨婷，王棋 学号：2021150122，2021150189 班级： 计算机类03**

**实验时间： 2022.6.1**

**实验报告提交时间： 2022.6.14**

**教务处制**

**一、实验目的**

1.熟悉并掌握RS、D、JK、T触发器的构成、工作原理和功能测试方法

2.掌握不同逻辑功能触发器的相互转换

3.掌握三态触发器和锁存器的功能及使用方法

4.学会触发器、三态触发器、锁存器的应用

**二、实验仪器及材料**

1.双踪示波器

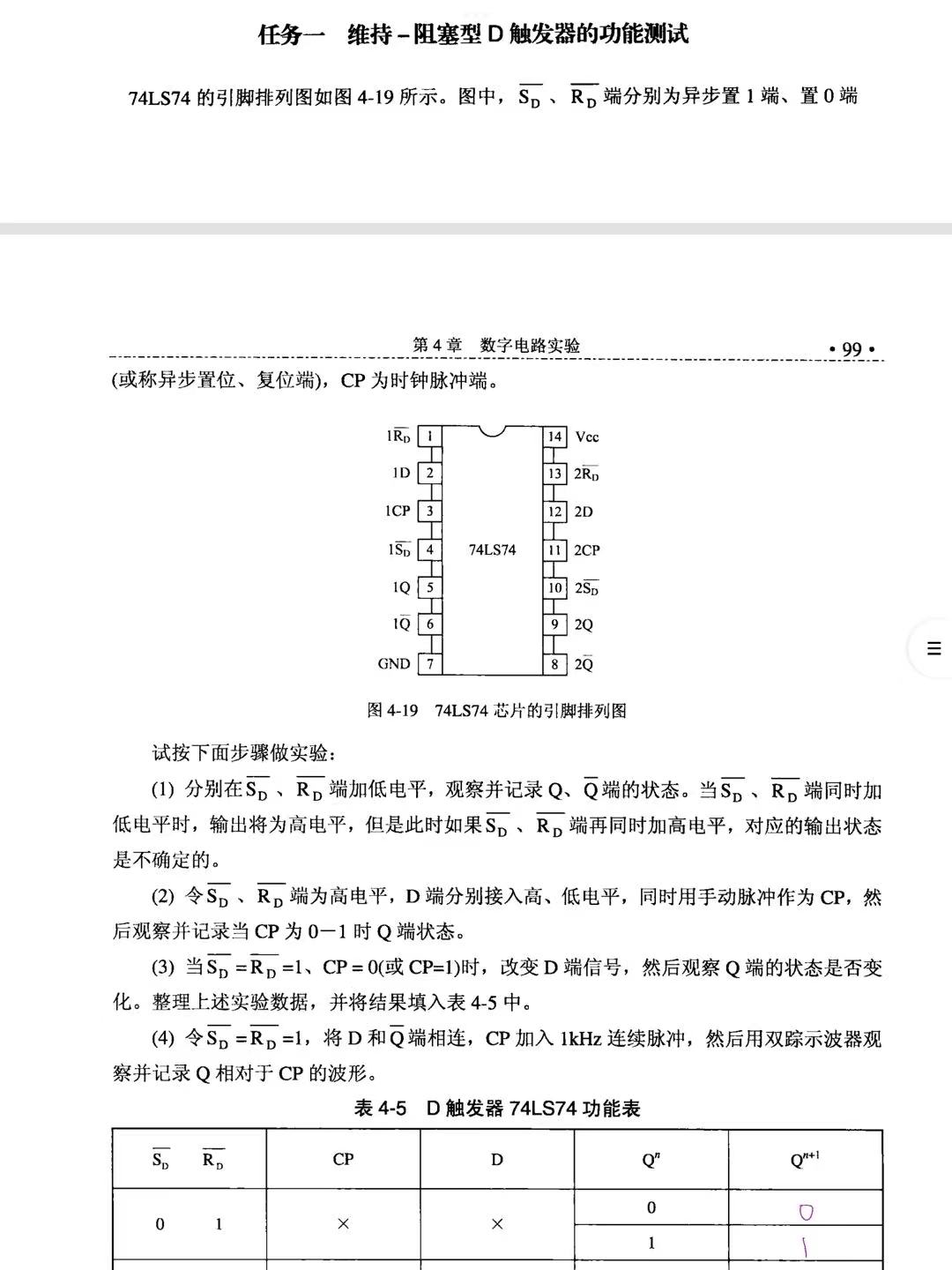
2.RXS-1B数字逻辑电路实验箱

3.74LS74（双上升沿D触发器）、74LS76（双下降沿JK触发器）、74LS86（四2输入异或门）

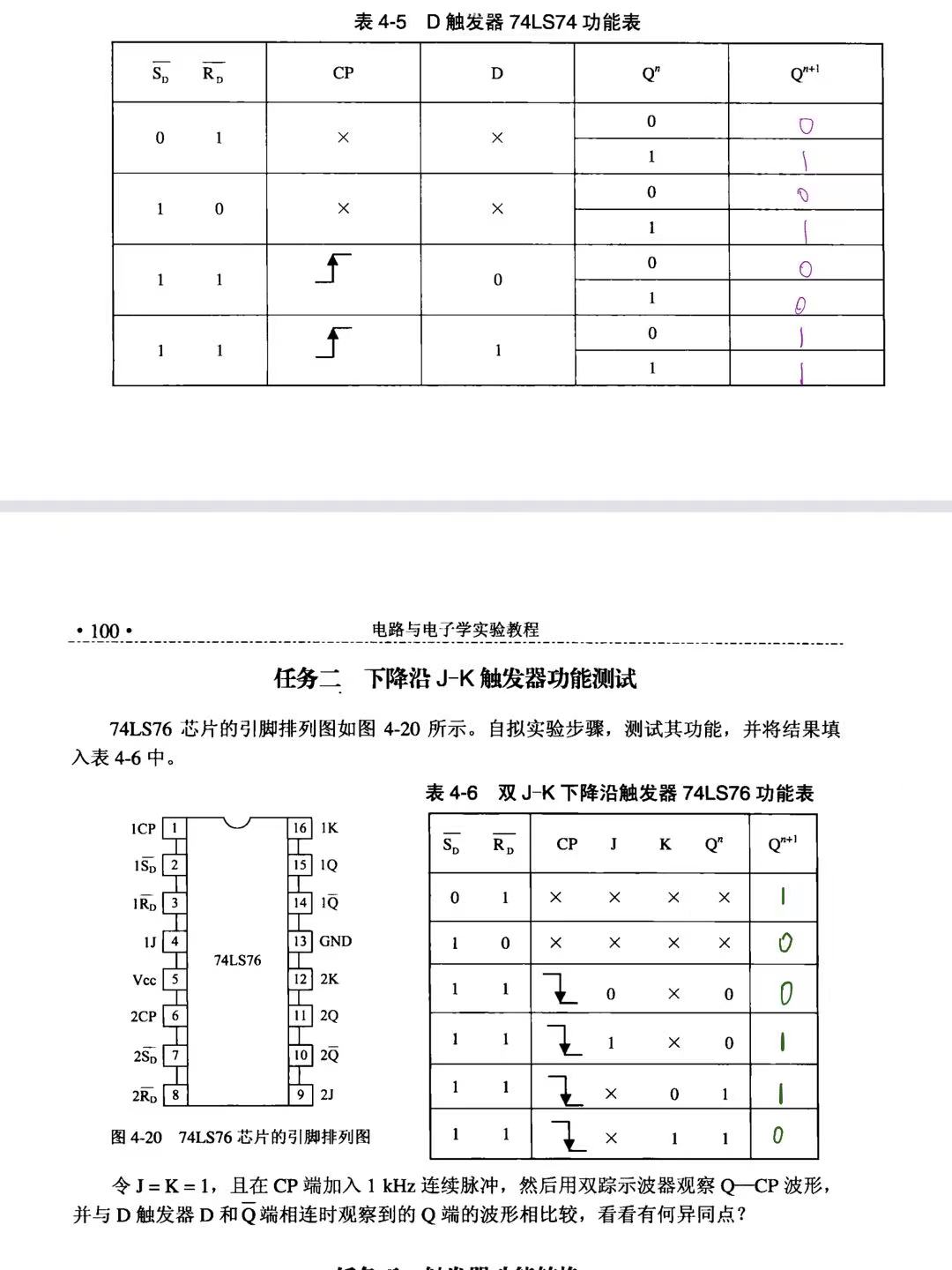
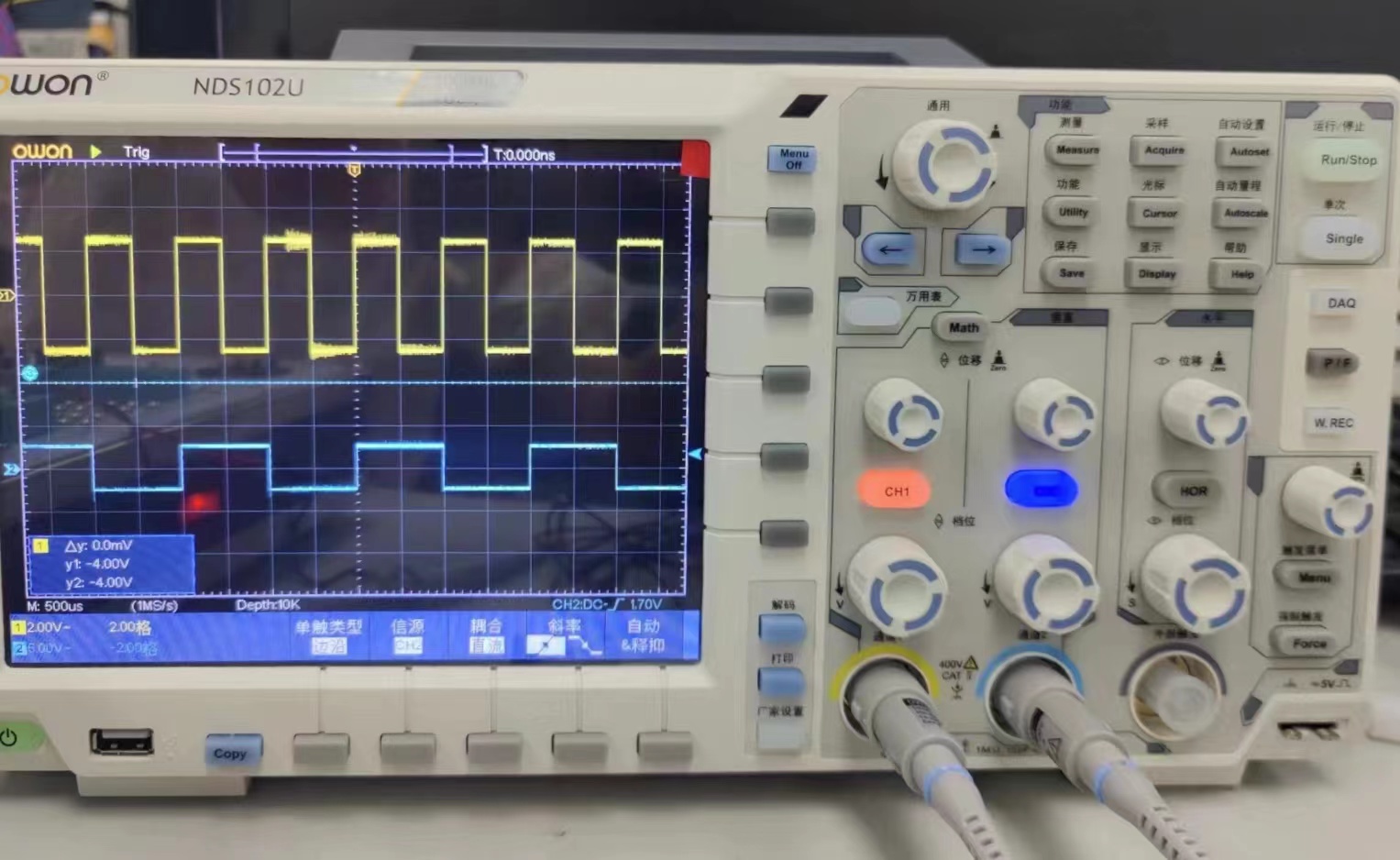
**三、实验任务步骤与结果（包含实验电路、实验数据、实验结果评价）**

1. **任务一 维持-阻塞型Ｄ触发器的功能测试**

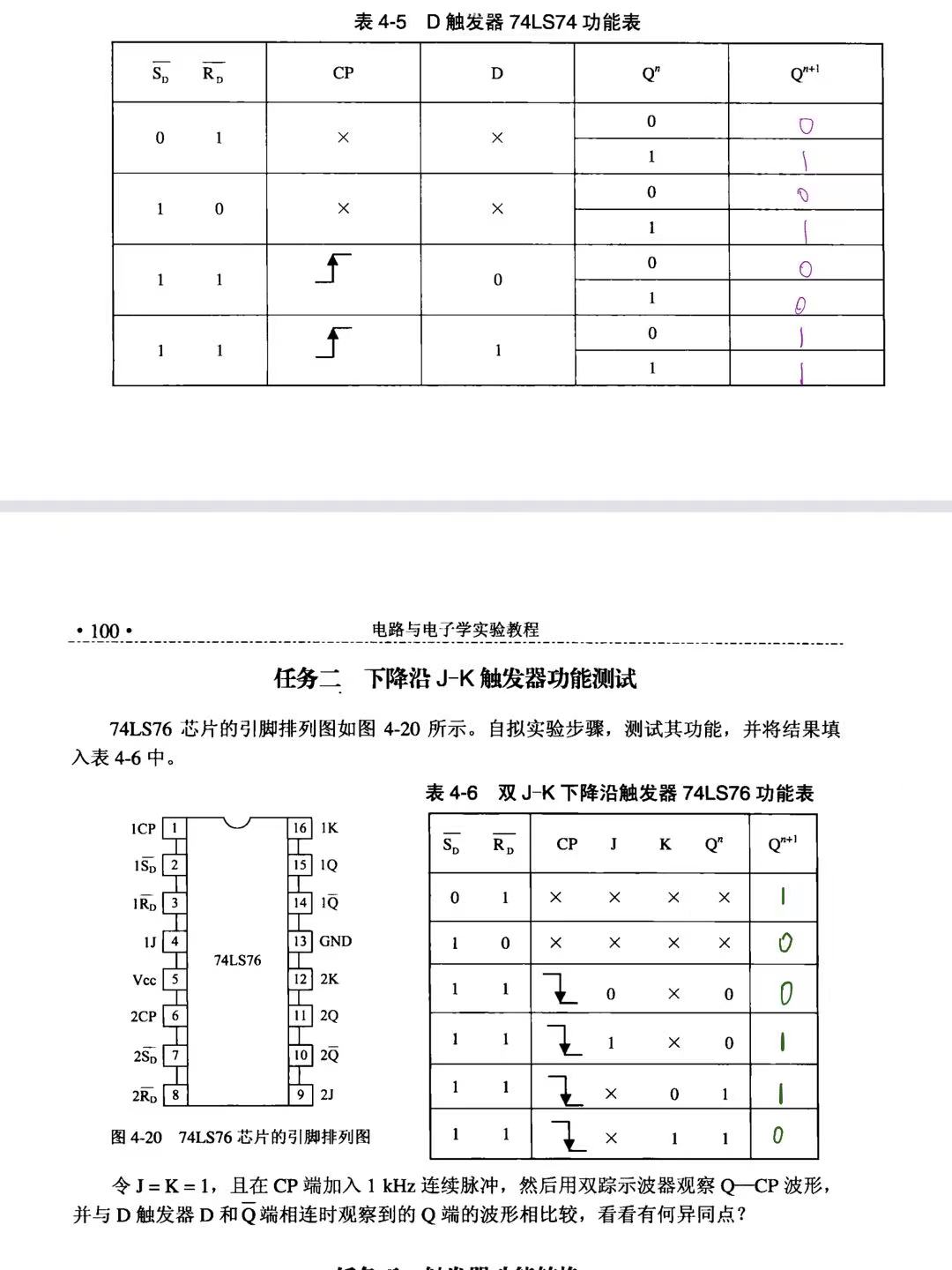
74LS74的引脚排列图如图4-19所示。图中，、端分别为异步置1端、置0端(或称异步置位、复位端)，CP为时钟脉冲端。

****

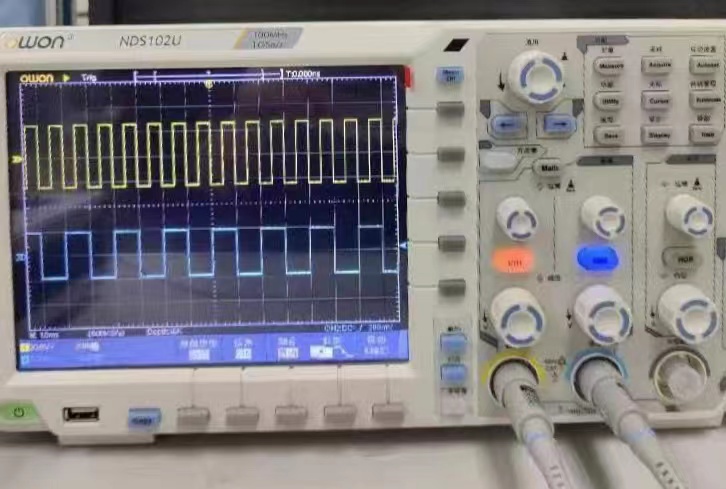
试按下面步骤做实验；

1. 分别在、端加低电平，观察并记录Q、端的状态。当、端同时加低电平时，输出将为高电平，但是此时如果、端再同时加高电平，对应的输出状态是不确定的。
2. 令、端为高电平，D端分别接入高、低电平，同时用手动脉冲作为CP，然后观察并记录当CP为0-1时Q端状态。
3. 当=I、CP=0(或CP=1)时，改变D端信号，然后观察Q端的状态是否变化。整理上述实验数据，并将结果填入表4-5中。
4. 令=1， 将Ｄ和Q端相连， CP加入1kHz连续脉冲， 然后用双踪示波器观察并记录Q相对于CP的波形。** **Q相对于CP的波形如图所示，当时钟上升沿来临时，输出发生变化。
5. **任务二 下降沿JK触发器功能测试**

74LS76芯片的引脚排列图如图4-20所示。结果在下表4-6中。

****

令J=K=1， 且在CP端加入1kHz连续脉冲， 然后用双踪示波器观察Q-CP波形，并与Ｄ触发器D和Q端相连时观察到的Ｑ端的波形相比较，看看有何异同点?

如图所示，当时钟下降沿来临时，输出发生变化。而与Ｄ触发器D和Q端相连时观察到的Ｑ端的波形相比较，一个是上升沿，一个是下降沿。

1. **任务三 触发器功能转换（可不做）**
2. 分别将Ｄ触发器和J-K触发器转换成T触发器，并列出表达式，画出实验接线图；
3. 接入1kHz连续脉冲， 观察各触发器CP及Ｑ端波形， 并比较两者关系；

(3)自拟实验数据表并填写之。

**四、实验体会**

本次实验主要学习和了解的触发器的使用，并且学会了利用74LS74（双上升沿D触发器）、74LS76（双下降沿JK触发器）、74LS86（四2输入异或门）设计电路。触发器是具有记忆作用的基本单元，在时序电路中必不可少。在一定条件下触发器可以维持在两种稳定状态上（0或1状态之一保持不变）；在一定外加信号下，触发器可以从一种状态转换成另一种状态，也就是说，触发器可以记忆二进制的0或1，故用作二进制的存储单元。任务一较简单，只需要对照实验书上的图连接好电路，测试数据即可。任务二需要自己设计电路，根据实验书上的提示，借用例题的思路，最终成功地设计出电路。总之，通过这次实验，我们了解和正确使用MSI组合逻辑部件，掌握了一般组合逻辑电路的特点及分析、设计方法，学会了对所设计的电路进行逻辑功能测试的方法。

**五、思考题**

1. 触发器的初始值如何确定?

假定初始值为1，则****SD=1，RD=0，**然后给SD和RD低电平，那么异步输入端就无效了，这时Q的输出就由输入端和中控端CP**来确定了；同理，要确定初始值为0也一样，此时****SD=0，RD=1****。

(2)异步端的作用是什么?

**使触发器在任何时刻都能被强迫置零而与CP,J,K值无关**

|  |
| --- |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。