深圳大学考试答题纸

(以论文、报告等形式考核专用)  
二○ 22 ～二○ 23 学年度第 2 学期

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 课程编号 | 1504430001 | | | 课序号 | |  | 课程名称 | | 数字集成电路与系统设计 | | 主讲教师 | 李琰 | | 评分 |  |
| 学 号 | 2021150122 | | 姓名 | | 郑雨婷 | | | 专业年级 | | 2021级计算机科学与技术高性能班 | | | | | |
|  | | | | | | | | | | | | | | | |
| 教师评语： | | | | | | | | | | | | | | | |
| 题目： | | 采用 CMOS 逻辑设计包含基本逻辑门的单元库 | | | | | | | | | | |  | | |

采用 CMOS 逻辑设计包含基本逻辑门的单元库

— “数字集成电路与系统设计”课程报告

学号：2021150122，姓名： 郑雨婷

摘要—本篇论文基于CMOS逻辑设计实现了包含非门、与非门和或非门三种基本逻辑门的单元库，随后采用构造出的单元库中实现了逻辑与和逻辑或的功能。为了分析设计是否正确，用PSpice仿真软件进行电路的搭建、仿真，给出晶体管参数列表和传输延时。

关键词—数字集成电路与系统设计；CMOS逻辑电路；基本逻辑门；传输延时；

# 1. 简介

CMOS，全称Complementary Metal Oxide Semiconductor，即互补金属氧化物半导体，是一种大规模应用于集成电路芯片制造的原料。CMOS由PMOS管和NMOS管共同构成，它具有功耗低、噪声抑制好、集成度高等特点。CMOS技术的发展可以追溯到20世纪60年代，从那时起，CMOS技术经历了持续的创新和进步, 当今成为大多数数字电路和系统的首选设计方法之一[1]。

本报告基于CMOS逻辑设计实现了包含非门、与非门和或非门三种基本逻辑门的单元库。随后采用构造出的单元库中实现了逻辑与和逻辑或的功能。在系统设计部分中列出它们的门电路结构和晶体管参数列表。在系统验证部分给出它们的的仿真结果。最后在总结部分对所作的工作进行总结。

# 2. 系统设计

我们所设计的单元库中共包含三个基本逻辑门：非门、与非门和或非门。下面A-C部分给出这三个基本逻辑门的电路图和晶体管参数列表。随后利用单元库实现了逻辑与和逻辑非的功能，D-E部分给出逻辑与和逻辑或的电路图。

## A. 非门

设计结构为图1的电路，其中晶体管的参数在表1给出。

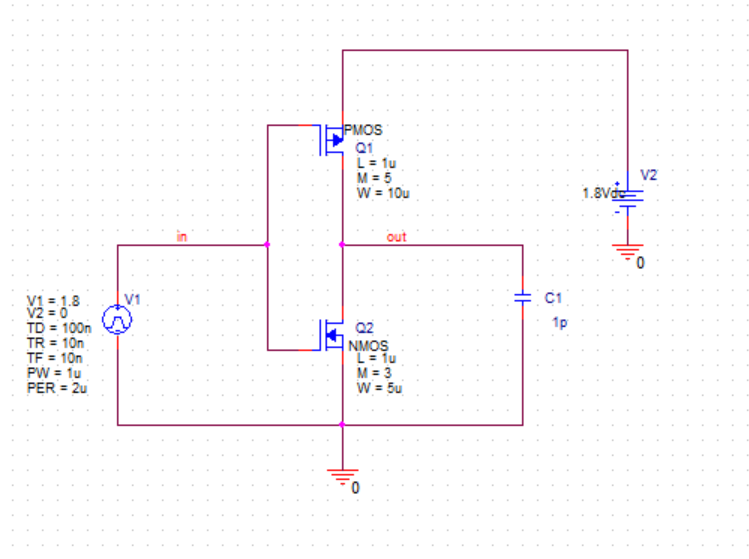


图1. 非门电路图。

表1. 非门晶体管参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **名称** | **晶体管类型** | **L** | **M** | **W** |
| Q1 | PMOS | 1u | 5 | 10u |
| Q2 | NMOS | 1u | 3 | 5u |

当输入端为高电平时， PMOS管截止，NMOS管导通，输出为低电平。当输入端为低电平时，NMOS管截止，PMOS管导通，输出为高电平。

## B. 与非门

设计结构为图2的电路，其中晶体管的参数在表2给出。

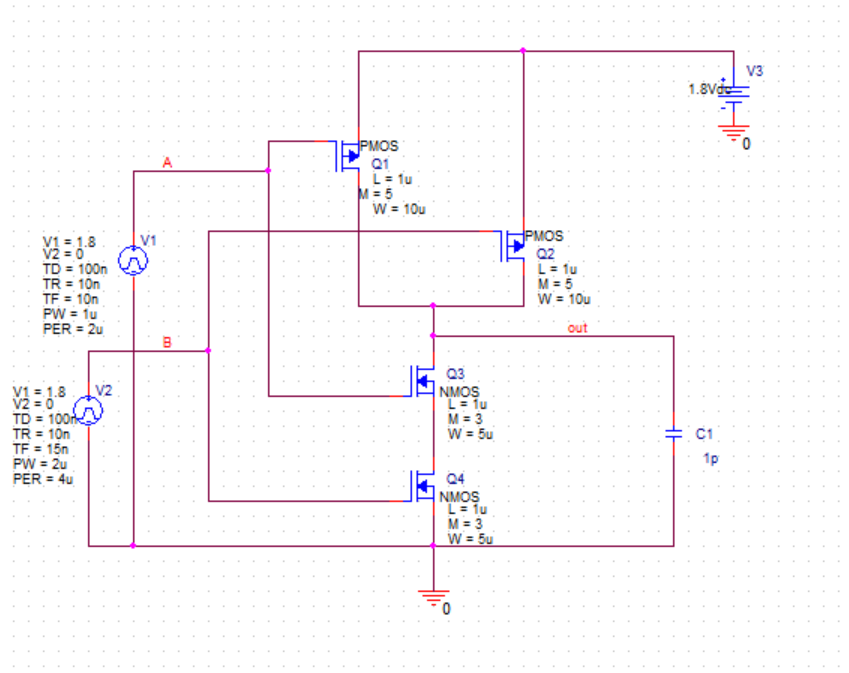


图2. 与非门电路图。

表2. 与非门晶体管参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **名称** | **晶体管类型** | **L** | **M** | **W** |
| Q1 | PMOS | 1u | 5 | 10u |
| Q2 | PMOS | 1u | 5 | 10u |
| Q3 | NMOS | 1u | 3 | 5u |
| Q4 | NMOS | 1u | 3 | 5u |

当A，B端均为高电平时，Q1 PMOS，Q2 PMOS截止，Q3 NMOS，Q4NMOS导通，输出为低电平。当A，B端均为低电平时，Q1 PMOS，Q2 PMOS导通，Q3 NMOS，Q4NMOS截止，输出为高电平。当A端为低电平，B端为高电平时，A端低电平使Q2 PMOS导通，Q3NMOS截止，B端高电平使Q1 PMOS截止，Q4 NMOS导通，所以输出为高电平。同理，当A端为高电平，B端为低电平时，输出端为高电平。

## C. 或非门

设计结构为图3的电路，其中晶体管的参数在表3给出。

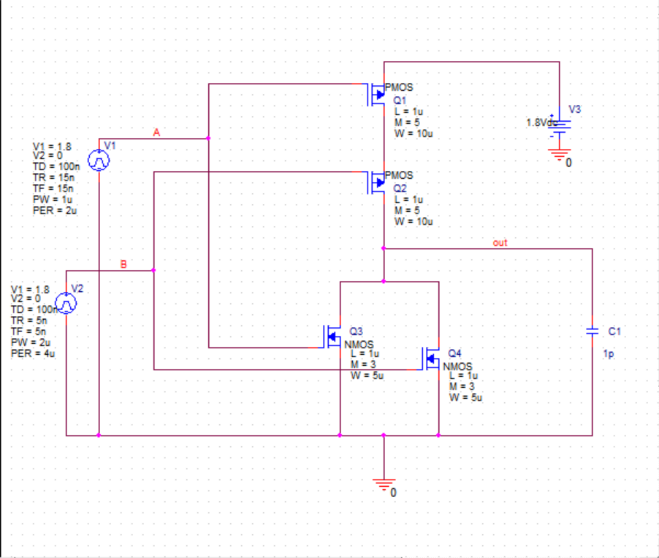


图3. 或非门电路图。

表3. 或非门晶体管参数

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **名称** | **晶体管类型** | **L** | **M** | **W** |
| Q1 | PMOS | 1u | 5 | 10u |
| Q2 | PMOS | 1u | 5 | 10u |
| Q3 | NMOS | 1u | 3 | 5u |
| Q4 | NMOS | 1u | 3 | 5u |

当A，B端均为高电平时，Q1 PMOS，Q2 PMOS截止，Q3 NMOS，Q4 NMOS导通，输出为低电平。当A，B端均为低电平时，Q1 PMOS，Q2 PMOS导通，Q3 NMOS，Q4 NMOS截止，输出为高电平。当A端为低电平，B端为高电平时，A端低电平使Q1导通，Q3截止，B端高电平使Q2截止，Q4导通，由于VT2截止，VT4导通，输出为低电平。同理：A端为高电平，B端为低电平时，输出为低电平。

## D. 逻辑与

将非门、与非门和或非门构建成单元库，实现逻辑与时直接使用与非门和非门的串联即可。设计结构为图4的电路。

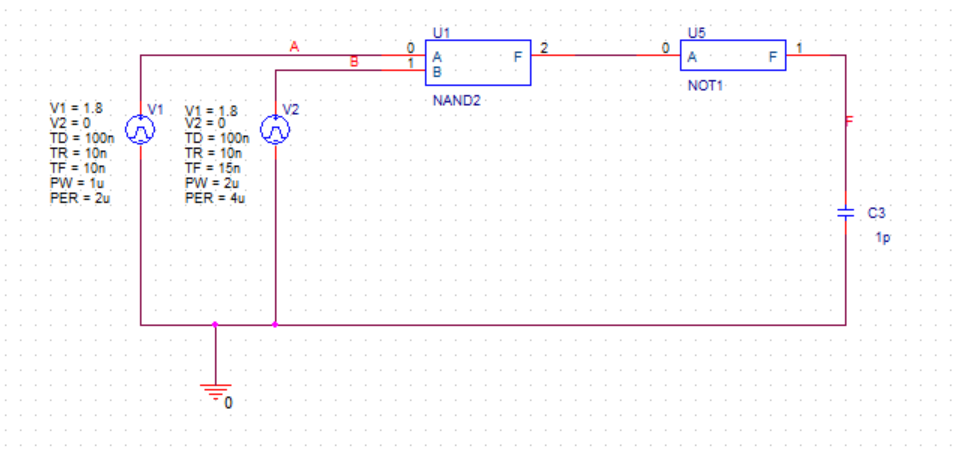


图4. 逻辑与电路图。

## E. 逻辑或

使用或非门和非门的串联，设计结构为图5的电路。

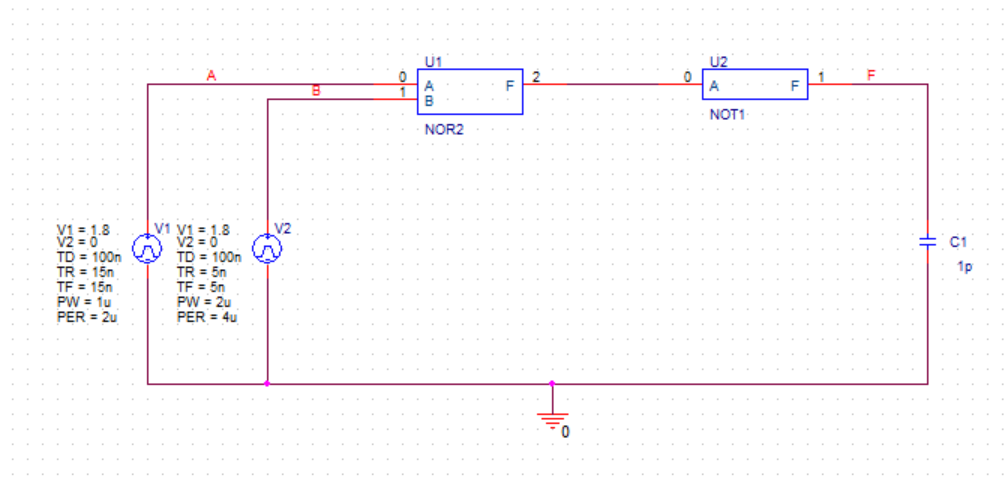


图5. 逻辑或电路图。

# 3. 系统验证

在这一节里先给出三个基本逻辑门的仿真结果以验证设计的正确性，并求出在负载为1pF时的传输延时。之后D、E两部分给出逻辑与和逻辑或仿真结果以验证设计的正确性，求出在负载为1pF时的传输延时。

## A. 非门

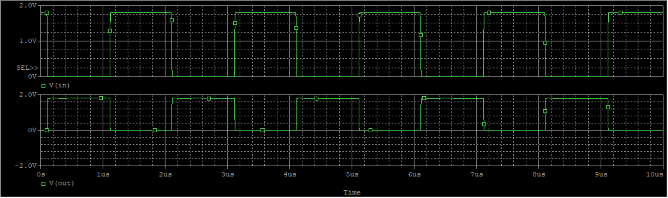


图6. 非门仿真结果（横坐标为时间，纵坐标为电压）上方为输入曲线，下方为输出曲线。

如图6所示，当输入为高电平时输出为低电平，当输入为低电平时输出为高电平。符合,非门设计正确。

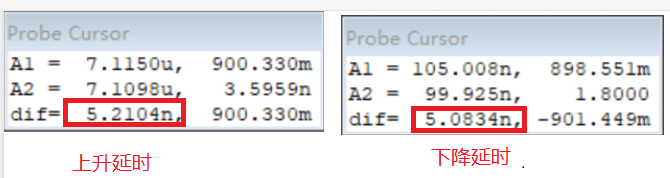


图7. 非门上升延时和下降延时

根据图7动态仿真的结果，选取900mV为参考点，得到非门的tPLH=5.2104ns, tPHL=5.0834ns。

（1）

## B. 与非门

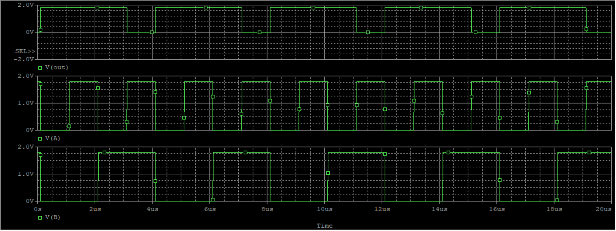


图8 与非门仿真结果（横坐标为时间，纵坐标为电压）最上方为输出曲线。

如图8所示，只有当输入都为高电平时输出为低电平。符合,与非门设计正确。

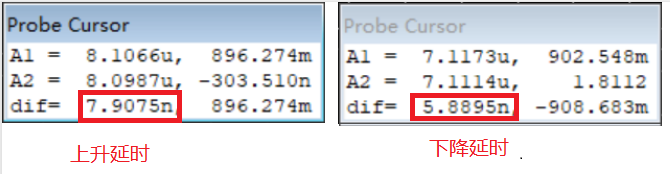


图9. 与非门上升延时和下降延时

根据图9动态仿真的结果，选取900mV为参考点，得到与非门的tPLH=7.9075ns, tPHL=5.8895ns。

（2）

## C. 或非门

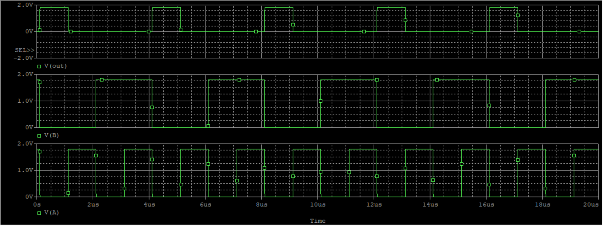


图10 或非门仿真结果（横坐标为时间，纵坐标为电压）最上方为输出曲线。

如图10所示，只有当输入都为低电平时输出为高电平。符合,或非门设计正确。

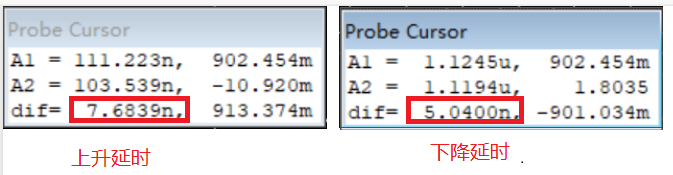


图11 或非门上升延时和下降延时

根据图11动态仿真的结果，选取900mV为参考点，得到或非门的tPLH=7.6839ns, tPHL=5.0400ns。

（3）

## D. 逻辑与

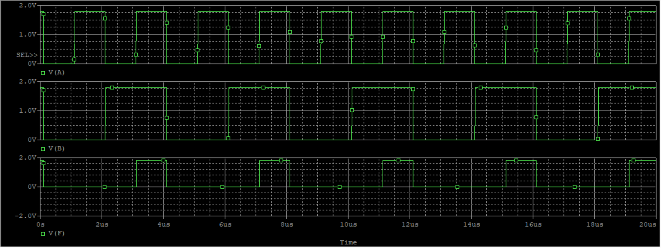


图12 与门仿真结果（横坐标为时间，纵坐标为电压），最下方为输出曲线。

如图12所示，只有当输入都为高电平时输出为高电平。符合,与门设计正确。

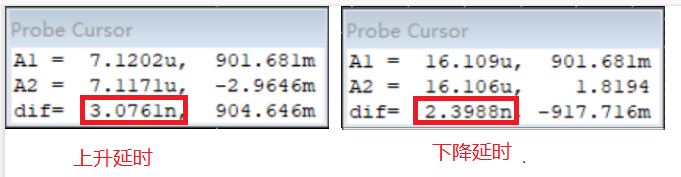


图13 与门上升延时和下降延时

根据图13动态仿真的结果，选取900mV为参考点，得到与门的tPLH=3.0761ns, tPHL=2.3988ns。

（4）

## E. 逻辑或

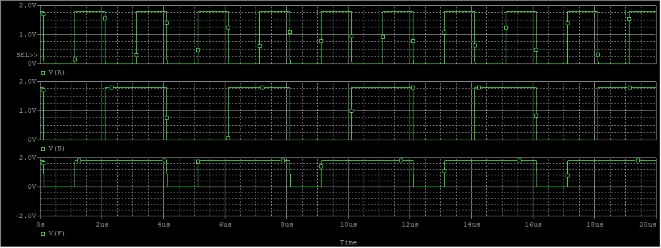


图14 或门仿真结果（横坐标为时间，纵坐标为电压）最下方为输出曲线。

如图14所示，只有当输入都为低电平时输出为低电平。符合,或门设计正确。

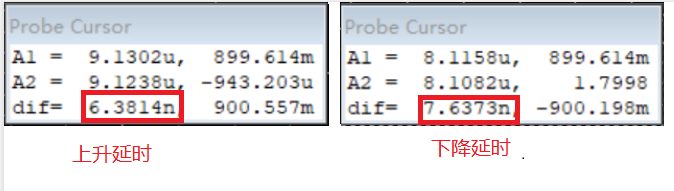


图15. 或门上升延时和下降延时

根据图15动态仿真的结果，选取900mV为参考点，得到或门的tPLH=6.3814ns, tPHL=7.6373ns。

（5）

# 4. 总结

通过我们的工作，我们取得了以下重要成果：

a.成功设计出了包含非门、与非门和或非门的单元库，这为后续的逻辑电路设计提供了基础。

b.实现了逻辑与和逻辑或的功能，验证了设计的正确性和可行性。

c.通过PSpice仿真软件进行电路搭建和仿真，获得了晶体管参数列表和传输延时等关键数据，为性能分析和优化提供了依据。

综上所述，本研究成功地实现了基于CMOS逻辑设计的逻辑器件单元库，并通过仿真分析了电路的性能。这项工作对于理解和应用CMOS逻辑设计具有重要意义，并为进一步的电路设计和优化提供了有价值的参考。

# 参考文献

1. <https://baike.baidu.com/item/cmos/428167#3_5>
2. <https://zhuanlan.zhihu.com/p/111508084>