**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路与系统设计**

**实验项目名称： 电路综合仿真**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术**

**指导教师： 李琰**

**报告人： 郑雨婷 学号：2021150122 班级：高性能**

**实验时间： 2023/04/12——2023/04/28**

**实验报告提交时间： 2023/04/28**

**教务部制**

|  |  |  |
| --- | --- | --- |
| 实验目的与要求：  **一、实验目的**  1.熟悉PSpice的使用方法.  2.使用PSpice进行DC、AC、动态电路仿真，并对其Vin-Vout关系进行分析。 | | |
| 方法、步骤：  **二、实验步骤及说明**  1、使用PSpice构建图一电路，完成电路的DC仿真。  （1）根据Vin-Vout图分析电路功能。  （2）对于定义UIL（低电平输入电压）= 0.6V UIH（高电平输入电压）= 0.9V分析其对应的输出电压范围，以及其对应的Q1，Q2分别处于什么工作状态。  （3）分析Vin-Vout为什么关系时电路电流最大并求出最大值。  （4）改造电路使电路电流增大一倍并进行验证。  2.使用PSpice构建图二电路，在不同的DC值下完成电路的AC仿真。  （1）结合之前的Vin-Vout图分析频谱现象。  （2）在电路电流最大的时候，给出截止频率。  3.使用PSpice构建图三电路，完成动态仿真  （1）给出Vin，Vout的时序图并解释其关系  （2）在Vdd/2的参考点下测量Vin上升延（下降）与对应Vout的延时  （3）改变MOS的M值，看延时关系是否改变并解释原因。 | | |
| 实验过程及内容：  **三、实验过程**  1. 按照附件“实验二电路.pptx”中图1构建电路:    图1 DC仿真电路  （1）对电路进行DC仿真，得出Vin-Vout关系图如图2：    图2 DC仿真电路Vin-Vout关系图  电路功能：当Vin小于0.6V时，Vout较大。当Vin大于1V时，Vout接近于0。因此，该电路是一个反相电路。  （2）定义UIL（低电平输入电压）= 0.6V、UIH（高电平输入电压）= 0.9V，找出UIL和UIH对应的输出电压范围，以及Q1和Q2的工作状态。  UIL：1.8~1.7582V，Q1截止，Q2线性。    图3 UIL对应的输出电压范围    图4 UIH对应的输出电压范围  UIH：68.986mV~0，Q1线性，Q2截止。  （3）电路中有最大的电流值等于多少, 此时Vin-Vout有什么关系？  当Vin=780mV，Vout=598.133mV时电路中有最大电流，电流值为51.274uA。  此时Vin=1.30Vout。  （4）设计方案使得电流值增加1倍并通过仿真验证。    图5 电流最大时的Vin与Vout  方案：将Q1和Q2的M改为2。  验证：  图6 修改后的电流最大值  原电流值为51.274uA, 修改后电流值为102.548uA,验证方案正确。  2. 按照附件“实验二电路.pptx”中图2构建电路：    图7 AC仿真电路  （1） 在DC=0和DC=1.8的设置下分别完成AC仿真，分析发现；    图8 DC=0  DC=0时，Q2是线性，Q1是截止，没有电流通过，信号传送不过去，所以在100Hz之前有很严重的亏损。    图9 DC=1.8  DC=1.8时，Q2是截止，Q1是线性，也没有电流通过，信号也送不过去，在100Hz之前也有很严重的亏损。  （2）设置DC=0.78，完成AC仿真，得到图2电路的截止频率为是9.534KHZ。    图10 DC=0.78  3. 按照附件“实验二电路.pptx”中图3构建电路.    图11 Transient（动态） 仿真电路  (1)完成动态仿真并给出Vin和Vout的时序图，解释Vin和Vout的关系。    图12 Vin和Vout的时序图  可以看出Vin与Vout反相。  （2）将Vdd/2定义为参考点，根据Vin和Vout时序图测量Vin上升沿/下降沿与对应Vout的延时。  Vdd/2为0.9V,Vin在112.077ns时下降，之后Vout约在417.65ns时第一次为0.9V，**所以Vin下降沿Vout延时为417.65-112.077=305.573ns.**    图13 Vin下降沿  Vdd/2为0.9V,Vin在1.1156us时上升，之后Vout约在1.2532us时第一次为0.9V，**所以Vin上升沿Vout延时为1.2532us-1.1156us=137.6ns.**    图14 Vin上升沿  (3)设置Q1和Q2的M=4，重新测量延时,观察延时是否改变并解释原因。    图14 修改参数后Vin和Vout的时序图  用（2）中方法得到：  Vin下降沿Vout延时为：69.347ns  Vin上升沿Vout延时为：33.9ns  延时改变，并且大致变为原来的1/4，因为最大电流变为原来的4倍，所以延时也缩小为原来的1/4。 |

深圳大学学生实验报告用纸

|  |
| --- |
| 实验结论：  **四、实验结论**  通过这次实验我用DC分析、AC分析、动态分析进行电路模拟，了解了三种仿真的区别和作用：  DC分析——确定工作点，偏置电压/偏置电流  AC分析——小信号仿真，输入信号频率分析，输入信号幅度  动态分析——模拟实际环境，DC和AC的验证。  同时也对NMOS和PMOS的构造有了更深的印象。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。