**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路与系统设计**

**实验项目名称： CMOS逻辑门设计**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术**

**指导教师： 李琰**

**报告人： 郑雨婷 学号：2021150122 班级： 高性能**

**实验时间： 2023/5/4——2023/5/16**

**实验报告提交时间： 2023/5/16**

**教务部制**

|  |  |  |
| --- | --- | --- |
| 实验目的与要求：  **一、实验目的**  1.理解CMOS的工作方式。  2.掌握利用COMS设计简单逻辑门的方法  3.熟悉温习DC仿真、AC仿真和动态仿真方法作用。 | | |
| 方法、步骤：  **二、实验步骤及说明**  1. VDD = 1.8V，采用CMOS逻辑，与门/或门之中任选1个进行设计，；  2. 给出所设计逻辑门采用的晶体管参数列表，格式如下：   |  |  |  |  |  | | --- | --- | --- | --- | --- | | 序号 | 名称 | m | W | L | | 1 | Q1 |  |  |  |   3. 结合静态仿真，给出所设计逻辑门的重要静态参数，如下：  UIL、UIH、UOL、UOH、  4. 采用5pf电容作为输出负载，根据AC仿真，给出所设计逻辑门的3dB带宽。  5. 结合动态仿真完成以下内容：  （1）验证逻辑功能；  （2）验证3dB带宽；  （3）计算所设计逻辑门的上升沿（tPHL）和下降沿延迟（tPLH）。 | | |
| 实验过程及内容：  **三、实验过程**  VDD = 1.8V，采用CMOS逻辑设计与门/或门，具体要求如下：  1. 与门/或门之中任选1个进行设计，采用CMOS逻辑；  这里选择设计一个与门，图1为设计出的CMOS电路：    图1 与门CMOS电路  2. 给出所设计逻辑门采用的晶体管参数列表：   |  |  |  |  |  | | --- | --- | --- | --- | --- | | 序号 | 名称 | m | W | L | | 1 | Q1 | 10u | 1 | 1u | | 2 | Q2 | 10u | 1 | 1u | | 3 | Q3 | 5u | 1 | 1u | | 4 | Q4 | 5u | 1 | 1u | | 5 | Q5 | 10u | 1 | 1u | | 6 | Q6 | 5u | 1 | 1u |   3. 结合静态仿真，给出所设计逻辑门的重要静态参数UIL、UIH、UOL、UOH.  V1处设置输入点A，V2处设置输入点B，非门前设置输出点N-OUT,最后的输出点为OUT.  固定V2，V1的起止点设为0~1.8V。进行DC仿真，步长设为0.01.。  固定V2=1.8V（逻辑为1），进行静态仿真为图2：    图2 静态仿真结果  将两个游标放置在VOUT的上升阶段两端，得到图3  由图可知：    图3 从静态仿真中读取3. UIL、UIH、UOL、UOH  UIL=929.642mV 、UIH=940.271mV、UOL=506.790nV、UOH=1.7899V  4. 采用5pf电容作为输出负载，根据AC仿真，给出所设计逻辑门的3dB带宽。  根据静态仿真得到静态工作点：940mV,约为0.94V。  将V1设为0.94V、电容改为5pf、添加一个交流源后，进行AC仿真    图5 AC仿真得到3dB带宽    图4 静态工作点  3dB带宽为4.1794MHZ。  5. 结合动态仿真完成以下内容：  （1）验证逻辑功能；  将V1换成脉冲电源，参数如图所示。    图6 脉冲电源参数  当V2=1.8V(逻辑为1时)进行动态仿真，V1和Vout的时序图如图7所示：    图7  可以看出，V1逻辑为0时，Vout逻辑也为0，当V1逻辑为1时，Vout逻辑为1.  当V2=0V(逻辑为0时)进行动态仿真，V1和Vout的时序图如图8所示：    图8  可以看出无论V1逻辑值为多少，Vout都为0.  综上所述可以看出我们设计的确实是一个与门。  （2）验证3dB带宽；  由于3dB电路截止频率为4.1794MHZ约等于每周期2.3×10^(-7)s，我们的方波输入周期为2us，输入信号频率为f=1/PER=5×10^5Hz=0.5MHz，与截止频率差距不大。如上图7，几乎没有失真，所以3dB带宽正确。  （3）计算所设计逻辑门的上升沿（tPHL）和下降沿延迟（tPLH）。  以Vdd/2作为参考点  上升沿：    图9 上升沿  因此，上升沿延迟为217.312-200.346=16.996ns  下降沿：    图 10  因此，下降沿延迟为1.2082-1.2001=0.0081us=8.1ns |

深圳大学学生实验报告用纸

|  |
| --- |
| 实验结论：  **四、实验结论**  本次实验在理解CMOS的工作方式的基础上，利用COMS设计出了与门。首先搭建一个与非门，再加上非门之后得到与门。在本次实验中，再次用到DC仿真、AC仿真和动态仿真，DC仿真能给确定静态工作点、AC仿真能够求得3dB带宽，动态仿真可以验证之前 的结果，求上升沿延迟和下降沿延迟。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。