**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路与系统设计**

**实验项目名称： 组合逻辑电路设计**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术**

**指导教师： 李琰**

**报告人： 郑雨婷 学号：2021150122 班级： 高性能**

**实验时间： 2023/5/17——2023/5/29**

**实验报告提交时间： 2023/5/29**

**教务部制**

|  |  |  |
| --- | --- | --- |
| **一、实验目的**  1.掌握组合逻辑电路的设计方法和步骤，能够利用74系列基本逻辑门(与非、或非、非)构造简单的器件。  2.学习并掌握Pspice中如何将电路构造为独立单元，并且加入库文件。 | | |
| **二、实验步骤及说明**  1. 以74系列基本逻辑门(与非、或非、非)构造一个1位全加器。 2. 将1位全加器作为单独元件并加入库文件。 3. 采用1位全加器元件和其他必须的逻辑门设计一个4位全加器  4. 验证4位全加器设计正确。 | | |
| **三、实验过程**  1. 以74系列基本逻辑门(与非、或非、非)构造一个1位全加器。  全加器是指将两个本位和来自低位的进位相加。输入为本位A，B以及低位进位，输出为本位和S和向高一位的进位。列出全加器的真值表如表1：    表1 全加器的真值表  根据真值表写出函数表达式：  用基本门电路实现函数，构造出如下电路：    图1 1位全加器电路  对该电路进行时域仿真，结果为图2，可以看到，与1位全加器真值表符合，设计正确。    图2 1位全加器仿真结果  2. 将1位全加器作为单独元件并加入库文件。  导出netlist文件，修改开始语句和结束语句：    图3 生成model文本文件  在PSpice Model Editor Student中，建立新model。导入全加器model后保存。创建model仿真Library路径，出现0 Error messages,0 Warning messages。全加器model创建完成。    图4全加器model创建成功  3. 采用1位全加器元件和其他必须的逻辑门设计一个4位全加器  按照串行进位方式，采用四个一位全加器级联可以得到四位加法器。关于一位全加器，如下图示意，其中A、B表示待相加数，C表示进位，S表示相加和，COUT表示相加产生的进位。  图5 一位全加器示意图  通过一位全加器的串行进位来设计四位全加器，由地位至高位，每一位的COUT作为下一位的进位输入到下一位的CIN中，第一位的CIN为0。下图是构建出的四位串行加法器的电路图。    图6 4位全加器电路  4. 验证4为全加器设计正确。  对以上电路进行时域仿真，得到图7结果。    图7 4位加法器仿真结果  从仿真结果中取任一时刻进行验证，，，且carry=0。结果正确，取其他时刻，也是可以得到正确结果。由此可知四位全加器的正确性得到了验证。 |

深圳大学学生实验报告用纸

|  |
| --- |
| **四、实验结论**  本次实验我学会了使用ORCAD Pspice软件设计一位全加器电路，这部分内容主要是要求掌握通过功能得出真值表，通过真值表得出函数表达式和电路图。同时通过简单的时域仿真对电路功能进行了验证。了解了74系列基本逻辑门和组合逻辑电路的设计方法。  第二部分设计四位全加器电路，学会了如何将自己设计的一位加法器打包成一个单独的器件添加到库中，并利用封装好的器件设计四位加法器，通过简单的时域仿真对电路功能进行了验证。总之，通过本次实验，我掌握了组合逻辑电路的设计方法，让我获益匪浅。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。