**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字集成电路与系统设计**

**实验项目名称： 四位全加器设计**

**学院： 计算机与软件学院**

**专业： 计算机科学与技术**

**指导教师： 李琰**

**报告人： 郑雨婷 学号：2021150122 班级： 高性能**

**实验时间： 2023/6/7——2023/6/19**

**实验报告提交时间： 2023/6/19**

**教务部制**

|  |  |  |
| --- | --- | --- |
| **一、实验目的**  1.掌握Verilog语言的语法使用。  2.理解全加器的原理，并掌握通过一位全加器设计四位全加器的方法。  3.了解Icarus Verilog的使用方法，能够利用Icarus编译verilog文件并进行仿真。 | | |
| **二、实验步骤及说明**  采用Verilog语言设计一个四位全加器：  1）包含低位进位标志位；  2）包含输出进位标志位；  3）包含使能位。  1. 结合自己的Verilog代码分析系统架构；  2. 给出相关Test-bench的设计，包含设计思路和流程图。 | | |
| **三、实验过程**  1. 结合自己的Verilog代码分析系统架构；  全加器是指将两个本位和来自低位的进位相加。输入为本位A，B以及低位进位，输出为本位和S和向高一位的进位。列出全加器的真值表如表1：    表1 全加器的真值表  根据真值表设计出一位全加器的Verilog代码，其中Cin为低位进位标志位、Cout为输出进位标志位，enable为使能位：    图1 一位全加器Verilog代码  w1是输入信号A和B的异或结果，它表示了A和B相加之后的本位和，w1 和 Cin 再次经过异或门计算得出带低位进位的本位和Sum。  w2为w1和Cin 的与运算结果，它表示了进位。w3是A & B和w2的或运算结果，它表示了低位与高位结合后的进位结果。Cout 则直接等于 w3，表示了进位标志位。  将四个一位全加器串联，低位的全加器的输出进位（Cout）作为下一位全加器的低位进位（Cin）。这样就实现了四位全加器。    图2 四位全加器Verilog代码  2. 给出相关Test-bench的设计，包含设计思路和流程图。  ①设计思路：  在Test-bench中，需要设计好的四位全加器模块进行实例化。首先定义输入和输出信号，给出初始值。在仿真过程中，改变和，生成波形图，验证输出是否符合预期结果。  ②流程图：    图3 Test-bench设计流程图  得出的仿真文件代码如图4：    图4四位全加器仿真代码  在PowerShell中输入指令对文件进行编译，生成波形文件，然后打开波形文件。      图5 四位全加器仿真波形图  选取任意时刻进行验证，图5时刻，，Cin=0，  结果为Sum=1011,Cout=0;结果正确。四位全加器设计成功。 |

深圳大学学生实验报告用纸

|  |
| --- |
| **四、实验结论**  本次实验我学会了使用Verilog语言设计电路，对Verilog语言有了更深入的理解。学会了如何定义模块、信号的声明和赋值，并且了解了Verilog中常用的逻辑门。通过设计出一位全加器，在设计四位全加器时用到一位全加器设计四位全加器模块，掌握了模块化设计的方法。不同的模块，可以提高代码的可读性、复用性和维护性。  第二部分设计Test-bench并进行仿真，学会了利用Icarus编译Verilog文件并进行生成波形文件。总之，本次实验，我第一次使用Verilog设计程序，让我益匪浅。 |
| 指导教师批阅意见：  成绩评定：  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。