

# 朱正瑞

180 3936 7011 zhengrui\_zhu@outlook.com 26岁 上海



本科直博四年级 (已满足博士毕业要求) 实习 (导师放实习)

## 教育经历

### 复旦大学 | 集成电路科学与工程 | 本科直博

2022 至今

- GPA: 3.53 / 4.0
- 荣誉奖项: 中芯国际奖学金; 优秀学生干部; 优秀学生; 优秀团员;
- 相关课程: 模拟集成电路和系统设计(A); 先进数字集成电路设计(B+); 并行计算体系结构与程序设计(B+);

### 东南大学 | 材料科学与工程(电子信息材料) | 本科

2018-2022

- GPA: 4.1 / 4.8 (专业前 5%)
- 荣誉奖项: 国家奖学金; 校长奖学金; 本科优秀毕业生; 三好学生; 优秀学生干部;
- 相关课程: 程序设计与算法语言(99); 电工电子技术(96); 传感原理与测试技术(98); 电子信息物理基础(99)

## 实习经历

### 华为昇腾 | AI Infra 工程师

2025.07-2024.10

- 针对生成式推荐 HSTU 类大模型，基于 vllm 实现 KV Cashe 和 PD 分离，在推理框架层面缩短推理延时至 60%，端到端延时突破 50 ms;
- 参加 2025 华为算法大赛，基于盘古开源大模型，引入了多种 Sparse Attention 技术，如：NSA, Quest, top-k 等，提高大模型上下文能力；
- 基于华为昇腾 910b，使用 Mindspeed-LLM 训练框架和 vllm 推理框架，完成 Qwen3 训推全流程；

## 项目经历

### 基于 SMIC 40nm 工艺的 8 位高速 SAR ADC 设计 | 集创赛华东赛区二等奖

2024.01-2024.07

- 基于 SMIC 40nm 工艺，开发了一种 32 通道，8bits 16GS/s 时钟交叠 SAR ADC;
- 使用 Matlab simulink 进行系统级建模，使用 Cadence Virtuoso 完成了原理图设计与前仿、版图设计与后仿；
- 多种创新技术，如：栅压自举开关采样电路、下级板采样技术、2bits/cycle 搜索算法等，实现了单通道 500MHz，总体 16GS/s 的采样率；

### 16 位定点数的乘加运算电路设计 | 数集课程设计

2022.10-2022.12

- 采用 4-Booth 编码, Wallace Tree 求和方法，设计了一种 16bits 定点数近似乘加计算电路，并使用 Modelsim 进行了 Verilog 数字前端设计；
- 基于 TSMC N28nm 工艺，使用 DC 完成了逻辑综合，使用 ICC 完成了版图综合，使用 Cadence Virtuoso 通过了 DRC 和 LVS 的检查；
- 使用 Quartus II 在 FPGA 上对设计进行了验证，在仅损失 0.1% 精度的同时，节约了 5.7% 的组合电路开销，实现了 6.93% 的时钟频率提升；

### 基于计算光谱重建方法的小型化光谱芯片的原理及集成 | 博士课题

2022.06 至今

- 研究基于新型的二维半导体光电探测器件，设计并流片基于光电三极管像元的焦平面阵列芯片和 CMOS 图像传感器 (CIS)；
- 读出电路设计 (TIA, ADC 等电路) 及计算光谱重建算法的研究和边缘部署 (嵌入式开发)；

## 论文专利

以 (共同) 第一作者在 IEEE EDTM、Journal of Semiconductors、ACS Nano 上发表论文 3 篇、申请发明专利 3 项。

## 竞赛获奖

全国大学生集成电路创新创业大赛	华东赛区二等奖	2024
"挑战杯"全国竞赛电子信息组	江苏省三等奖	2021
美国大学生数学建模竞赛 (MCM/ICM)	国际一等奖	2021

## 专业技能

编程语言: 熟悉 C++、Python 编程语言；熟悉 Verilog 的基本语法；

操作系统: 熟悉 Linux、Unix 等操作系统，能够使用 shell 等脚本语言进行批处理操作；

EDA 软件: 能够使用 Cadence Virtuoso 完成原理图设计与仿真、版图设计与后仿真；能够使用 Modelsim 进行数字前端 Verilog 的编写与仿真；能够使用 Synopsis DC 进行数字综合；能够使用 ICC 进行数字后端设计等；