

马振龙

☎ (+86) 153-1379-9575 | ✉ mazhenlong19@mails.ucas.ac.cn | 🏠 1996/06

技能

- 熟悉 Python/C/C++/Verilog/SystemVerilog 等软硬件编程语言
- 熟悉 RDMA 网络协议、verbs 编程和 RDMA 网卡架构设计及若干现存问题
- 熟练掌握基于 Gem-5 的微架构模拟器开发方法
- 了解芯片功能验证的一般方法和 UVM 验证方法学
- 流畅进行英文文献阅读与写作

教育背景

中国科学院大学 计算机学院 | 中国科学院计算技术研究所 高性能计算机研究中心

北京

全日制博士（在读）| 计算机系统结构 | 导师：孙凝晖 院士

2019 年 9 月 - 2025 年 6 月（预期）

- 研究方向：高性能网络；RDMA；服务质量保证 (QoS)
- 所获荣誉：2021 年所级三好学生、2024 年华罗庚奖学金

浙江大学 信息与电子工程学院

杭州

工学学士 | 电子科学与技术

2015 年 9 月 - 2019 年 6 月

- 本科学业总成绩排名 18/119
- 所获荣誉：2016 年 - 2017 年学业二等奖学金、永平奖学金、2019 年信电骄傲荣誉称号

科研成果

Palos: Fair and Flexible Flow Scheduling on RNIC

Wuhan, China

HPCC 2024 | 一作

2024 年 12 月

- 分析并证实 RDMA 性能隔离问题的硬件根源
- 基于硬件实现面向数据量的流调度，消除异质化通信场景中的大小流干扰现象，并实现细粒度的传输速率控制

Toward Scalable RDMA through Resource Prefetching

CAL | 一作

- 通过在网卡上进行通信资源预取提高 ICM 缓存命中率，从而提高 RDMA 在大规模通信场景下的性能
- 基于调度器进行资源访问预测，实现通信资源的高精度预取

csRNA: Connection-Scalable RDMA NIC Architecture in Datacenter Environment

Lake Tahoe, USA

ICCD 2022 | 五作

2022 年 11 月

- 实现乱序处理连接上下文请求，解决队头阻塞从而缓解连接可扩展性问题

项目经历

高性能互连网络核心芯片开发

战略性先导科技专项

系统级功能验证总负责人

2020 年 11 月 - 2023 年 2 月

- 验证平台模拟 PCIe 以及 Linux 内核驱动行为，与 RDMA 网卡硬件 HCR 和 UAR 空间交互并通过内存读写判定功能正确性
- 开源地址：<https://github.com/ETH-PLUS/Jingzhao>

RDMA 端侧通信系统微架构模拟器

主要开发者

2023 年 1 月 - 2023 年 7 月

- 基于 Gem-5 开发 RDMA 端侧微架构模拟器，实现时钟精确的性能仿真，以快速建立微架构模型并验证硬件架构设计
- 开源地址：https://github.com/ZhenlongMa/RNIC_Simulator_Full

RDMA 通信性能分析工具

主要开发者

2024 年 12 月 - 2025 年 3 月

- 发掘基于 verbs 编程接口的 RDMA 网卡的性能异常点
- 通过测试向量生长算法，提高测试空间搜索效率