**计算机组成原理 实验一报告**

姓名：曾郅琛 学号：PB20071431 实验日期：2022-3-24

**一、实验题目：**

Lab01 运算器及其应用

**二、实验目的：**

设计算术逻辑运算单元（ALU），掌握数据通路和控制器设计方法

实现32位操作数ALU加、减、与、或、异或功能，利用前述的32位ALU模块设计6位操作数ALU

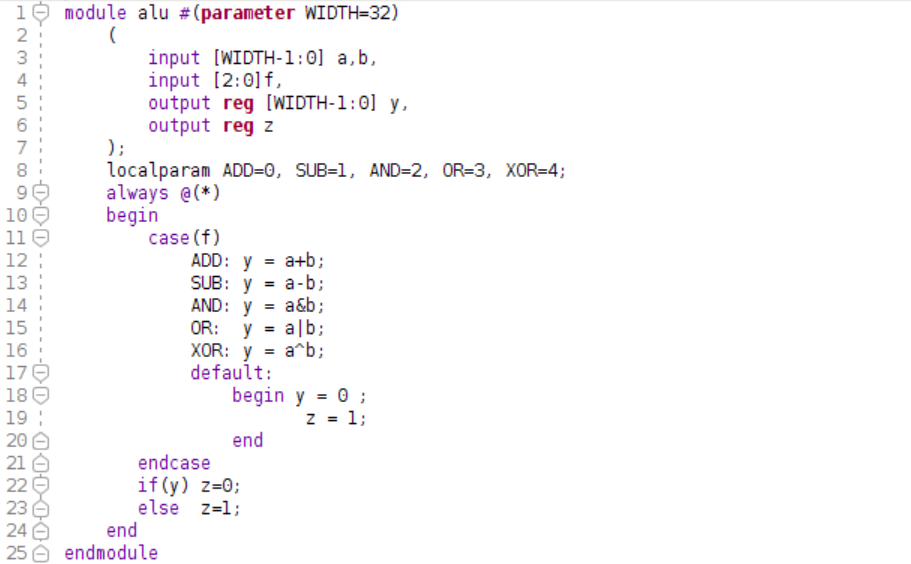
设计计算斐波拉契数列FLS，完成逻辑设计、仿真和下载测试

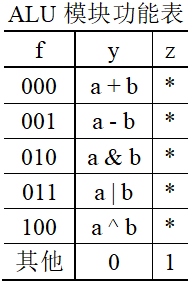
**三、实验平台：**

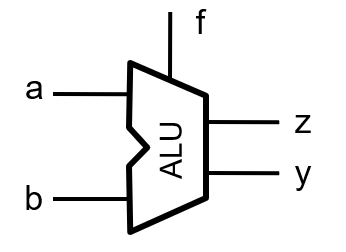
Vivado

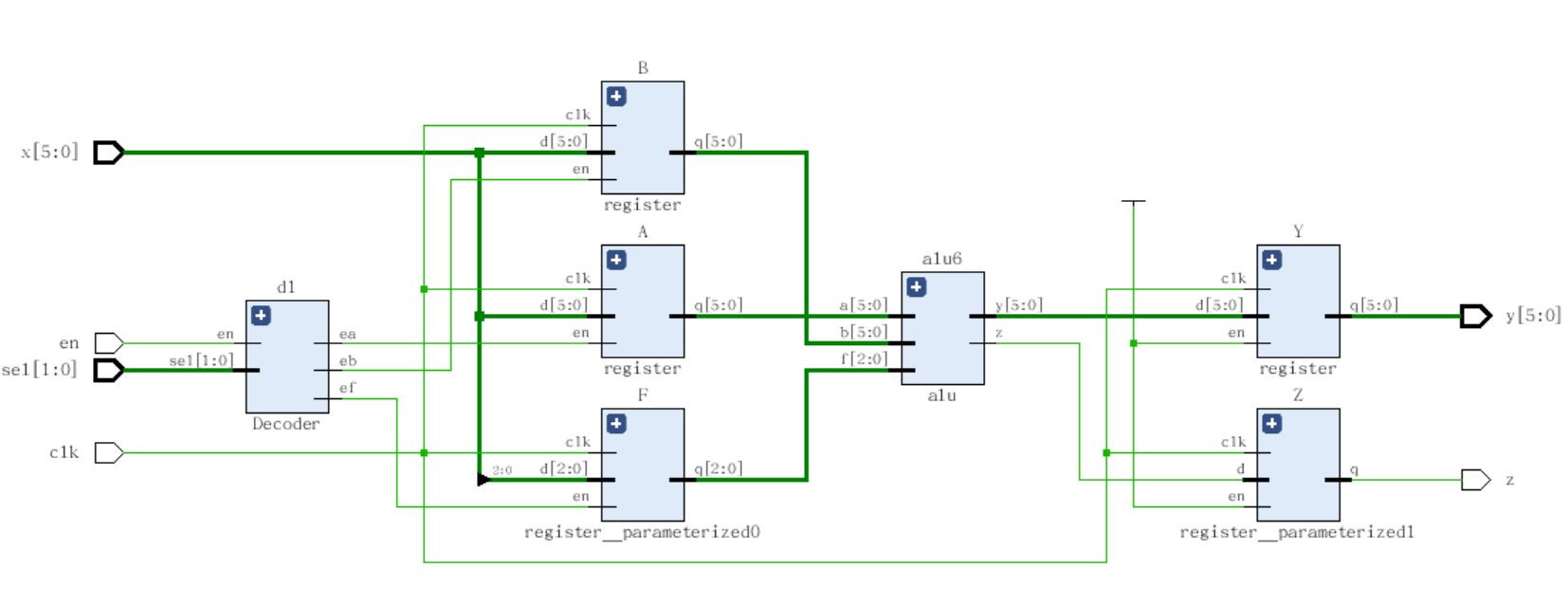
**四、实验过程：**

**1. ALU逻辑设计**

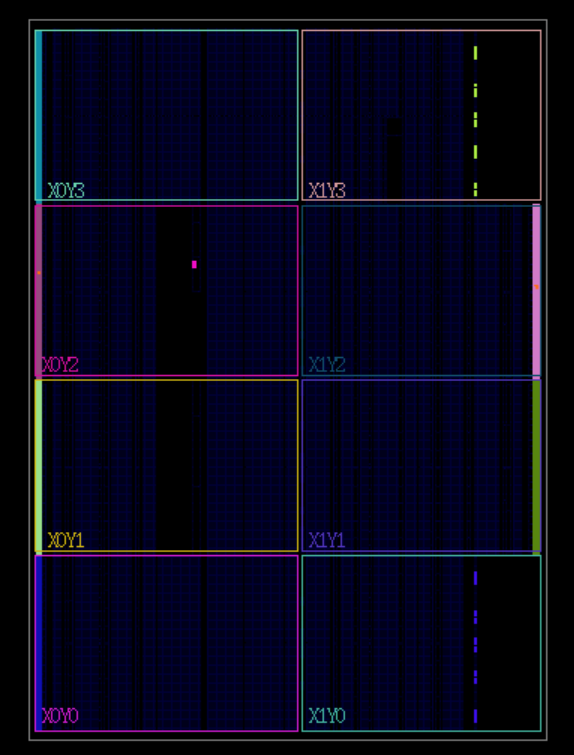


****在ALU实现中，f实现操作功能，y作为运算

结果输出，按照模块功能表执行功能.

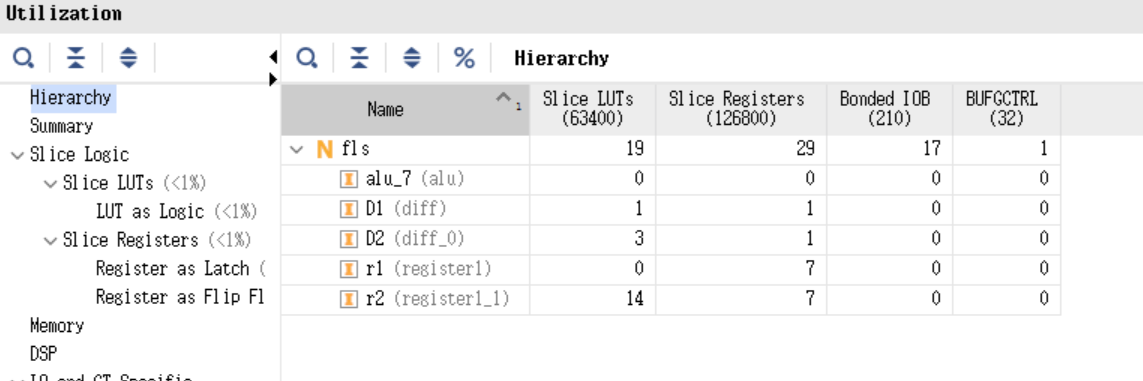
**RTL电路：**

**综合电路：**

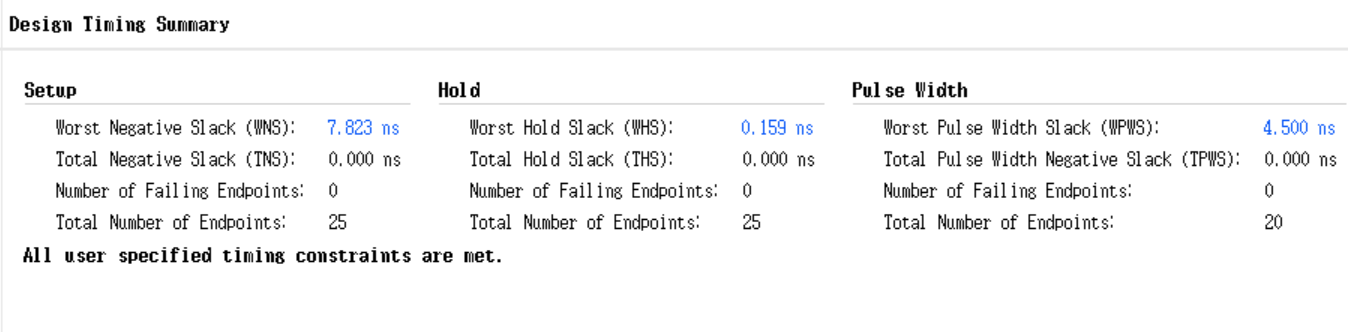


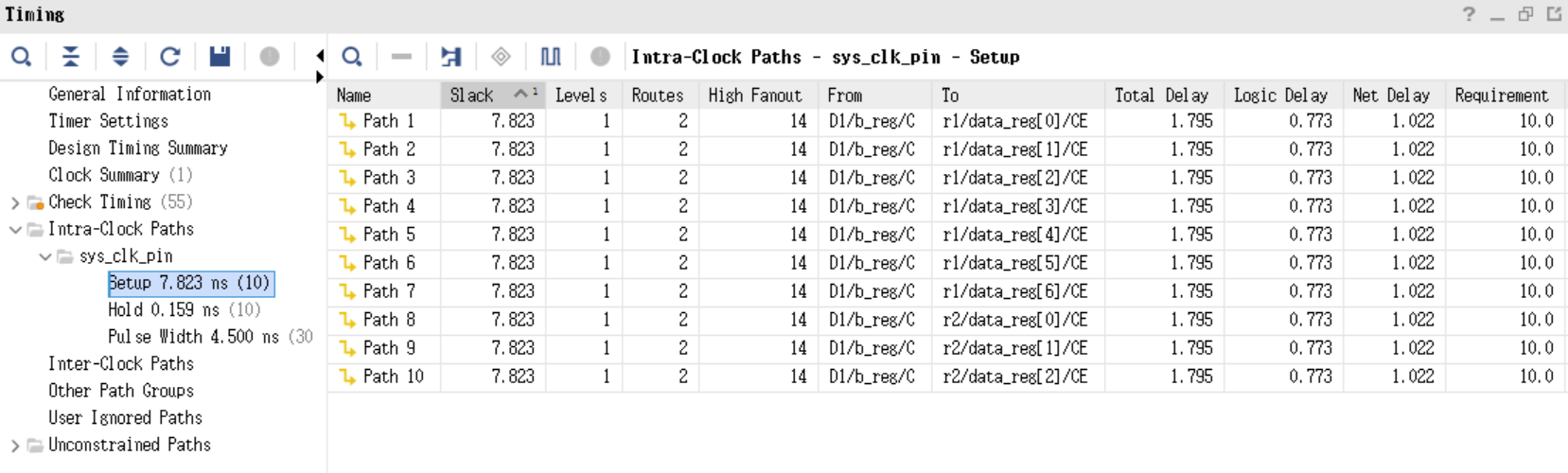
**资源使用情况**

**综合电路：**

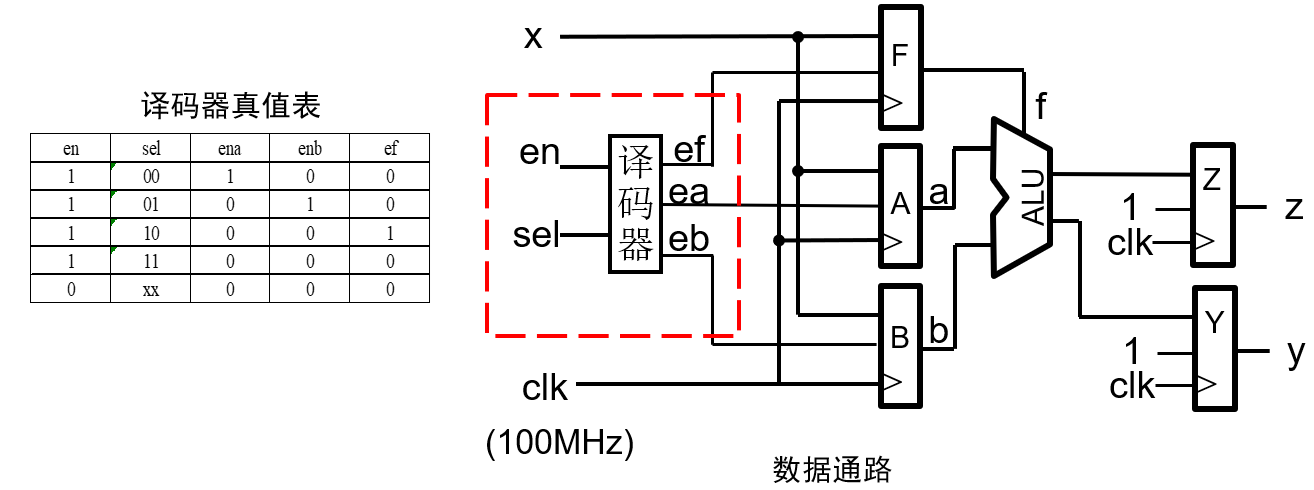


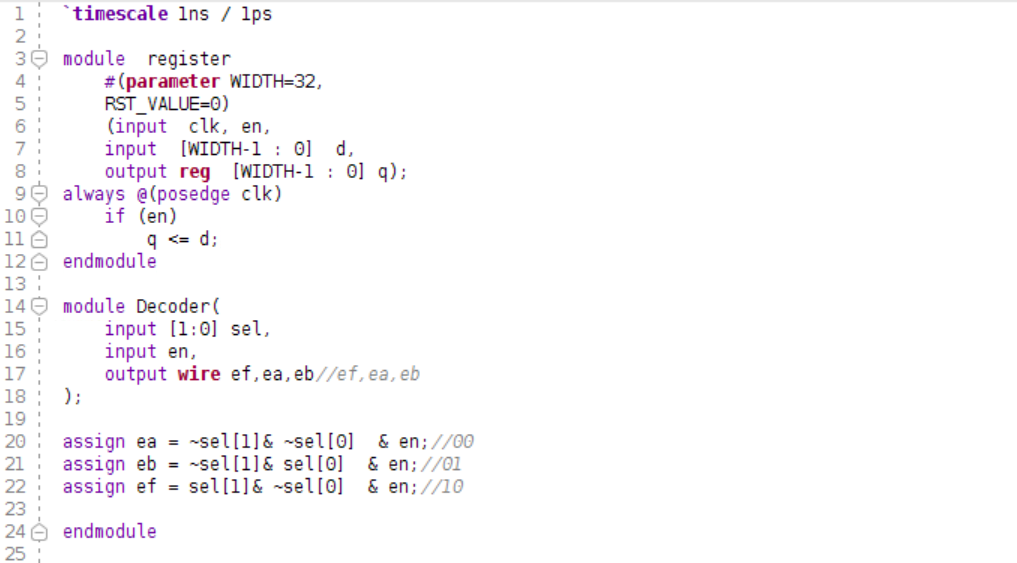
**ALU模块综合电路性能及时间性能报告：**

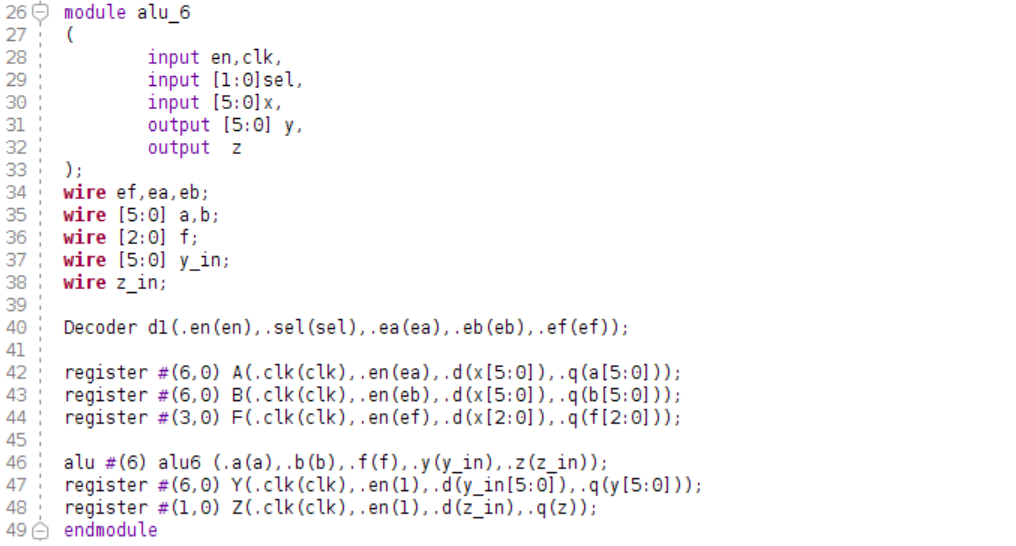




**2. 6位操作数ALU逻辑设计**

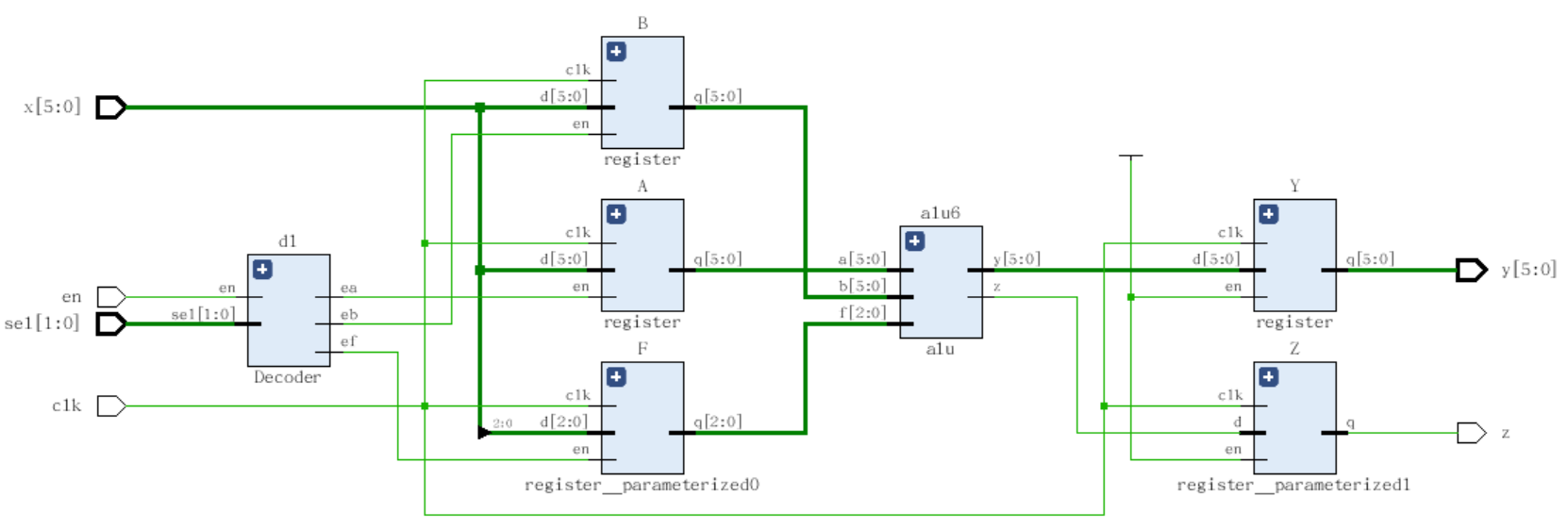


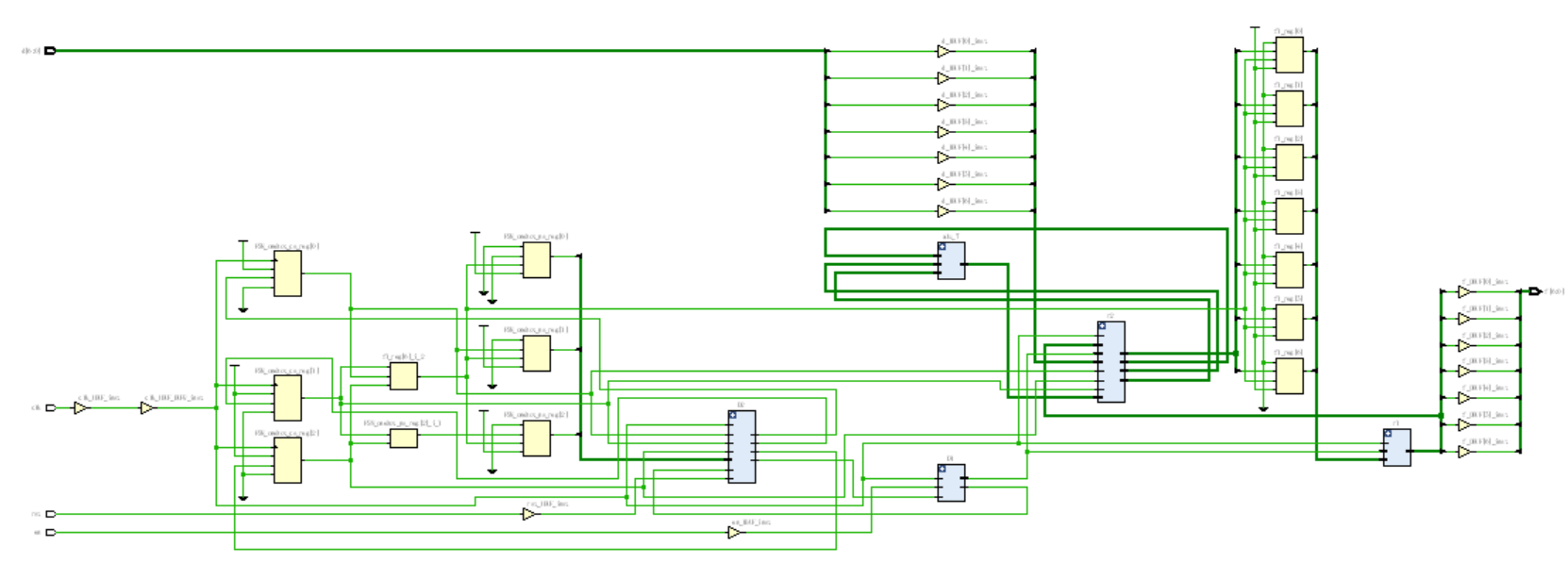


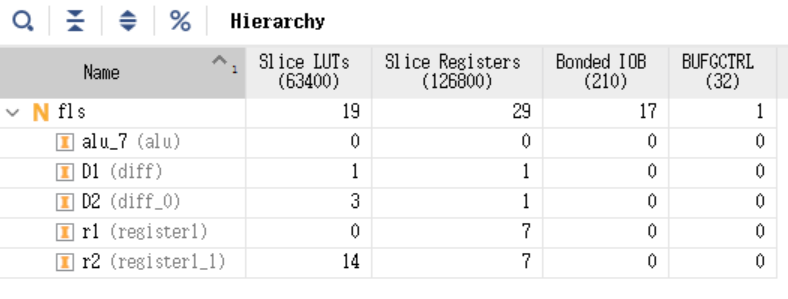


设计译码器对ef、ea、eb，选择ALU计算（按上图编写数据通路），操作数a, b和功能f复用开关输入x[5:0]。通过sel和en，生成译码电路，将开关输入x[5:0]分时存入寄存器F(x[2:0])，A(x[5:0])，B(x[5:0])。

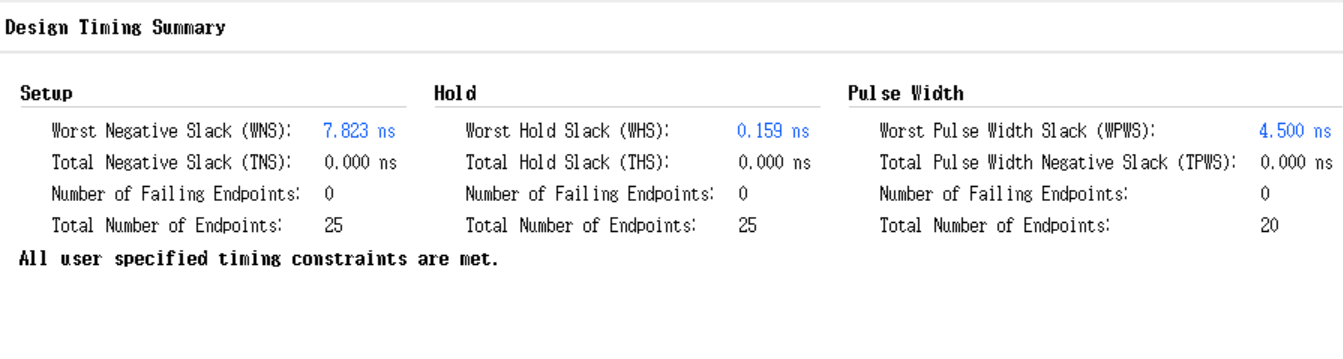
**RTL电路图：**

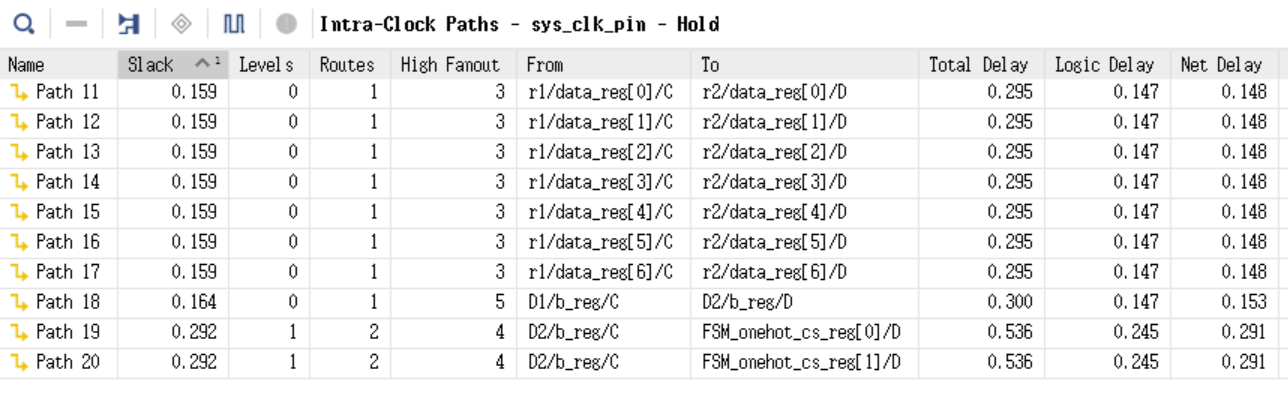
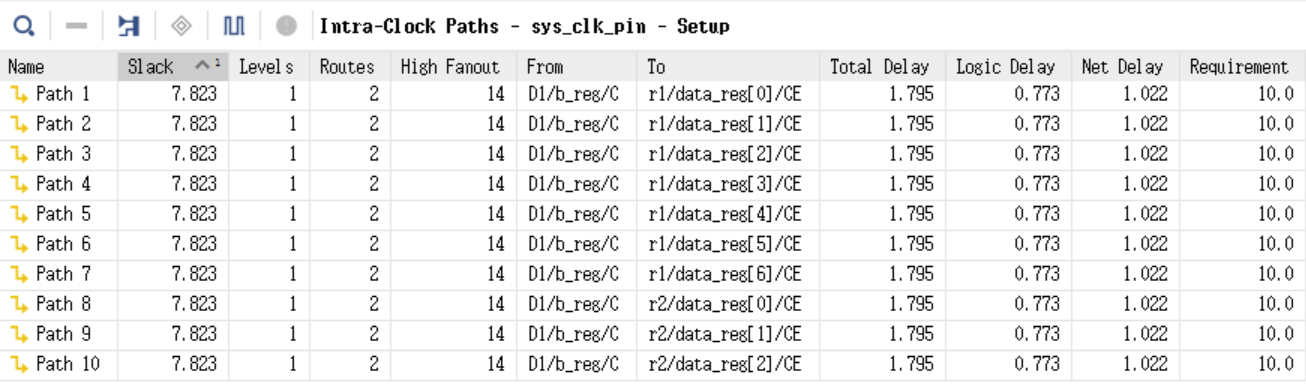


**综合电路图：**

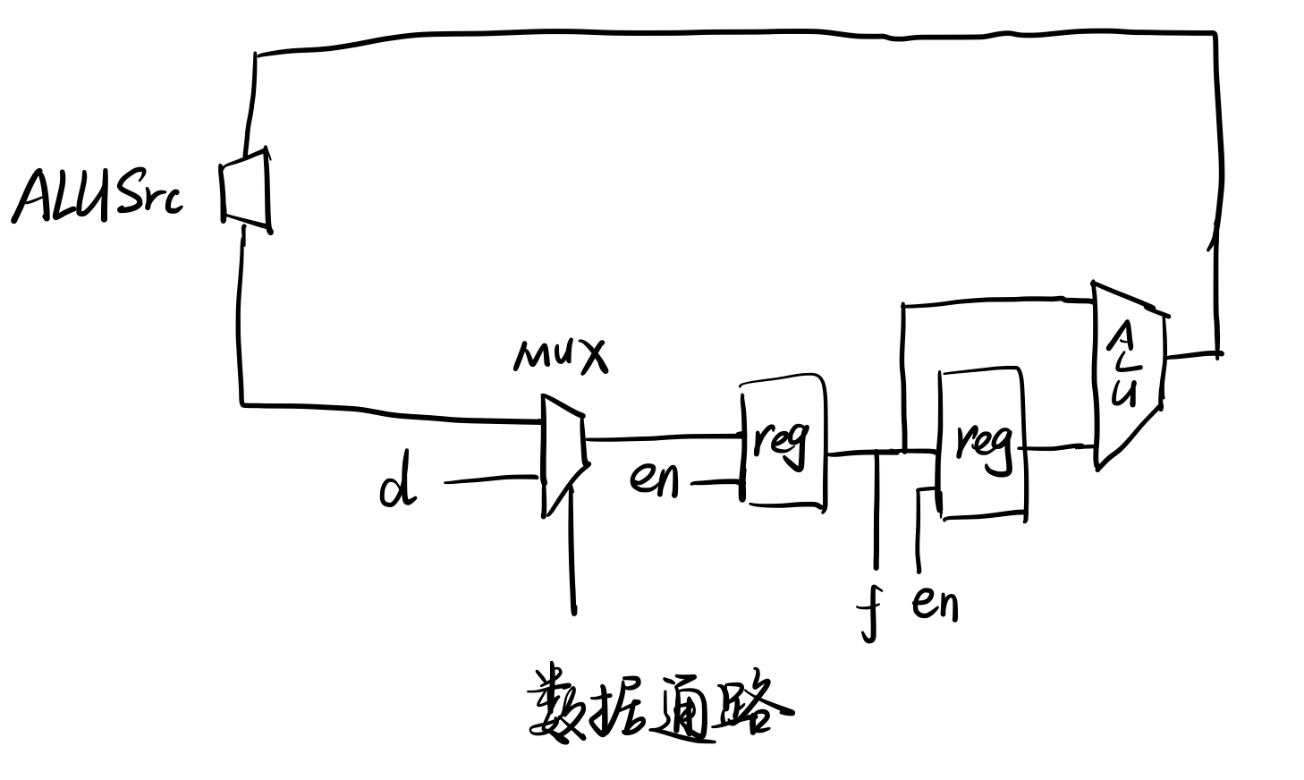


**时间性能报告：**

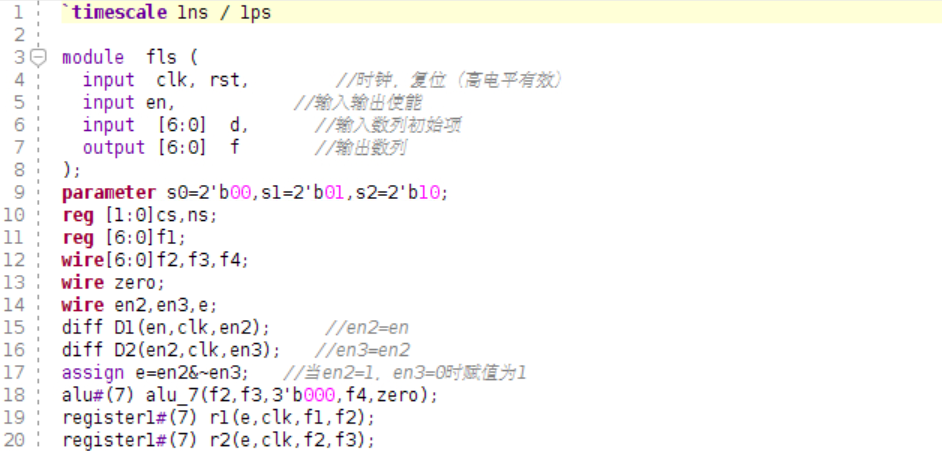


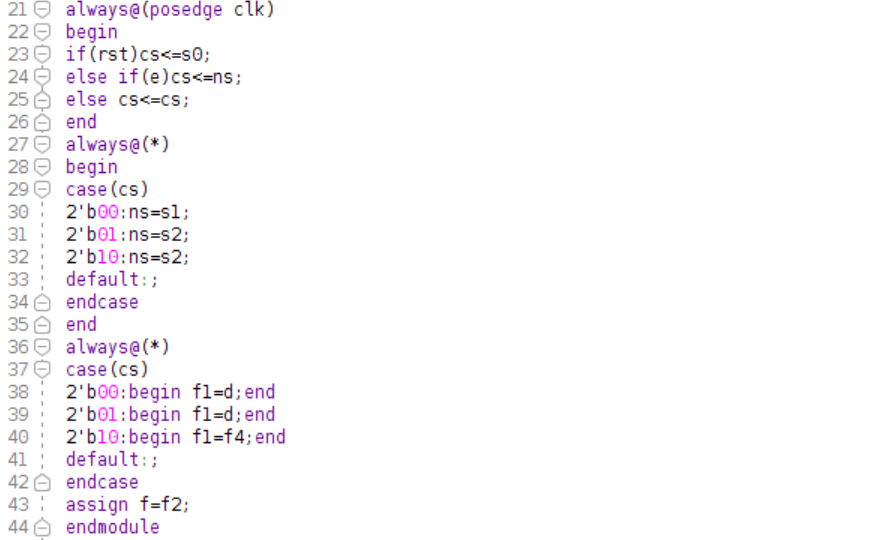


**3.FLS逻辑设计**

****





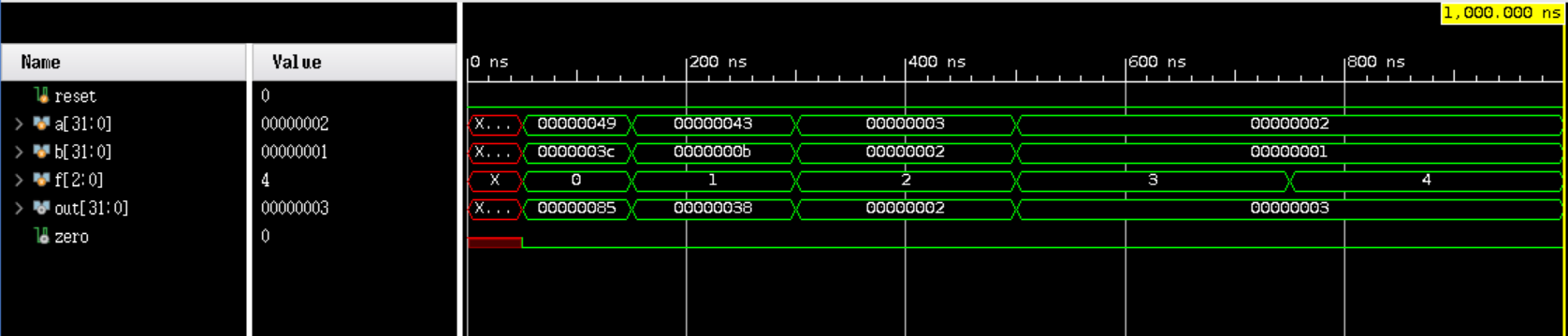


**五、实验结果：**

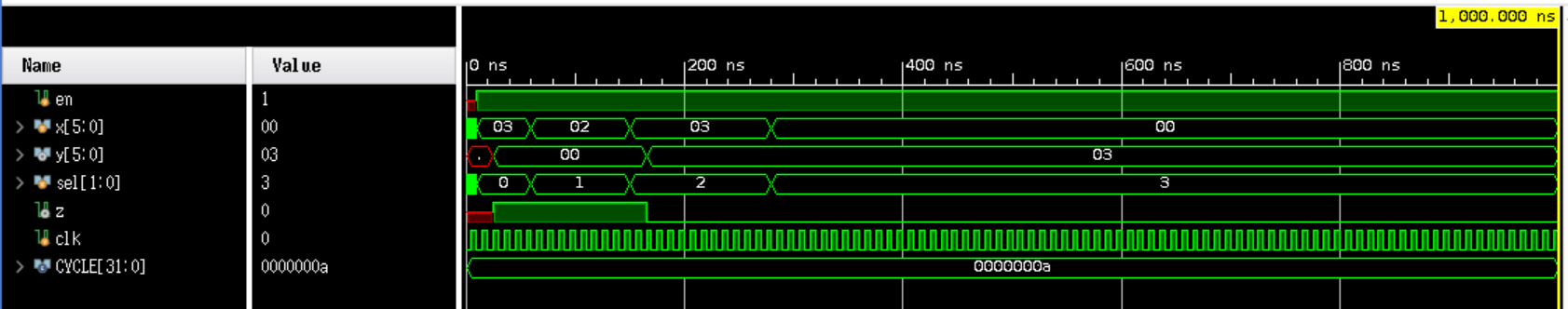
**波形仿真：**

**1. ALU仿真运算：**

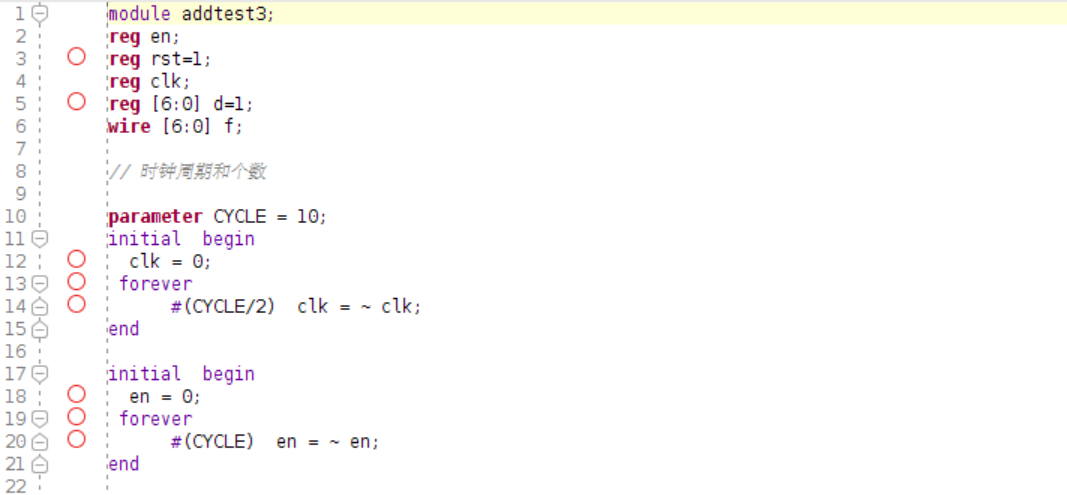
分别对000、001、010、011、100五个操作功能进行运算

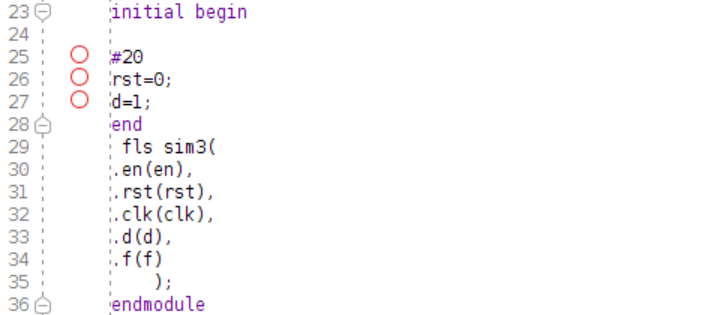


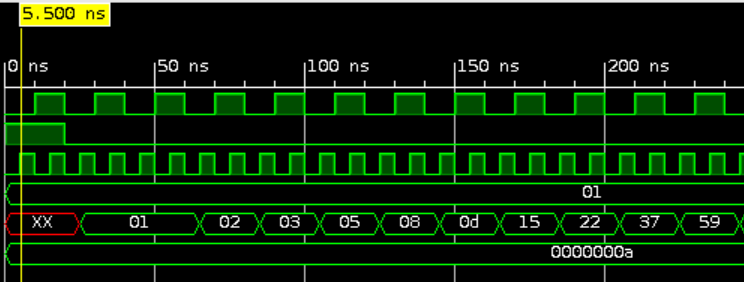
**2. 6位操作数ALU仿真波形**



**3. FLS波形仿真：**



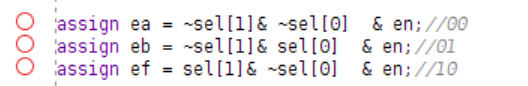


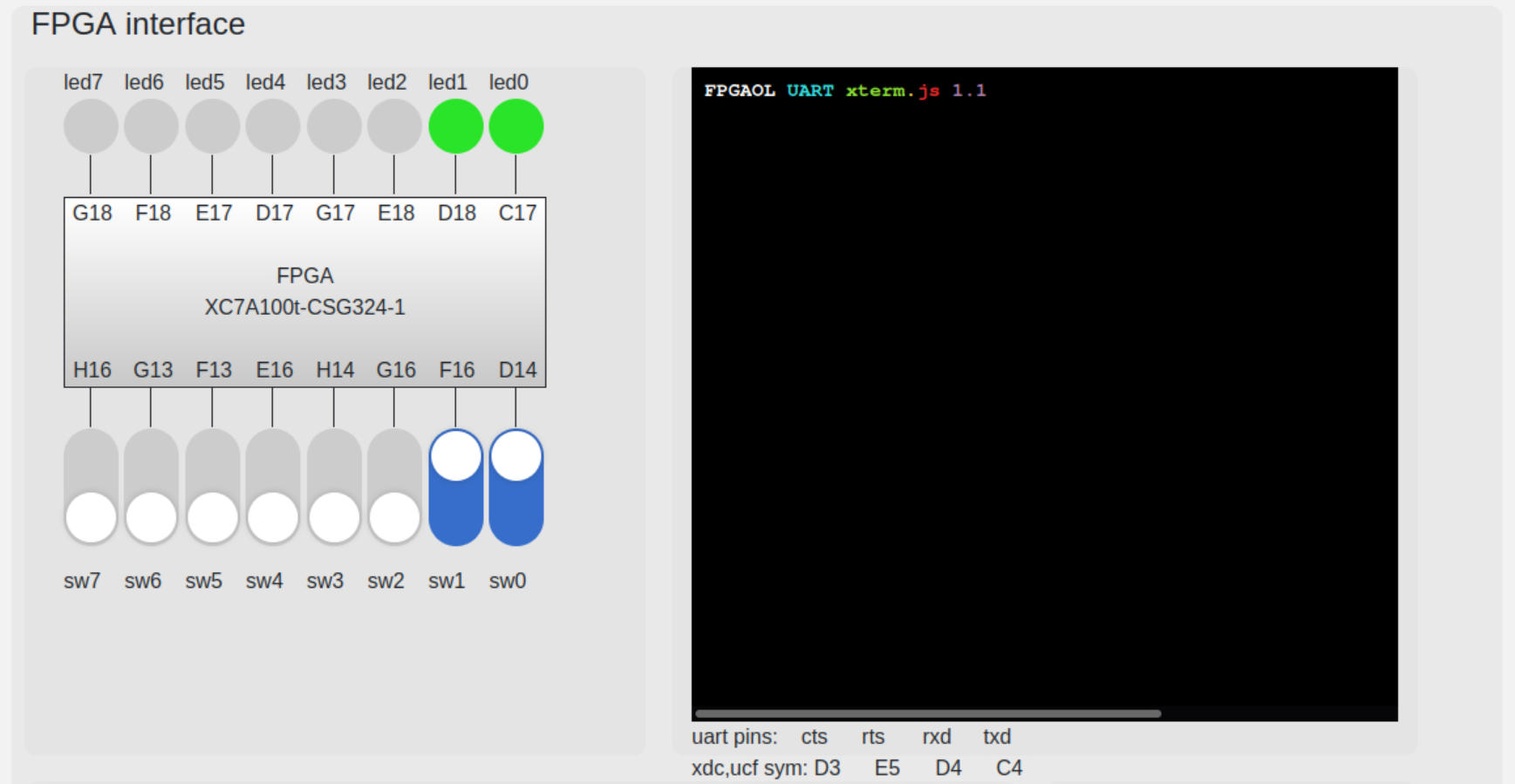


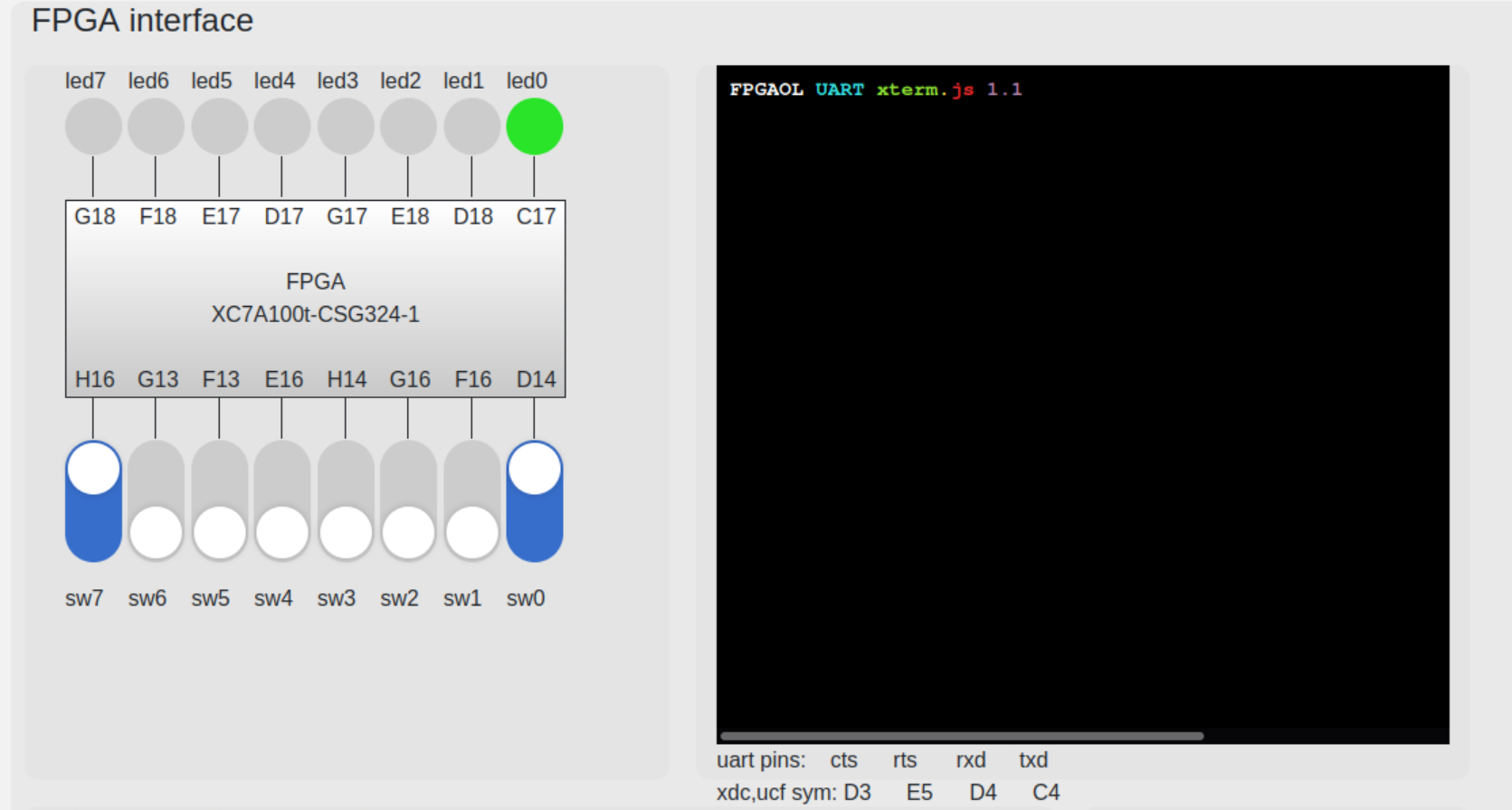
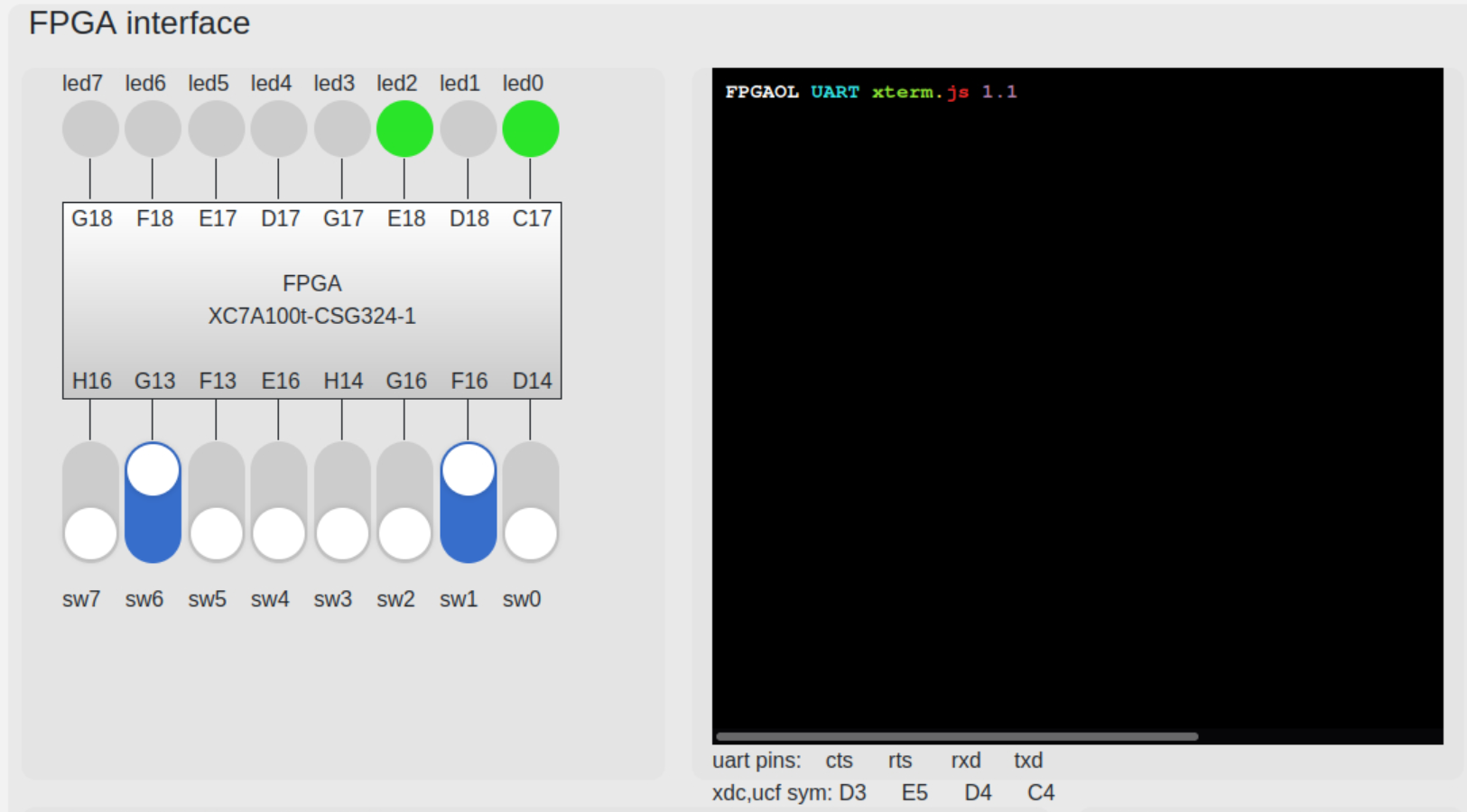
**FPGA效果图：**

1. **6-ALU算术逻辑运算器运算展示**

**以3-2为例：**

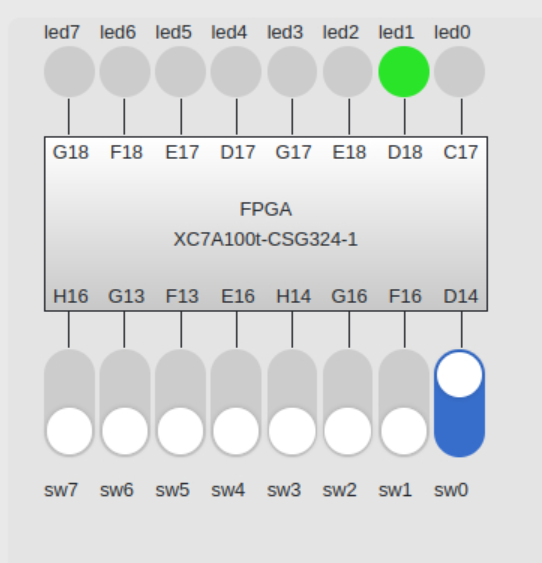
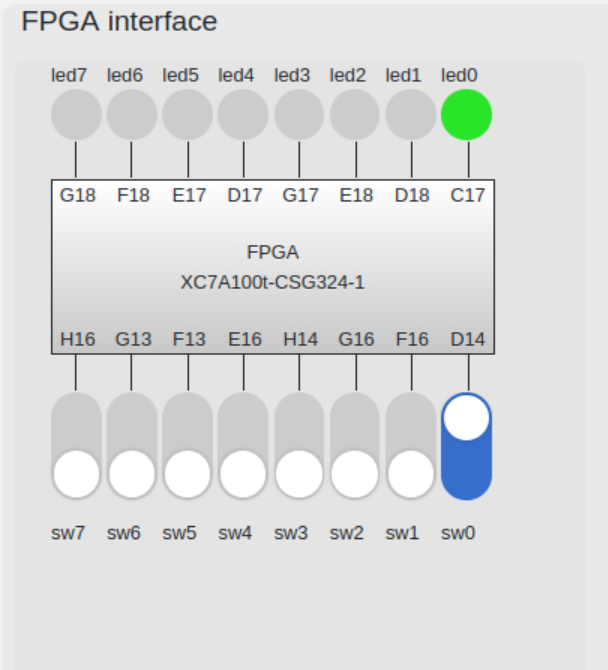
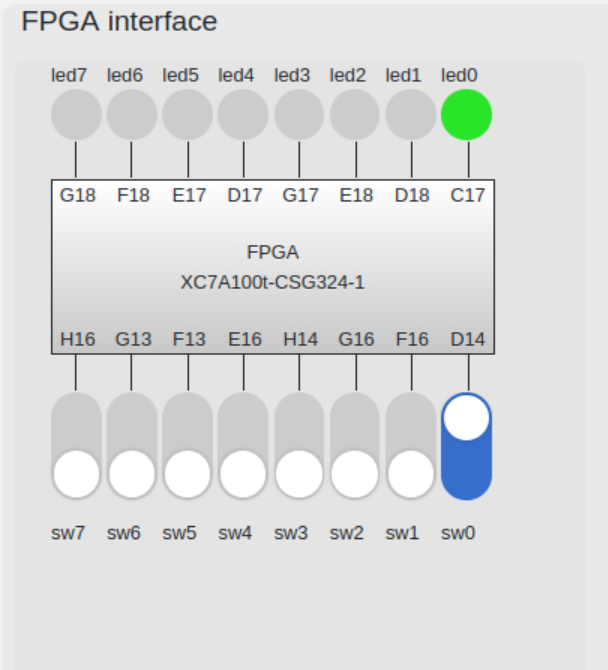


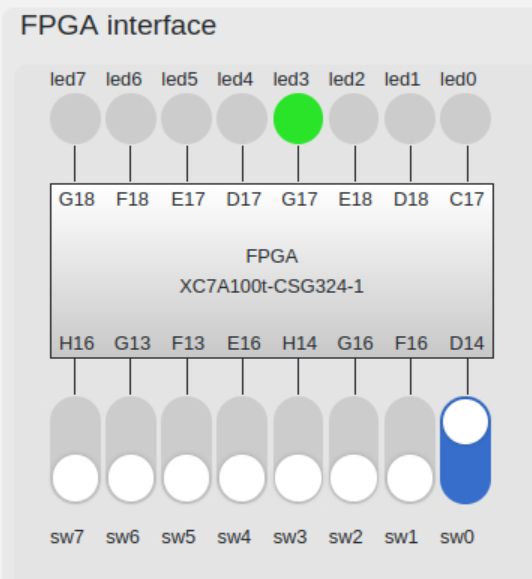
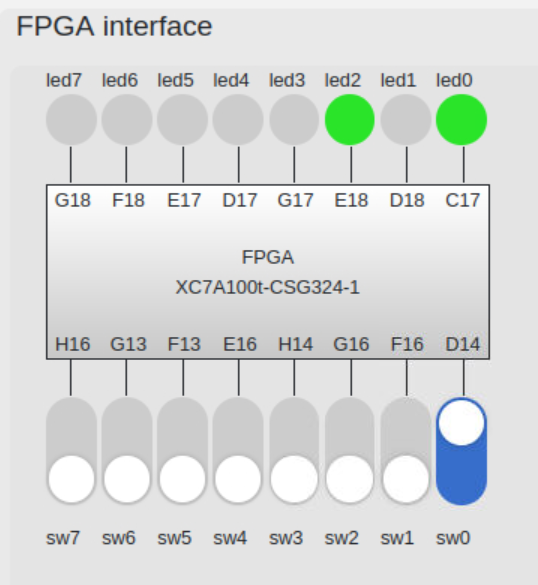
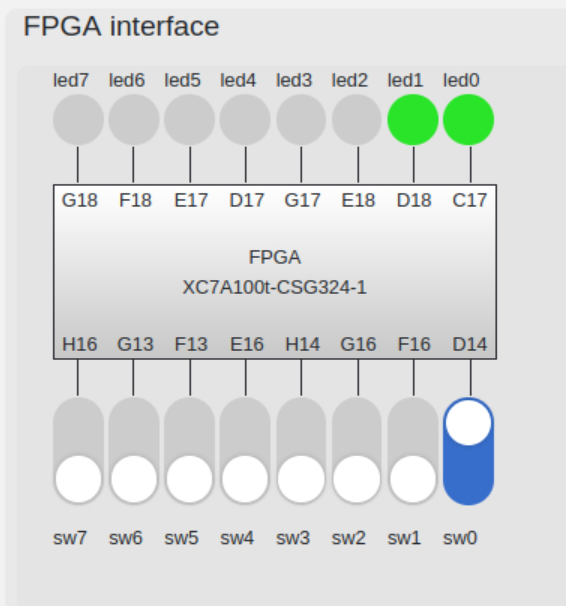




1. **FLS斐波拉契数列bit烧板展示**

**由1得到8为止：**





**六、心得体会：**

本次实验首先以编写基本32位操作数ALU开始，对以前的知识进行复习，之后利用译码器和此ALU编写6位操作数ALU，并练习了Vivado波形仿真。最后计算斐波拉契数列，在FPGA平台上烧写代码。

本次实验，开始写约束文件.xdc时不知道怎么去连接以及clk怎么去写，后来问助教和同学才了解到这个是和我们FPGA管脚对应连接，属于一种硬件连接文件吧。然后就是在写代码过程中，时序逻辑可以含reg，组合逻辑不能含reg！！！这是在开始就要定义好的，我中途搞忘了，然后一直bug找了好久才找到原因……