**计算机组成原理 实验三报告**

姓名：曾郅琛 学号：PB20071431 实验日期：2022-4-7

**一、实验题目：**

Lab03 汇编程序设计

**二、实验目的：**

* 熟悉RISC-V汇编指令的格式
* 熟悉CPU仿真软件Ripes，理解汇编指令执行的基本原理以及数据通路和控制器的协调工作过程
* 熟悉汇编程序的基本结构，掌握简单汇编程序的设计
* 掌握汇编仿真软件RARS使用方法，会用该软件进行汇编程序的仿真、调试以及生成CPU测试需要的指令和数据文件（COE）
* 理解CPU调试模块PDU的使用方法

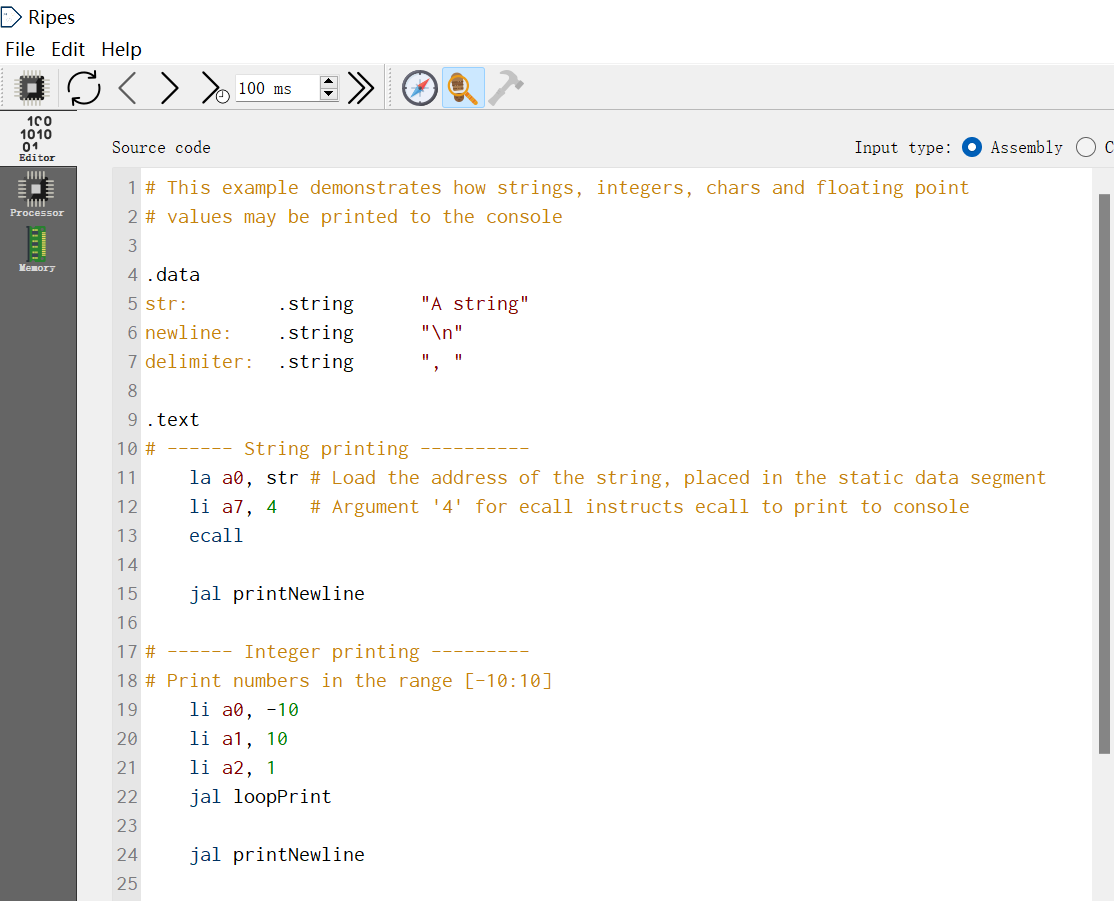
**三、实验平台：**

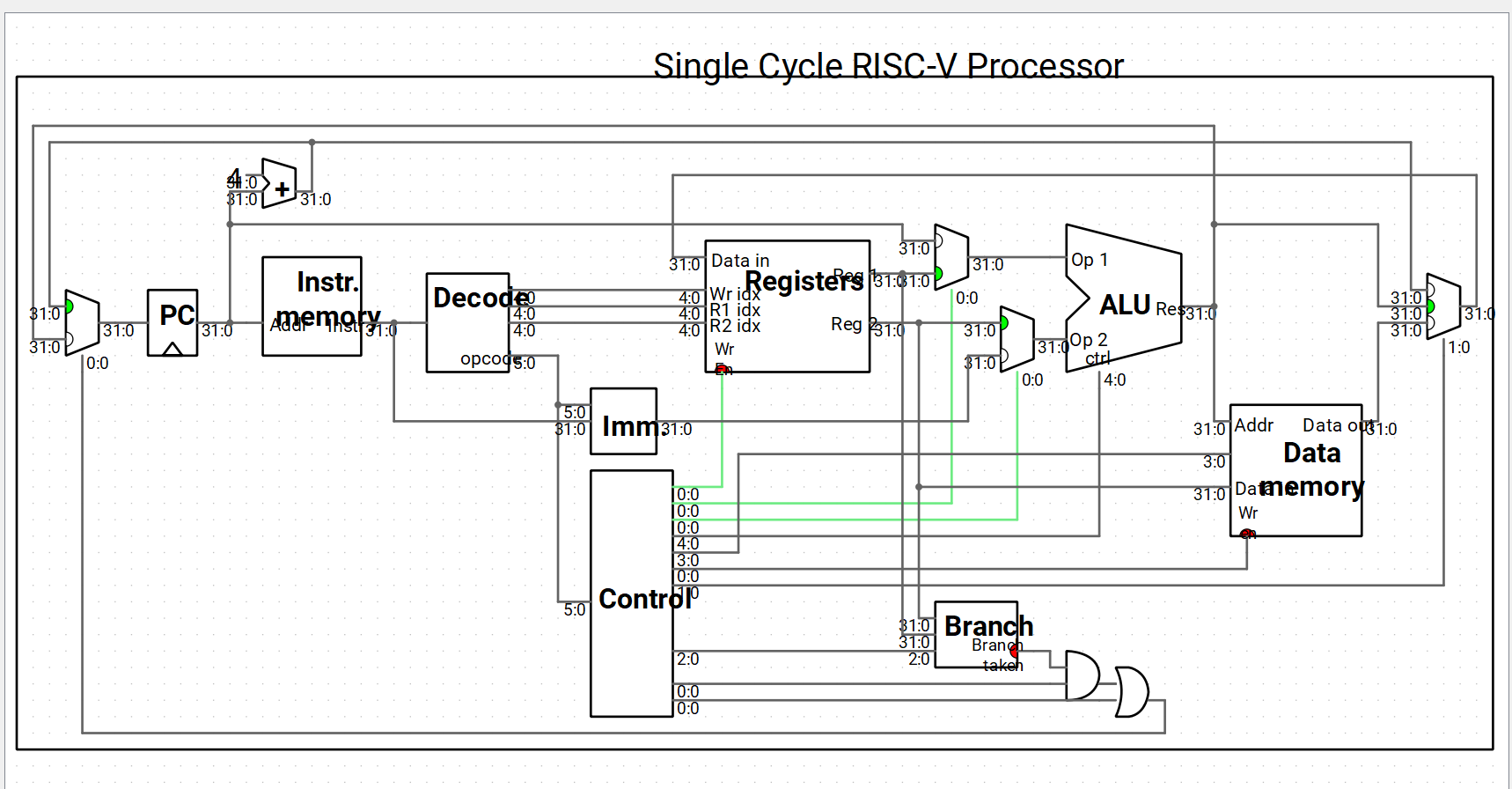
Ripes、RARS

**四、实验过程：**

**4.1.理解并仿真RIPES示例汇编程序**

加载Ripes 示例：Console Printing



**选择单周期CPU数据通路**

**4.2设计汇编程序——计算斐波那契—卢卡斯数列**

**代码展示：**

1. .data
2. a:
3. .word 0
4. n:
5. .word 8
6. .text
7. li s0 1
8. li s1 2
9. la t1 a
10. lw t0 n
11. addi s3 t0 0
12. addi t0 t0 -2
13. beq s3 s0 fo
14. beq s3 s1 ft
15. loop:
16. add s2 s1 s0
17. addi t0 t0 -1
18. addi s0 s1 0
19. addi s1 s2 0
20. beq zero t0 ft
21. jal a0 loop
22. ft:
23. sw s1 (t1)
24. jal a0 exit
25. fo:
26. sw s0 (t1)
27. exit:

**代码解释：**

**（1）初始值**

1. .data
2. a:
3. .word 0
4. n:
5. .word 8
6. .text
7. li s0 1
8. li s1 2
9. la t1 a
10. lw t0 n

初始定义.data迭代次数为8，利用RICV中伪代码li和la分别将数列前两项赋给s0、s1以及把初始值赋给t1，t0，以后面比较与运算。

**（2）主循环**

1. addi s3 t0 0
2. addi t0 t0 -2
3. beq s3 s0 fo
4. beq s3 s1 ft
5. loop:
6. add s2 s1 s0
7. addi t0 t0 -1
8. addi s0 s1 0
9. addi s1 s2 0
10. beq zero t0 ft
11. jal a0 loop

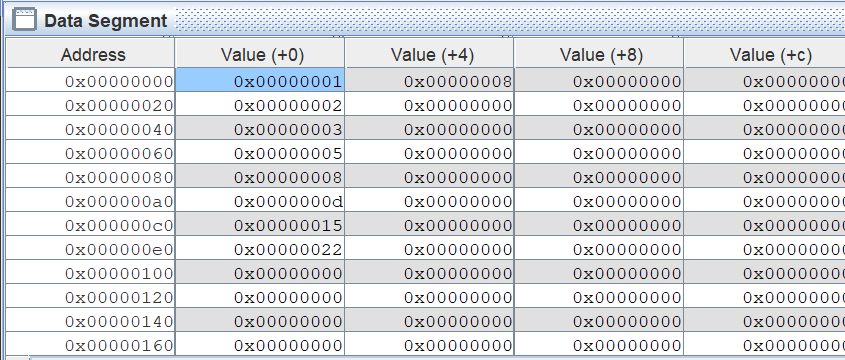
当循环结束时，beq分支判断分别进入两个分支（fo，ft）。在正常循环中 进入loop循环，s2为斐波拉契数后继数s2=s1+s0，迭代数t0减一，后用s0，s1

储存原来值，进入下一个循环。同时判断0与t0的大小，判断循环是否结束。最后跳转指令jal回到loop：

**（3）结束分支**

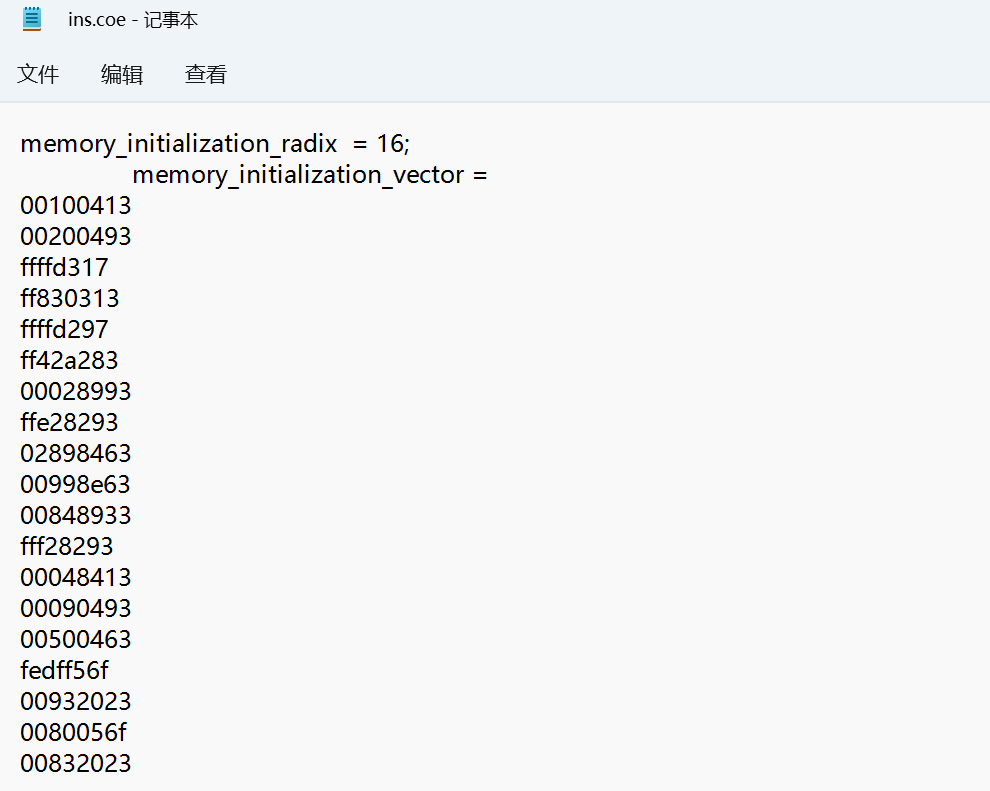
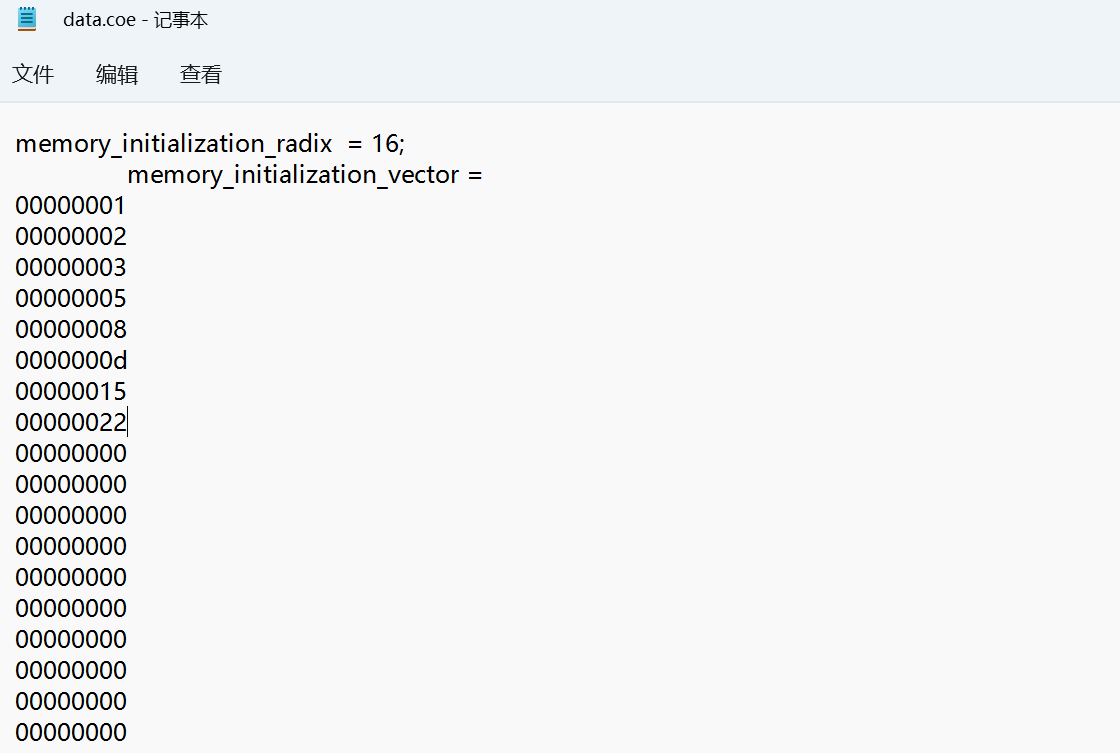
1. ft:
2. sw s1 (t1)
3. jal a0 exit
4. fo:
5. sw s0 (t1)
6. exit：

寄存器数据：



**生成.coe文件**

采用记事本分别打开生成的ins.coe和data.coe，在文档的最开始加上以下语句后保存：memory\_initialization\_radix = 16;memory\_initialization\_vector =

**五、心得体会：**

本次实验较为容易，因为之前llxx老师在课内作业已经训练过汇编代码编写，斐波拉契数列在lab1也完成了FPGA实现。总体比较简单。