

**数字电路系列远程实验报告**

**实验二 组合逻辑研究实验（二）**

**学 院： 网络与信息安全学院**

**班 级： 信安11班**

**姓 名：**

**学 号：**

**实验日期： 2023 年 5 月 10 日**

**电工电子实验教学中心**

**Laboratories of Electrotechnics & Electronics**

# 实验二 组合逻辑研究实验(二)

**一、实验目的**

1. 了解并掌握用SSI器件实现简单组合逻辑电路的方法。

2. 了解编码、译码与显示的工作原理。

3. 掌握用MSI器件实现4位全加器的方法,并掌握全加器的应用。

**一、实验目的**

1. 了解译码器、数据选择器的工作原理及其功能。

2. 掌握用译码器，数据选择器实现组合逻辑电路的方法。

**二、实验所用仪器设备**

1. 万用表 1台；

2. 直流稳压电源 1台；

3. 数字电路实验板 1套；

4. 计算机 1台。

**三、实验任务及要求**

**1. 基本实验器件**

给定器件为3线-8线译码器（74LS138）1只，8选1数据选择器（74LS151）1只，双2线-4线译码器（74LS139）一只，双4选1数据选择器（74LS153）1只，三3输入与非门（74LS10）1只，双4输入与非门（74LS20）1只，四2输入与非门（74LS00）1只，七段字形译码器（74LS48）1只，共阴极数码管（LTS-547RF）1只。

**2. 基本命题**

（1）用3-8译码器74LS138和门电路实现三变量多数表决器电路。

（2）用3-8译码器74LS138实现逻辑函数：

；

 。

（3）用3-8译码器74LS138和门电路实际一个数字显示报警电路。

要求：用译码器、显示电路来显示，装置共有3个警报信号，当第一路有警报信号时，数码管显示1；当第二路有警报信号时，数码管显示2；当第三路有警报信号时，数码管显示3；当两路以上有警报信号时，数码管显示8；当无警报信号时，数码管显示0。

（4）用8选1数据选择器（74LS151）实现函数：

 。

**4. 实验要求**

熟悉实验命题后，先进行电路的设计，然后在计算机上进行虚拟仿真实验。

仿真运行正确后，再在实验板上搭建硬件电路，观察并记录实验结果，对实验过程和结果进行分析整理，最后撰写实验报告、整理文档，对实验进行总结。

**四、实验说明及思路提示**

本实验主要用了两种MSI组合逻辑器件：译码器和数据选择器，下面分别予以介绍。

**1.译码器**

译码器是一个多路输入、多路输出的组合逻辑电路，其功能是将输入的一组二进制代码译成与其相应的特定含义（如十进制、地址线、指令等）。常见的MSI译码器有2-4译码器（74LS139）、3-8译码器（74LS138）、4-16译码器（74LS154）等。下面主要介绍3-8译码器74LS138。

3-8译码器74LS138外引线排列图和功能表分别如图1和表1所示。它有三个使能端，只有同时满足时才允许译码，如果其中有一个条件不满足，就禁止译码。设置多个使能端的目的是利用使能端可以组成各种电路。除了使能端以外，它有三个地址端，8个数据输出端。选定哪一个输出有效，取决于地址端，例如，当地址端时，输出选为低电平，其它输出为高电平，以此类推。



图1 74LS138管脚图

表1 74LS138功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | .. |  |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
|  | 1 |  |  |  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

**2.数据选择器**

数据选择器又称多路开关（MUX），是一个多路输入，单端输出（有的具有互补输出端）的组合逻辑器件。其工作原理类似于一个单刀多掷开关，在地址码（或称选择输入端）的控

制下将某一路的输入作为输出，以实现多通道数据传输。数据选择器有74LS157（四2选1MUX），74LS153（双4选1MUX），74LS151（8选1MUX），74LS150（16选1MUX）等。

这里主要介绍8选1数据选择器74LS151。

74LS151是一个8选1数据选择器，它的外引线排列图和功能表分别如图5.4和表5.7所示。它有一个选通允许端即使能端E，低电平有效，有8个数据输入端，三个地址端，Y是被选中数据的原码输出端，是被选中数据的反码输出端。输出端的状态取决于地址端，当三个地址端 时，输出，，就是说，为高电平，Y即为高电平，为低电平，Y即为低电平，以此类推。



图5.4 74LS151外引线排列图

表2 74LS151功能表

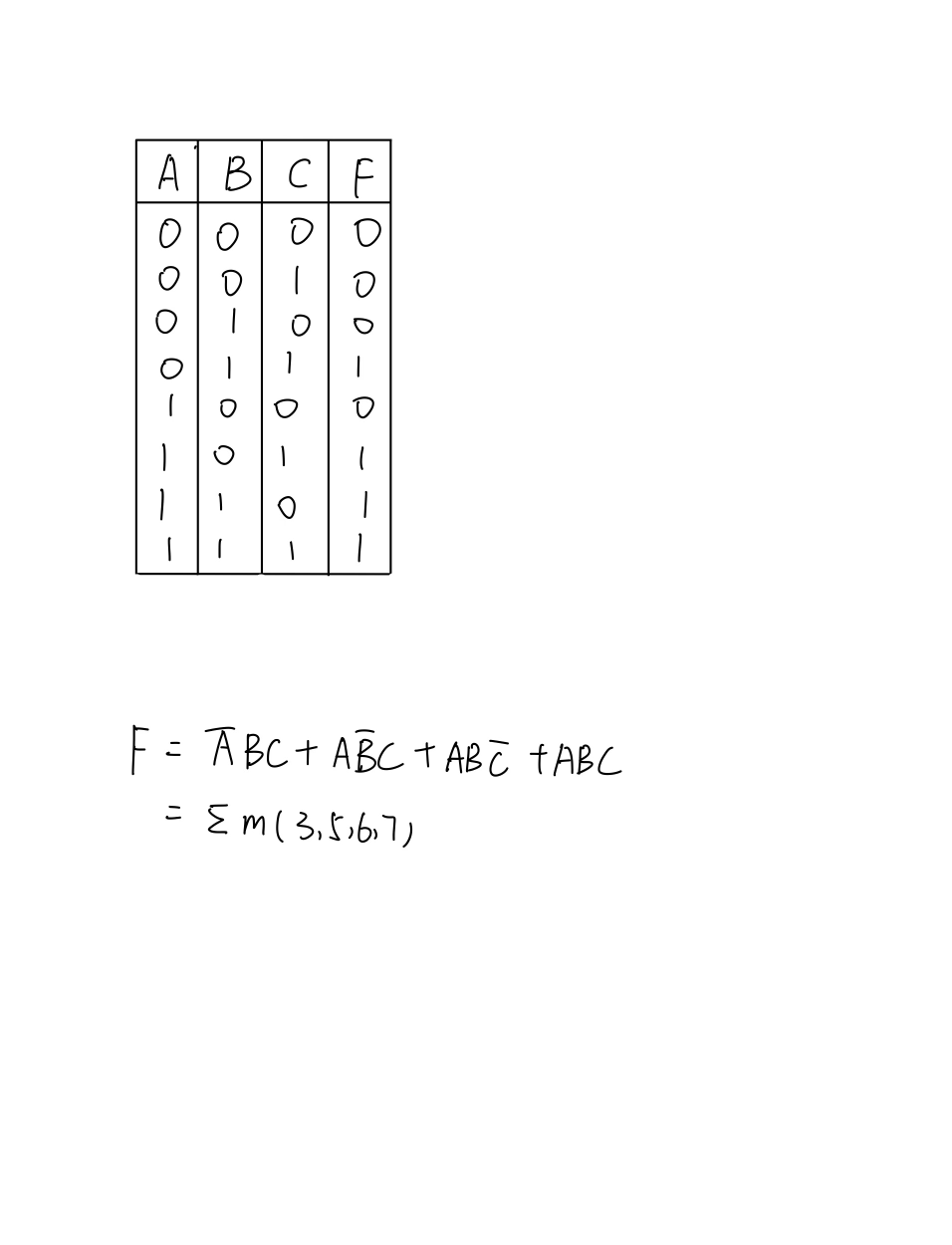
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  | *Y* |  |
| 1 |  |  |  | 0 | 1 |
| 0 | 0 | 0 | 0 |  |  |
| 0 | 0 | 0 | 1 |  |  |
| 0 | 0 | 1 | 0 |  |  |
| 0 | 0 | 1 | 1 |  |  |
| 0 | 1 | 0 | 0 |  |  |
| 0 | 1 | 0 | 1 |  |  |
| 0 | 1 | 1 | 0 |  |  |
| 0 | 1 | 1 | 1 |  |  |

**五、实验设计过程**

**1. 实验内容1设计**

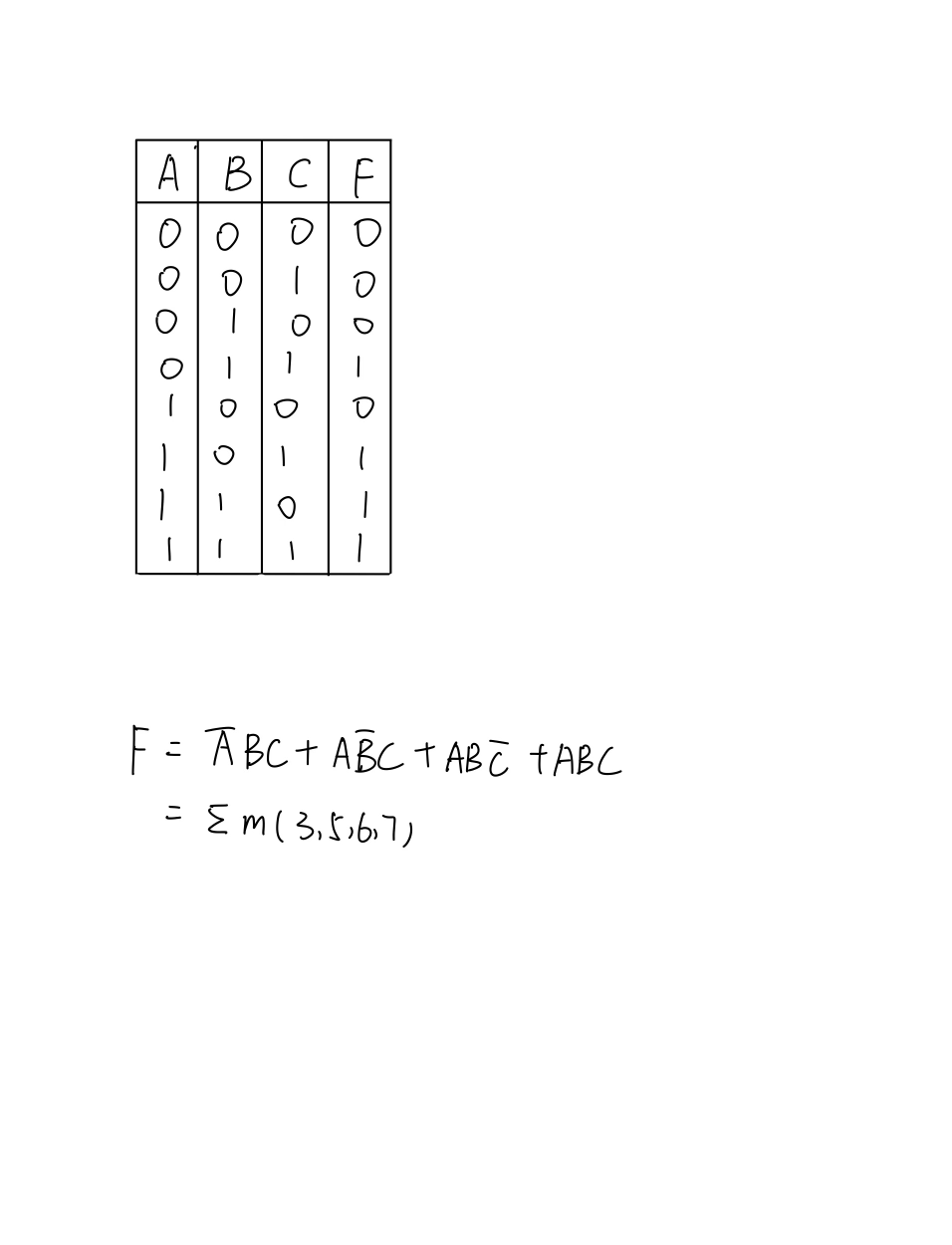
1.1 真值表及相关描述

三变量多数表决器电路，即当两个及以上的输入为1时，74LS138的输出即为1，表示多数人同意，输出为1表示通过。

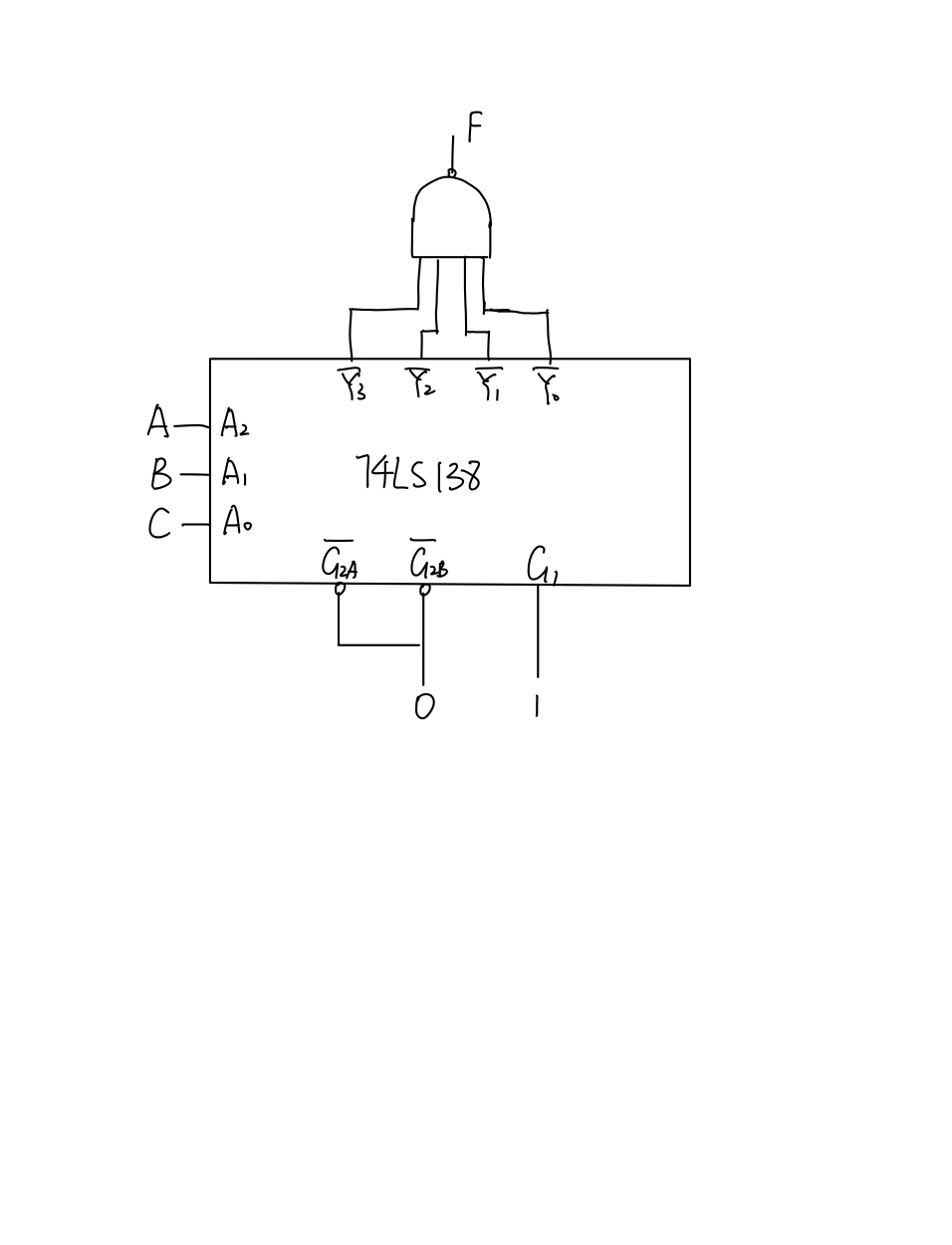


1.2 表达式及相关描述

对于74LS138，主要观察其最小项。易知当输入最小值为3、5、6、7时，ABC中有两个及以上为1,。



1.3 电路图



**2. 实验内容2设计**

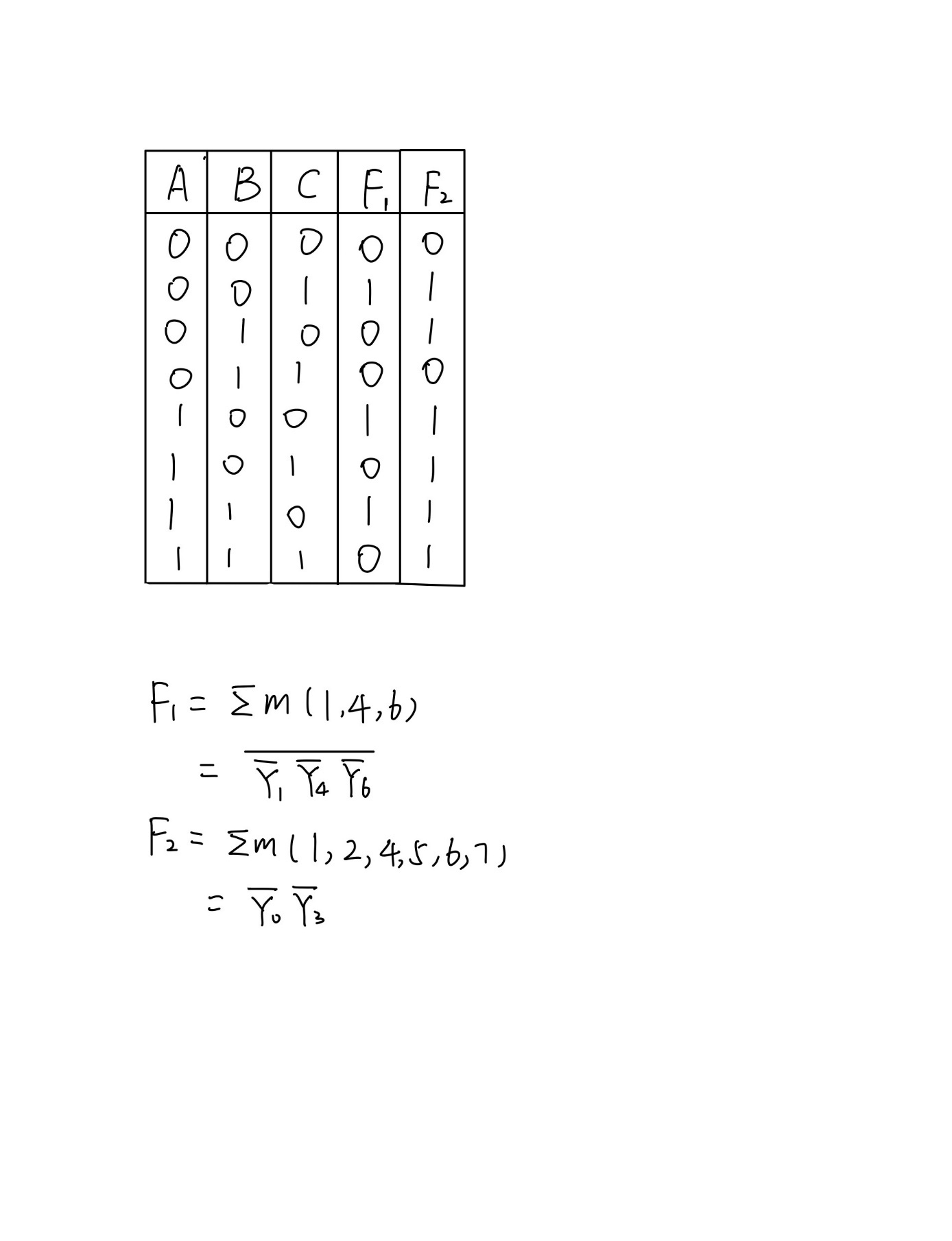
2.1 真值表及相关描述

通过3-8译码器实现F1和F2，其真值表表示为，ABC对应的十进制数在最小值处，输出F为1.

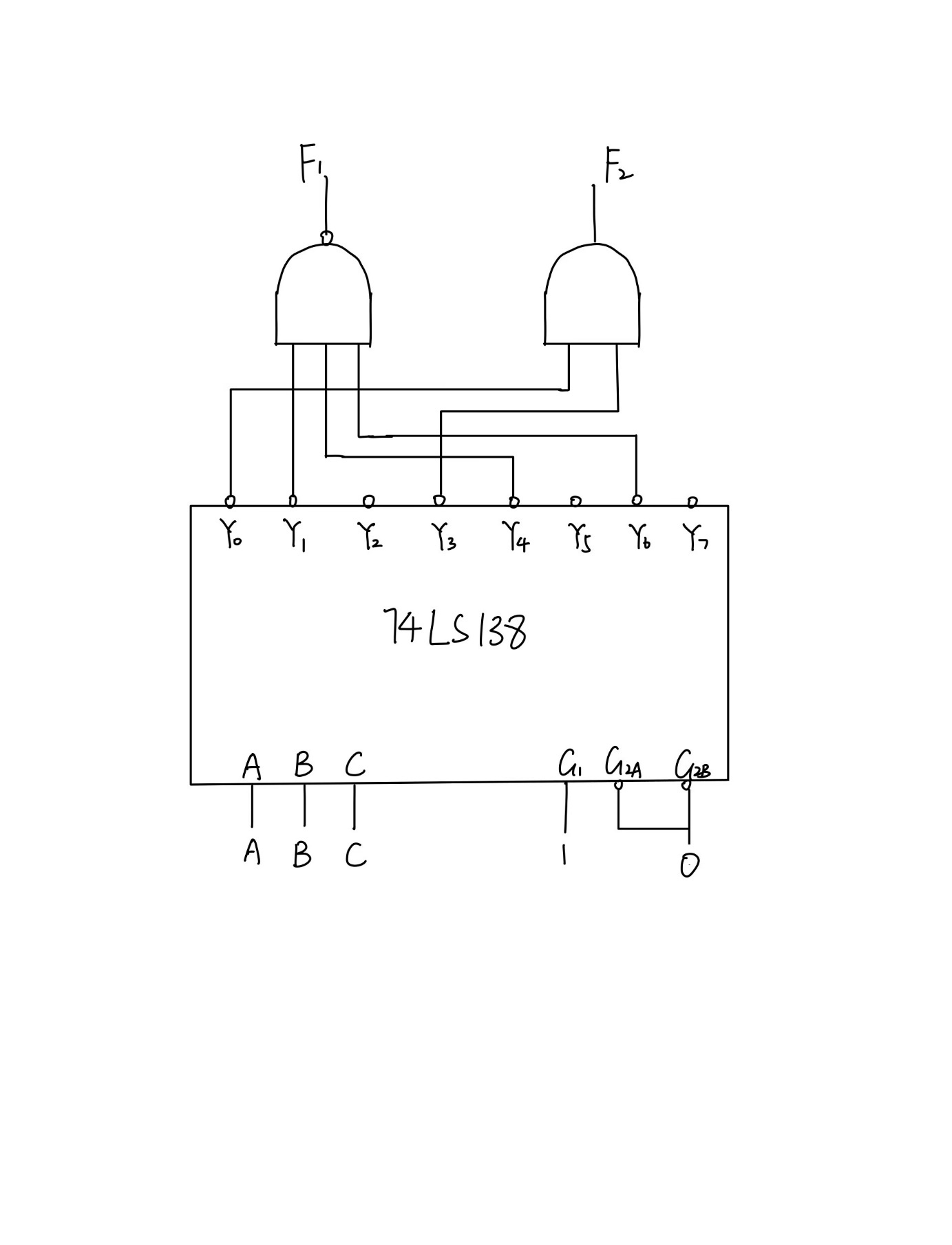


2.2 表达式及相关描述

对于最小值数量较小的F1，可以使用与非门，直接对3-8译码器的1、4、6引脚取与非；对于最小值数量较多的F2，可以使用与门，直接对3-8译码器的0、3引脚取与。



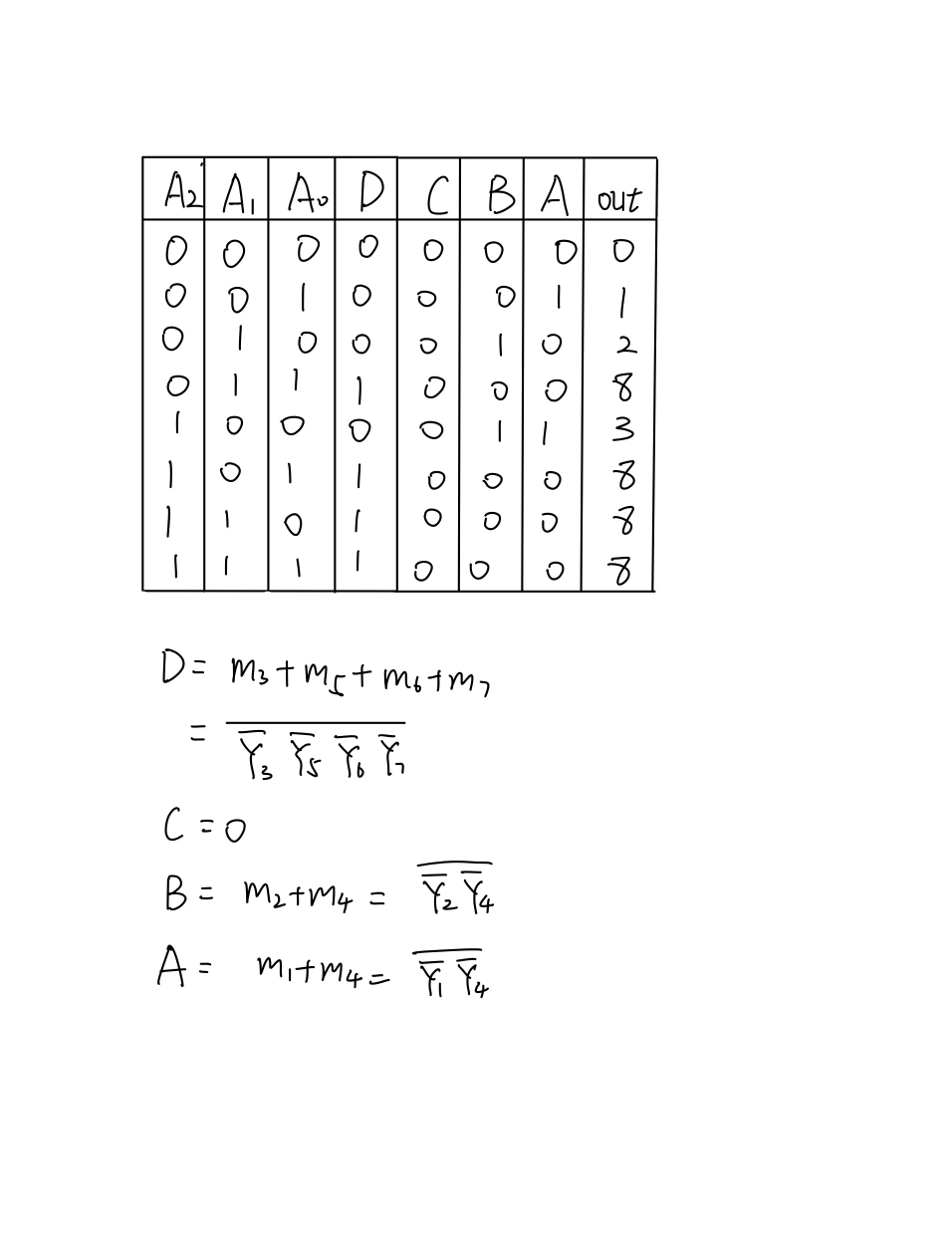
2.3 电路图



**3. 实验内容3设计**

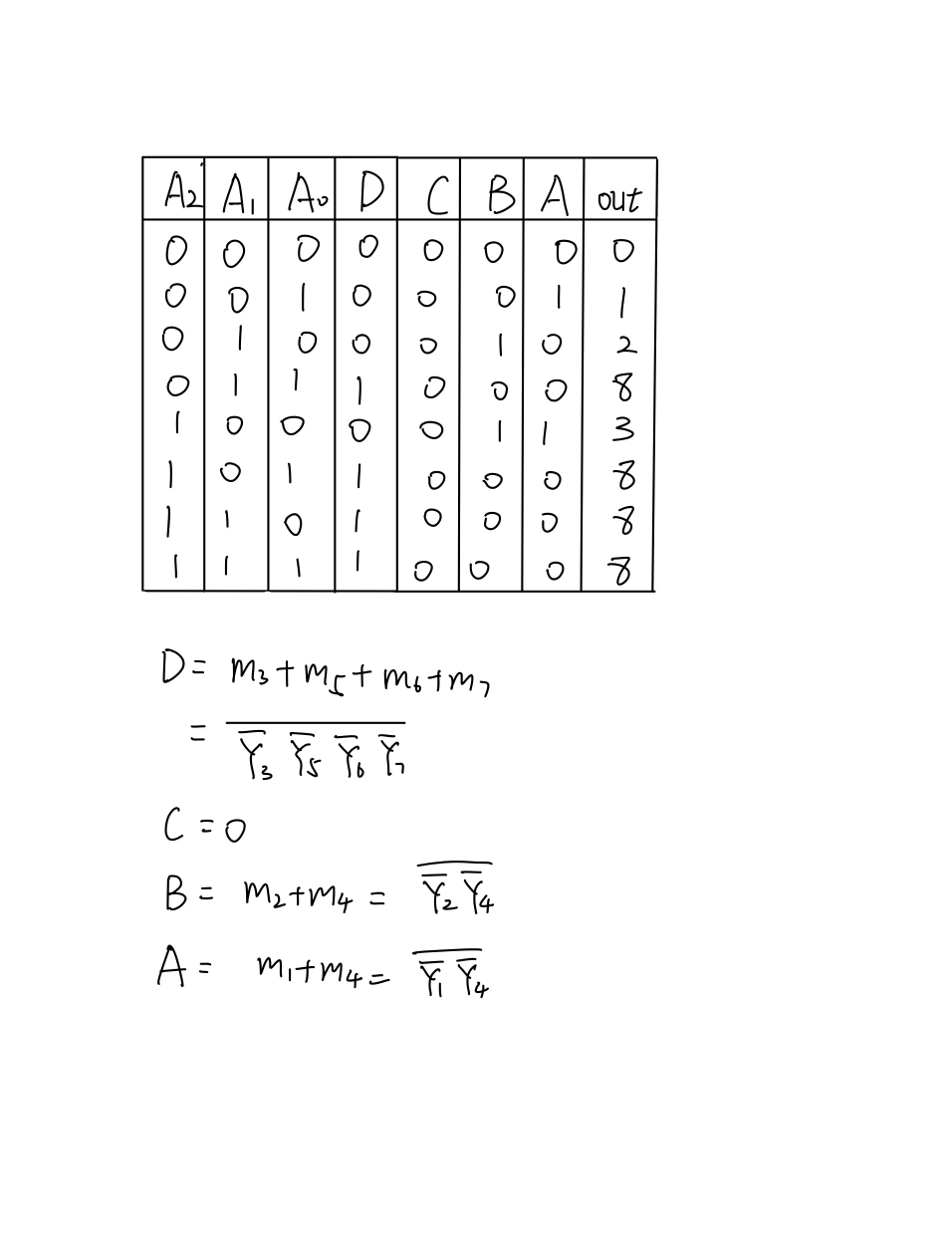
3.1 真值表及相关描述

该真值表按照描述画出即可，即A0、A1、A2均为0时，输出为0；仅A0为1时，输出为1；仅A1为1时，输出为2；仅A2为1时，输出为3；其他情况下输出为8.

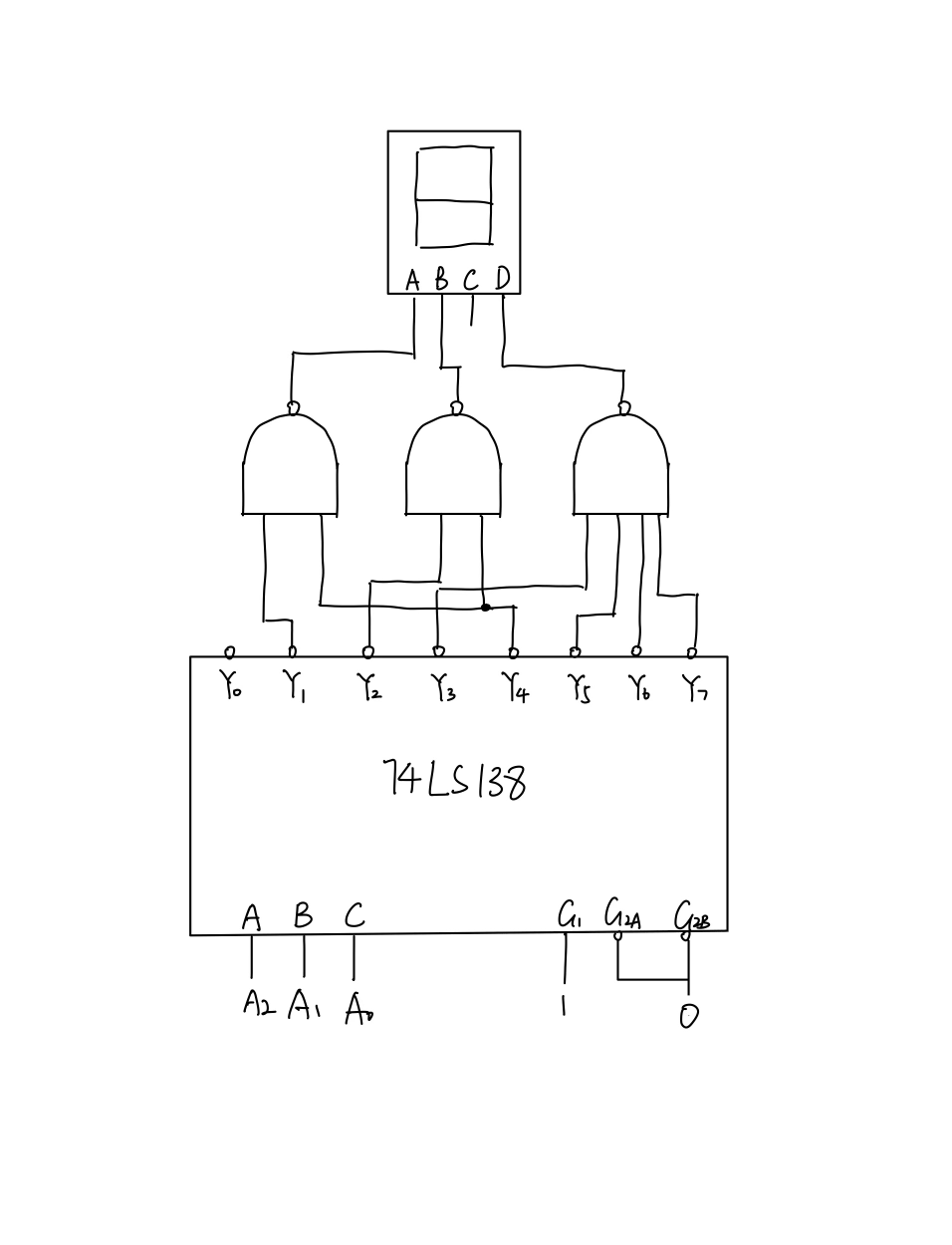


3.2 表达式及相关描述

由于要连接到数码管，对于显示方面，当A0、A1、A2均为0时，输出为0，数码管的ABCD均为低电平；仅A0为1时，A为高电平；仅A1为1时，B为高电平；仅A2为1时，AB均为高电平；其他情况下D为低电平，据此画卡诺图化简，得出下列表达式.



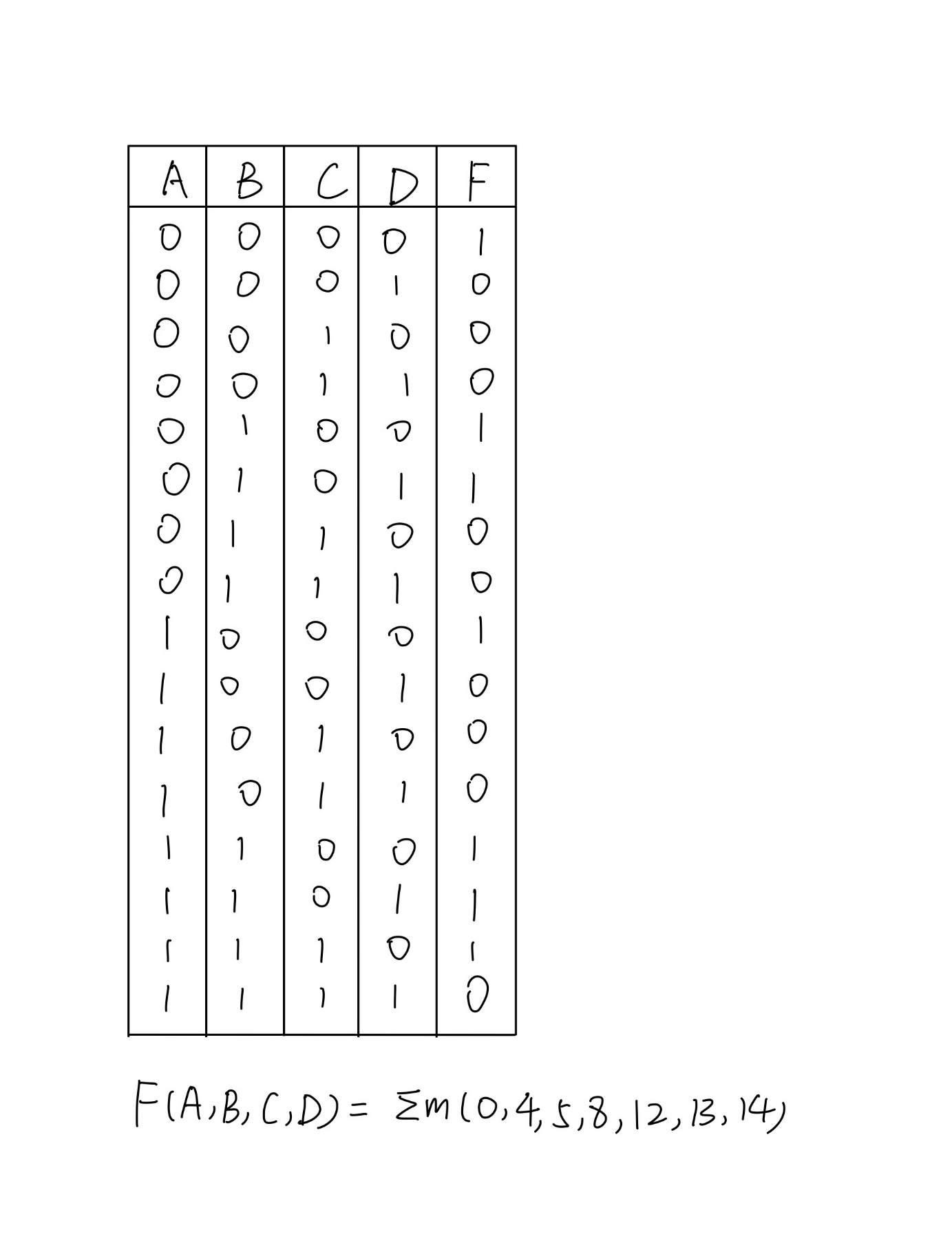
3.3 电路图



**4. 实验内容4设计**

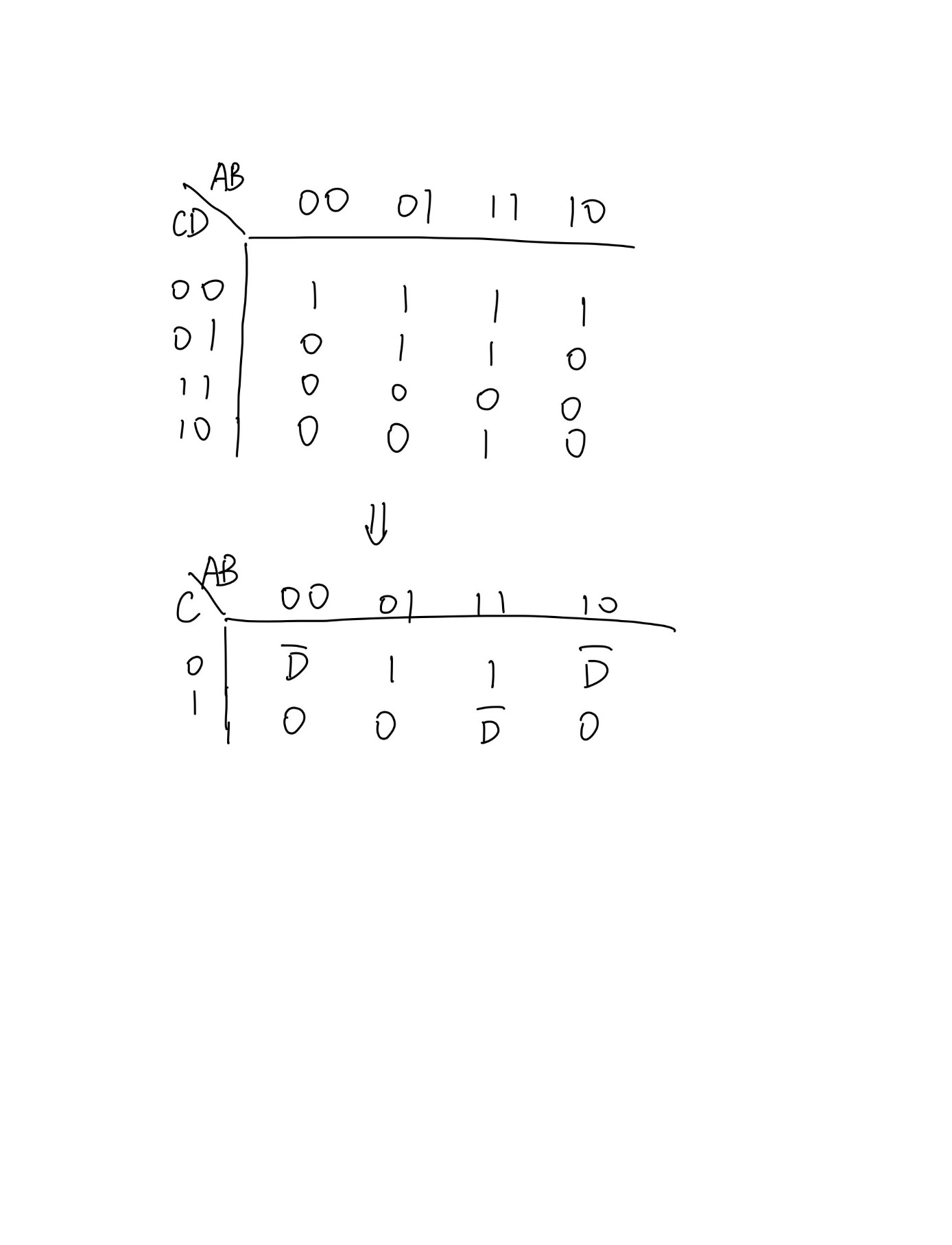
4.1 真值表及相关描述

实现函数F，将十进制的最小值换算成二进制数，对应的ABCD输出为1即可。

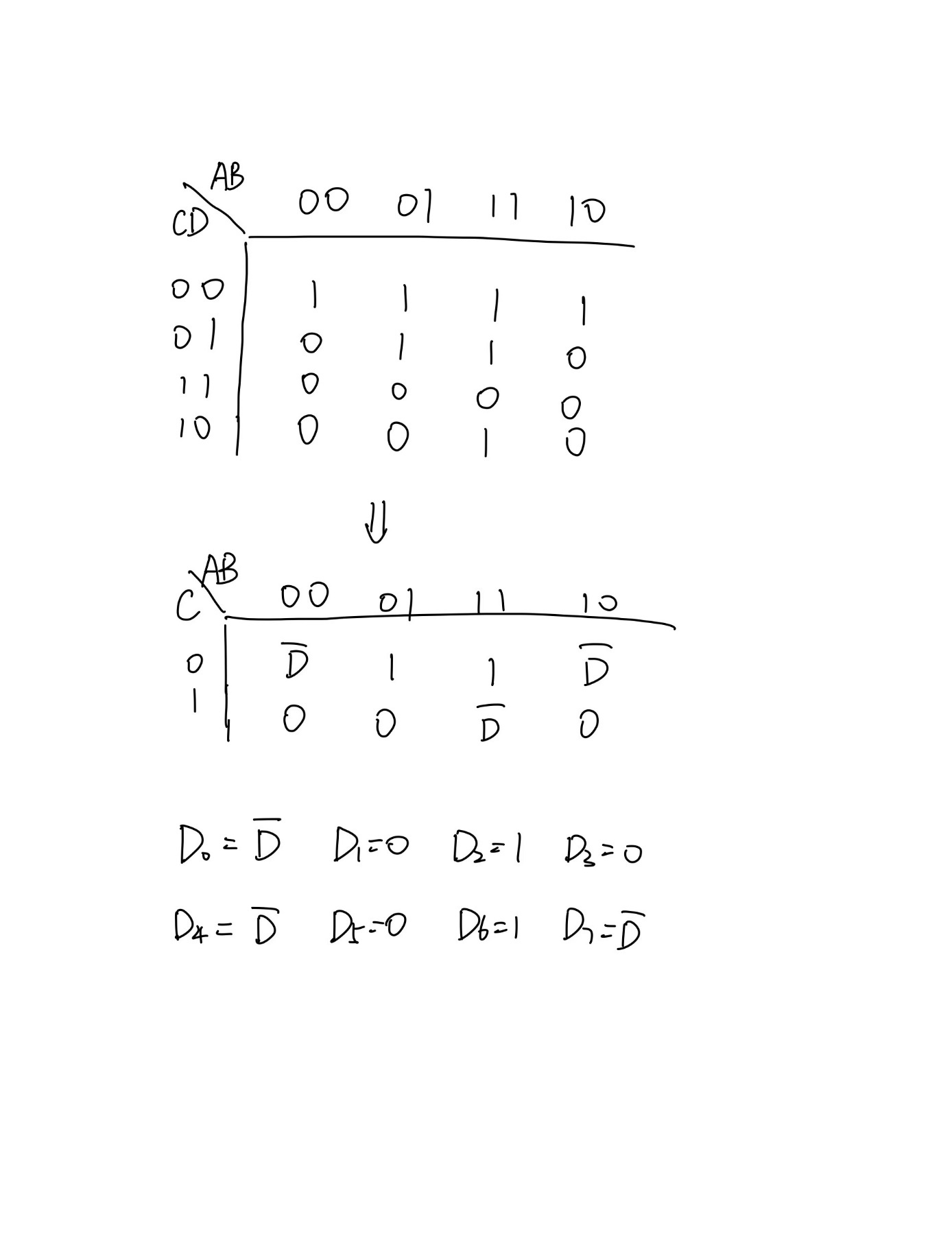


4.2 **地址端、数据端的选择及分配过程**

由于74LS138只有三个输入端，故需要对四个输入进行转化，此处地址端选择ABC三个输入，数据段引入D，据此我们可以画出如下化简卡诺图：

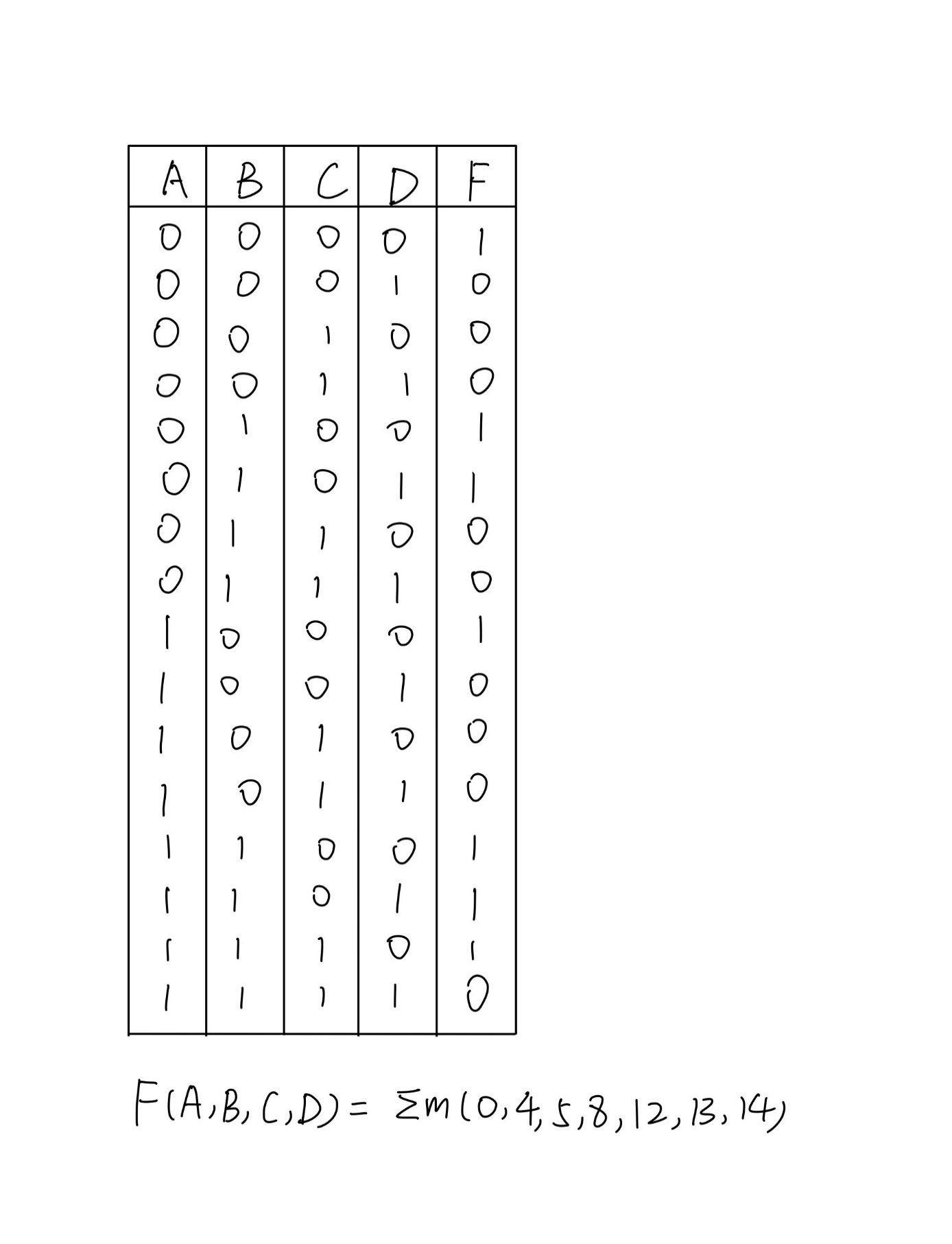


根据这个卡诺图，我们可以确定数据选则端的输入，即：

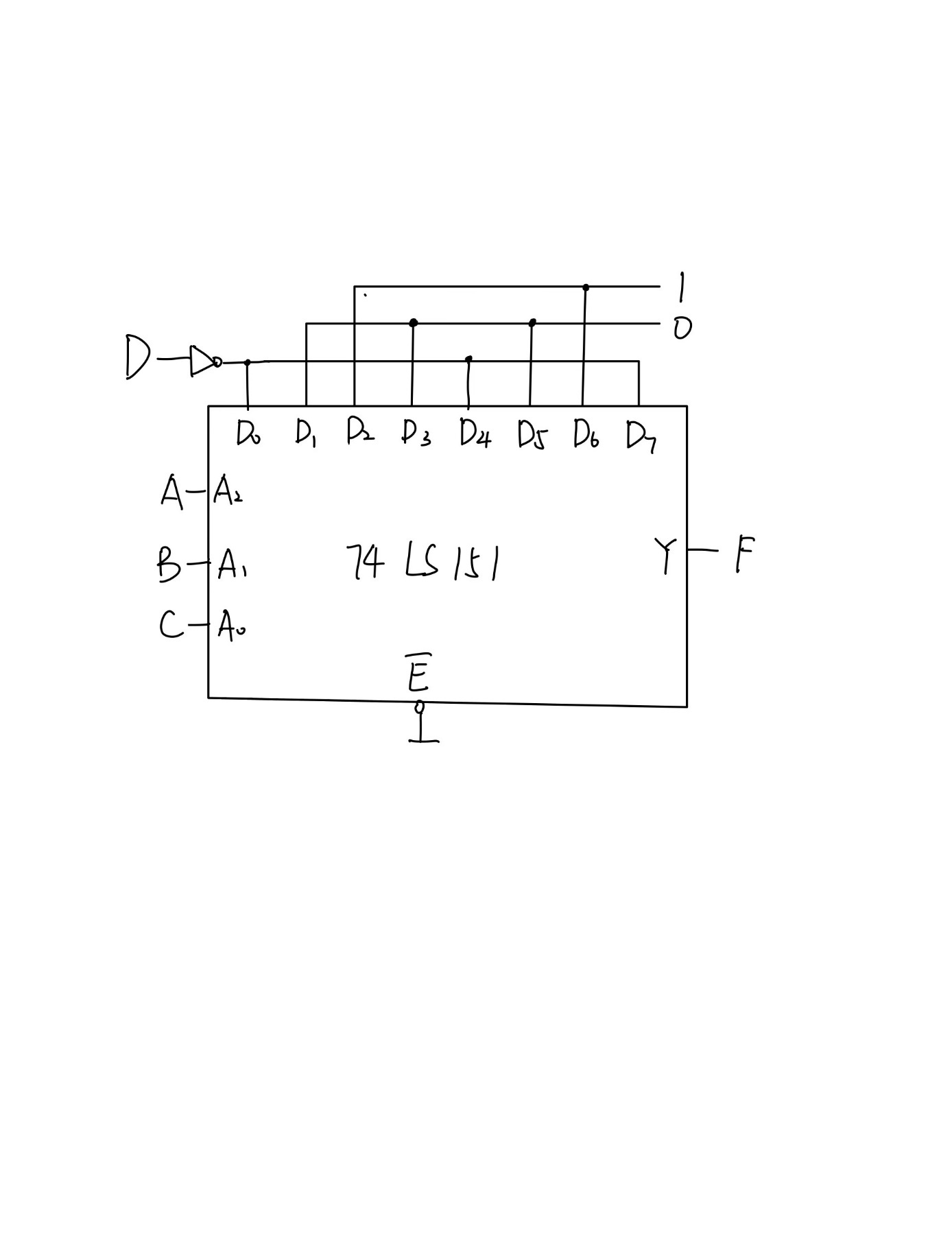


4.3 表达式及相关描述

表达式可以直接根据最小值写出。



4.4 电路图

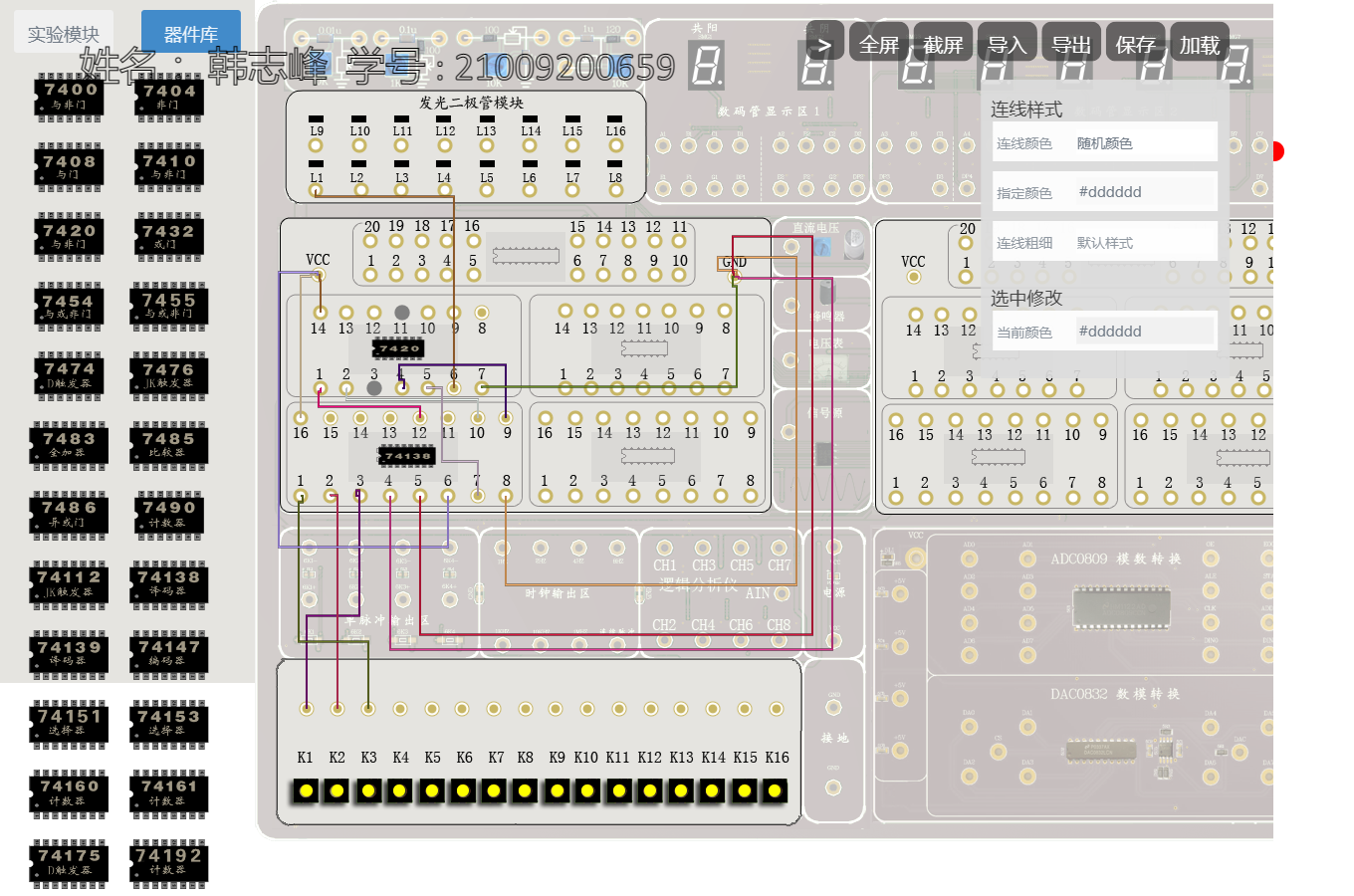


**六、数据记录与处理**

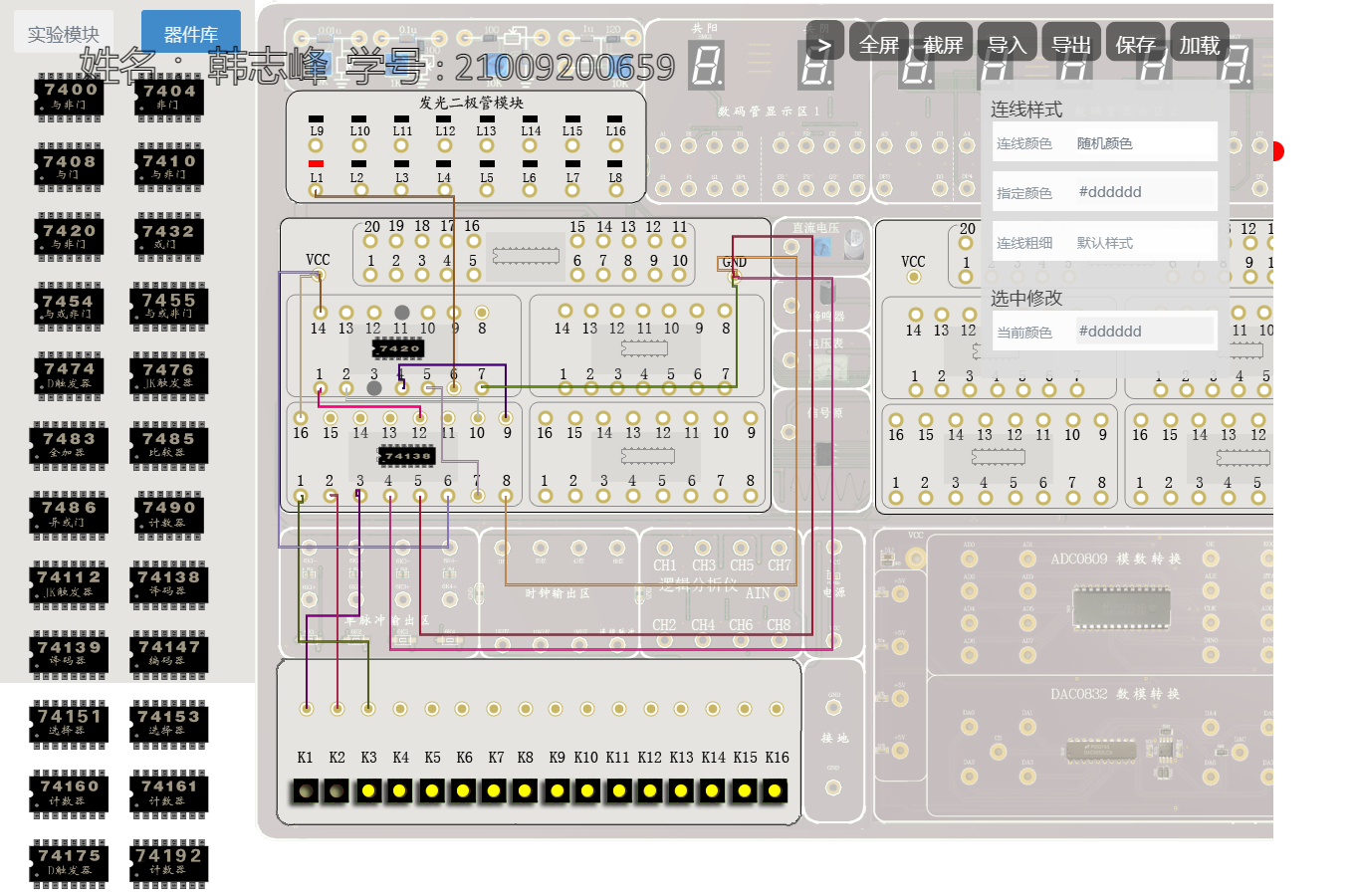
**1. 实验内容1：**

① 线上实验平台截图

C、B、A 3人，逻辑电平输入为000时，输出结果：



C、B、A 3人，逻辑电平输入为110时，输出结果：



② 实验数据记录

真值表：

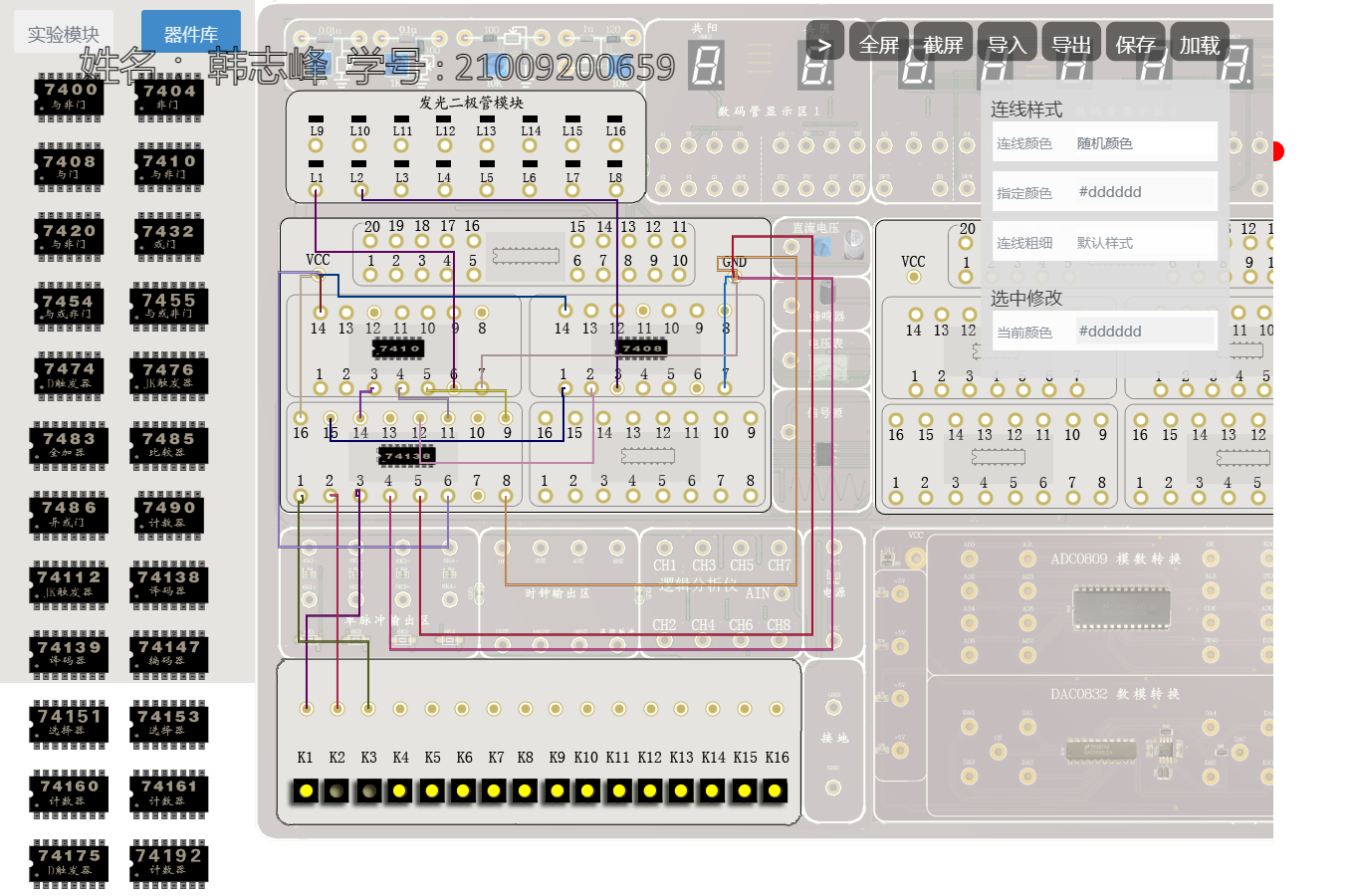
|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

公式：

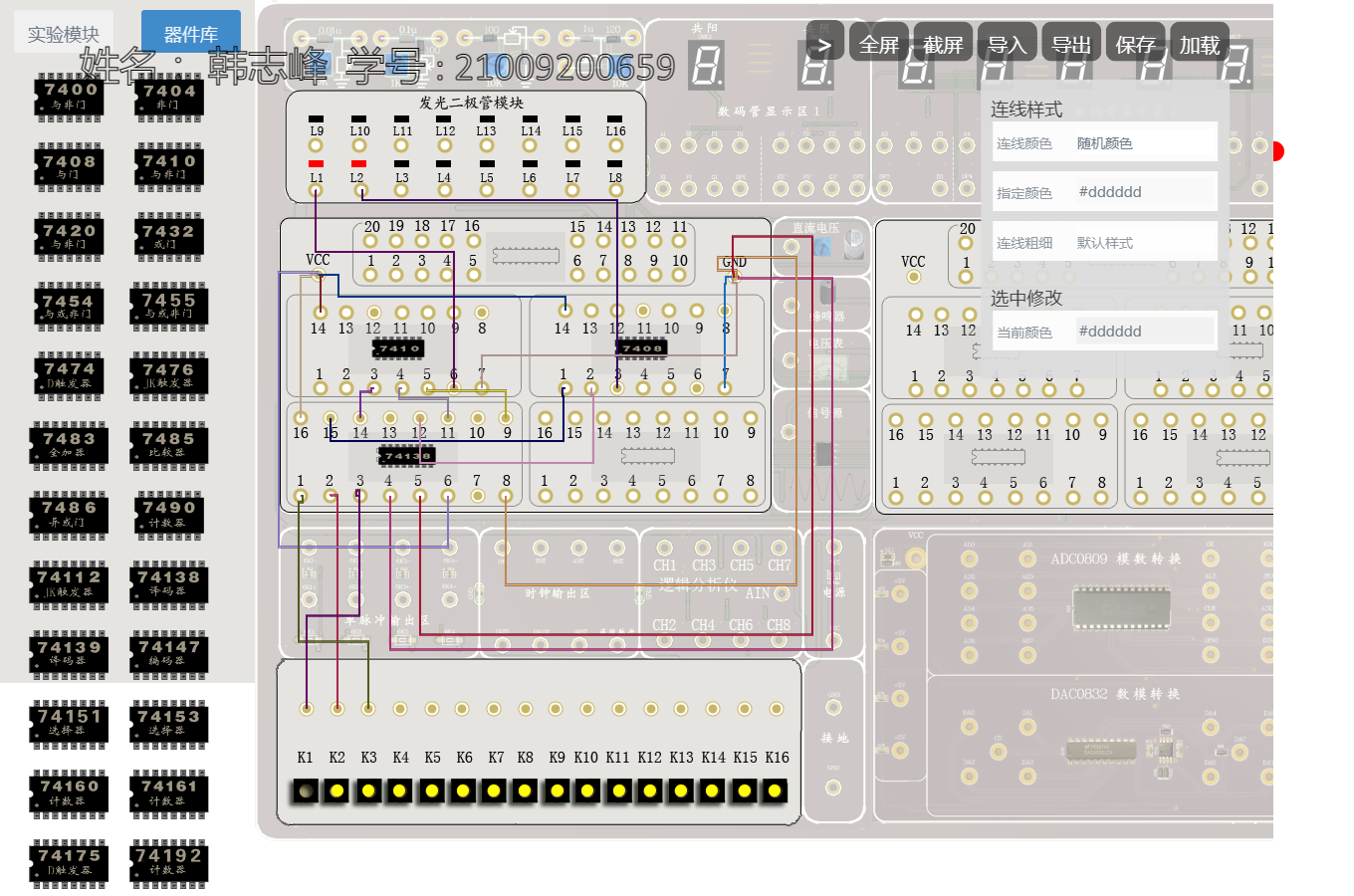
**2. 实验内容2：**

① 线上实验平台截图

C、B、A逻辑电平输入为011时，输出结果：



C、B、A逻辑电平输入为100时，输出结果：



② 实验数据记录

真值表：

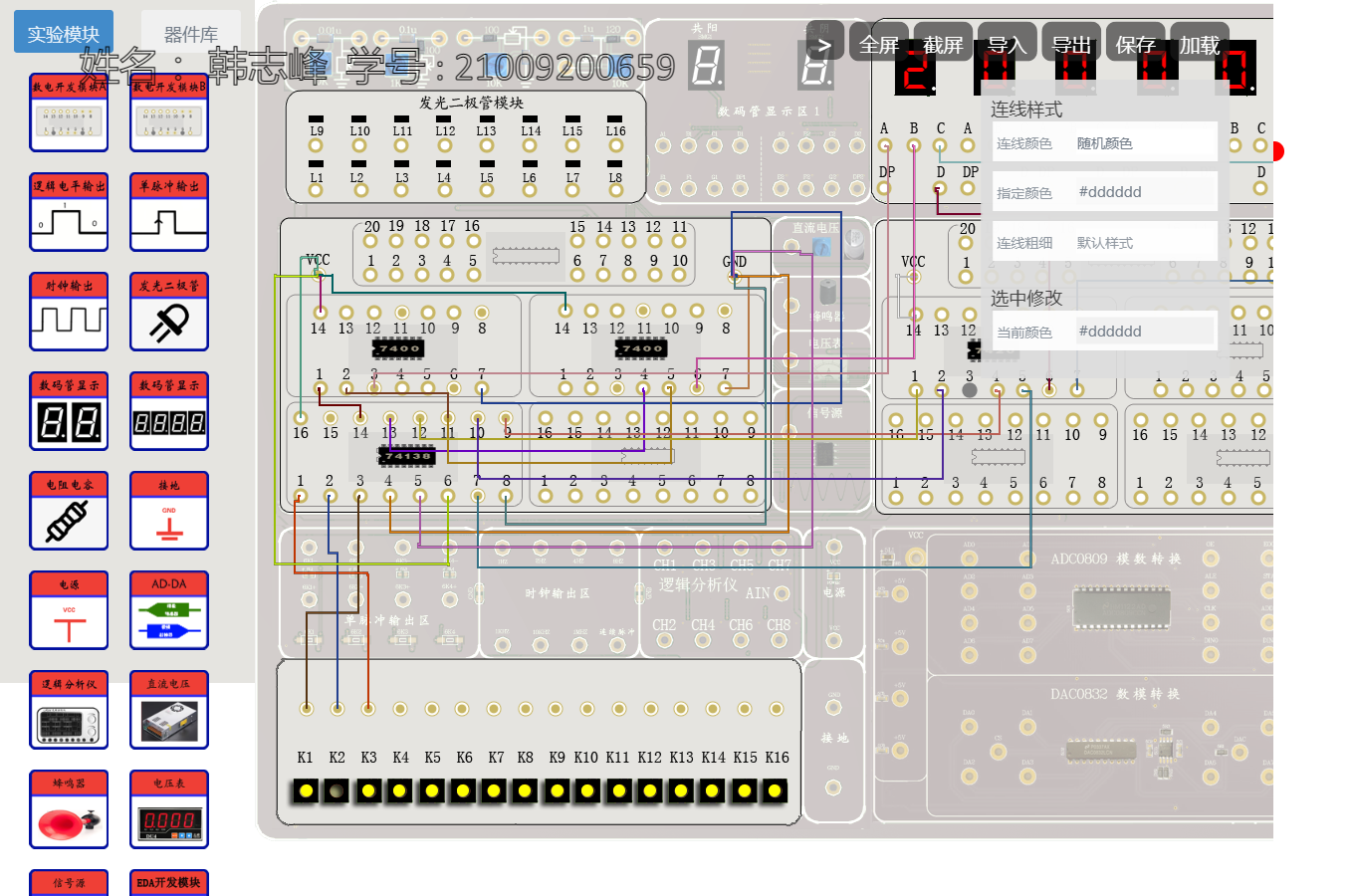
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |

公式：

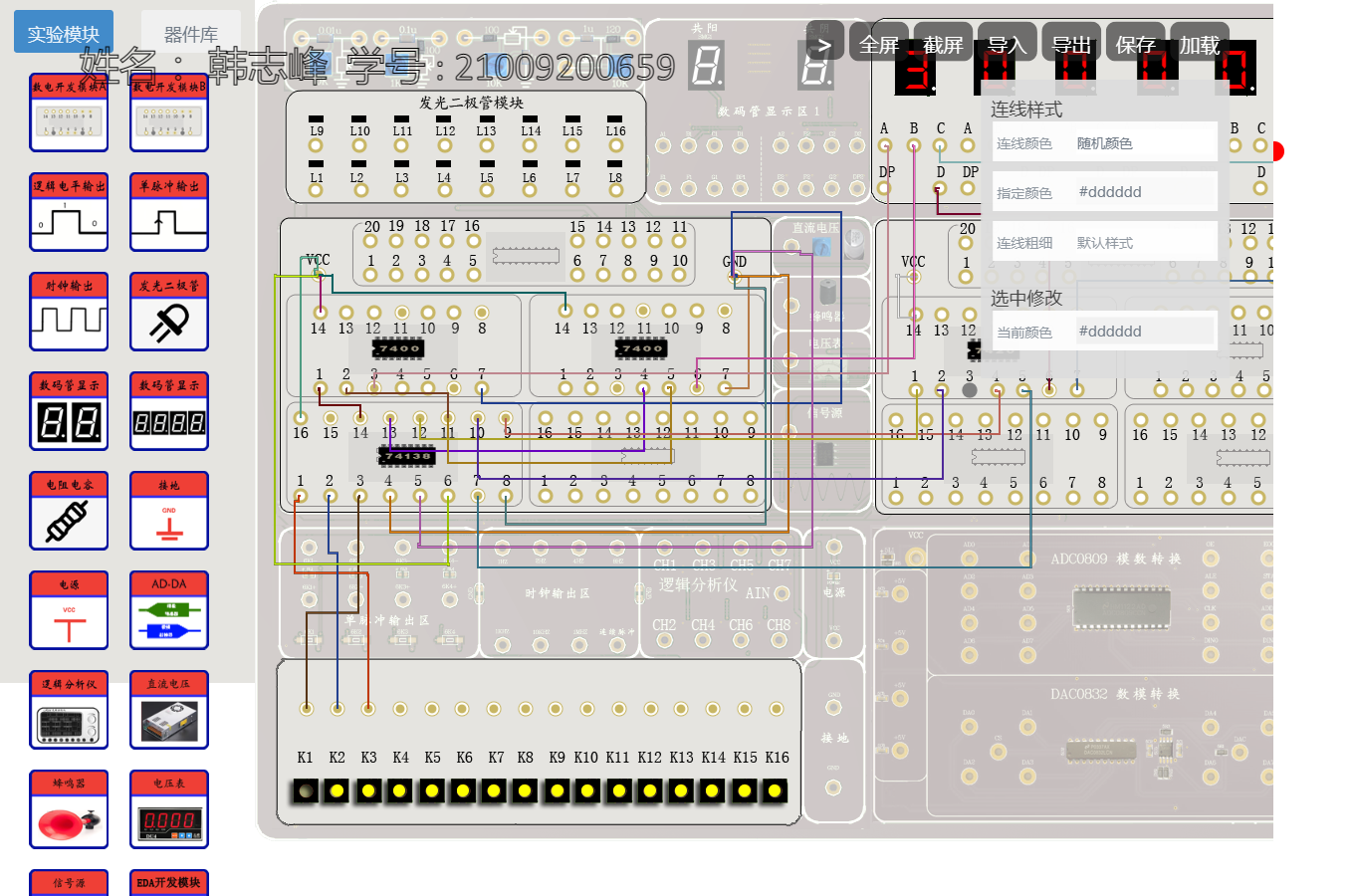
**3. 实验内容3：**

① 线上实验平台截图

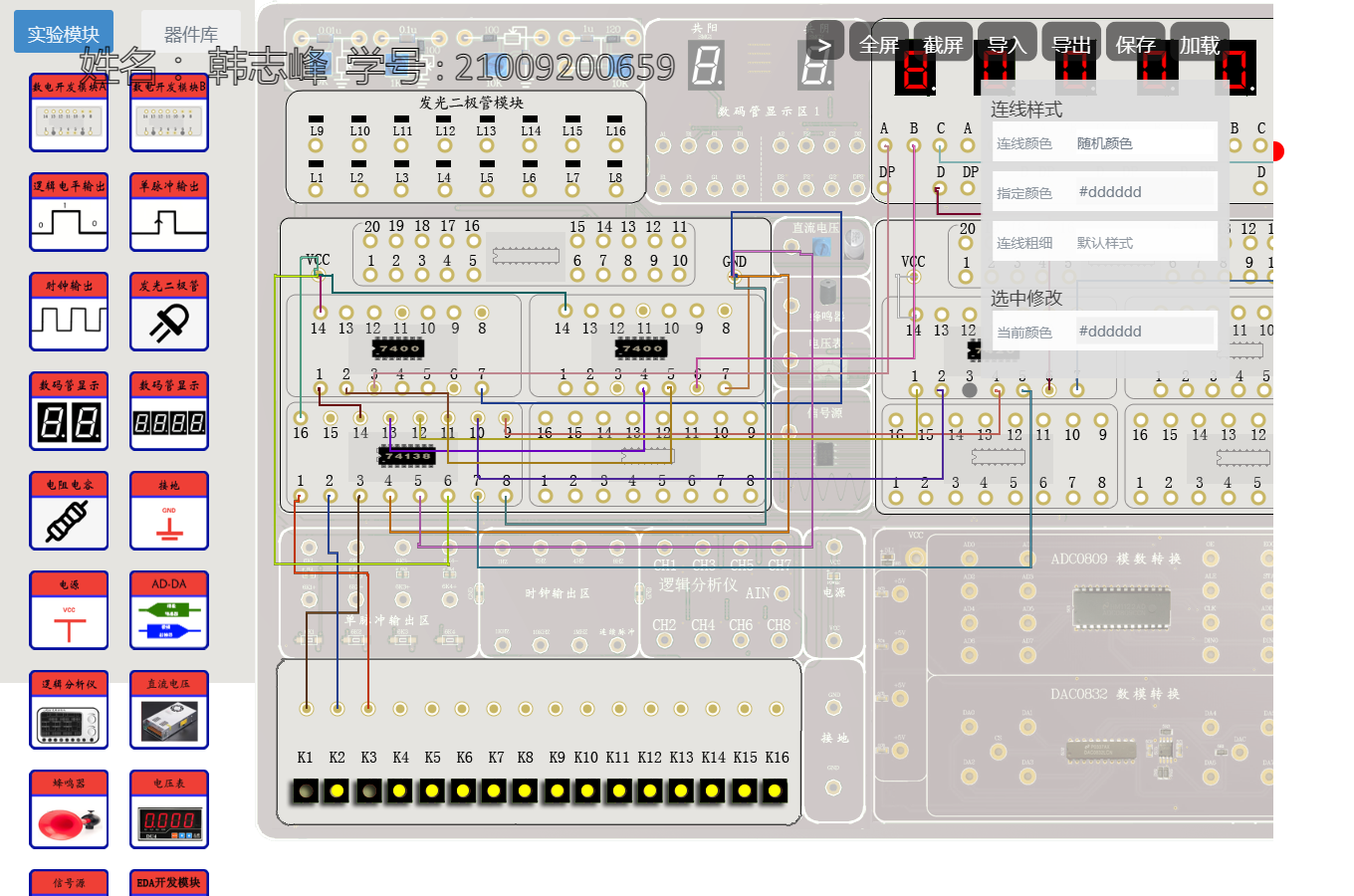
C、B、A逻辑电平输入为010时，输出结果：



C、B、A逻辑电平输入为100时，输出结果：



C、B、A逻辑电平输入为101时，输出结果：



② 实验数据记录

真值表：

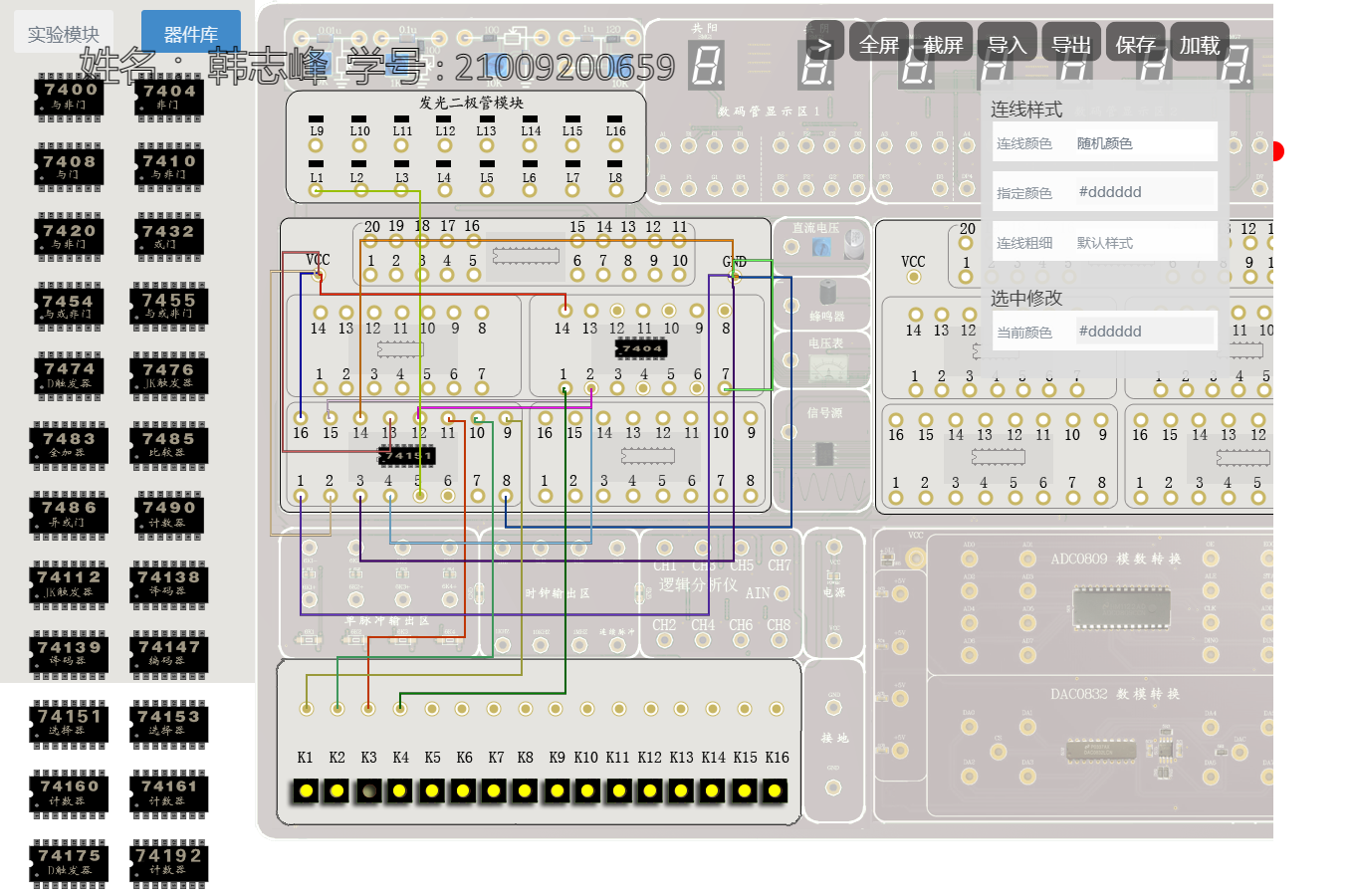
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 1 | 1 | 1 | 0 | 0 | 0 | 8 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 3 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 8 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 8 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 8 |

公式：

**4. 实验内容4：**

① 线上实验平台截图

A、B、C、D逻辑电平输入为0010时，输出结果：



A、B、C、D逻辑电平输入为1100时，输出结果：



② 实验数据记录

真值表：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

表达式：

**七、实验分析与总结**

1. 通过平台模拟连线，熟悉了74LS138的基本功能与其内部结构，完成了对函数的功能实现，捋清了实现的基本步骤。

2. 复习了化简卡诺图的基本方法，并练习了8选器对于化简卡诺图的连线。

3. 复习了74LS138的输出表示方法，即与和与非门表示的不同含义。