

**数字电路系列远程实验报告**

**实验一 组合逻辑研究实验(一)**

**学 院： 网络与信息安全学院**

**班 级： 2118011**

**姓 名：**

**学 号：**

**实验日期： 2023 年 4 月 24 日**

**电工电子实验教学中心**

**Laboratories of Electrotechnics & Electronics**

# 实验一 组合逻辑研究实验(一)

**一、实验目的**

1. 了解并掌握用SSI器件实现简单组合逻辑电路的方法。

2. 了解编码、译码与显示的工作原理。

3. 掌握用MSI器件实现4位全加器的方法,并掌握全加器的应用。

**二、实验所用仪器设备**

1. 万用表 1台；

2. 直流稳压电源 1台；

3. 数字电路实验板 1套；

4. 计算机 1台。

**三、实验任务及要求**

**1. 基本实验器件**

给定器件为：四2输入异或门（74LS86）1只，四2输入与非门（74LS00）1只，六反相器（74LS04）1只，三3输入与非门（74LS10）1只，4位二进制全加器（74LS283）1只，8线-3线优先编码器（74LS148）1只，七段字形译码器（74LS48）1只,共阴极数码管（LTS-547RF）1只，4位并行比较器（741S85）1只。

**2. 基本命题**

（1）设计三变量多数表决器,连接实验电路，输入加逻辑开关，输出加LED显示器，测试三变量多数表决器的功能，并记录真值表。

（2）用四2输入异或门74LS86和四2输入与非门74LS00组成1位全加器电路。输入加逻辑开关，输出加LED显示器，测试其功能，并记录真值表。

（3）用MSI器件74LS283实现4位全加器电路，用译码-显示电路显示其全加和,并将结果填入实验教材示例表4-1-1中（见本报告表1）。

表1 全加器实验数据

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A4 A3 A2 A1 | B4 B3 B2 B1 | C0 | C4 | 数码显示 | 结果转换为十进制数 |
| 0 0 1 0 | 0 1 0 1 | 0 |  |  |  |
| 0 0 1 0 | 0 1 1 0 | 1 |  |  |  |
| 1 0 1 0 | 1 1 0 1 | 0 |  |  |  |

**3. 实验要求**

熟悉实验命题后，先进行电路的设计，然后在计算机上进行虚拟仿真实验。

仿真运行正确后，再在实验板上搭建硬件电路，观察并记录实验结果，对实验过程和结果进行分析整理，最后撰写实验报告、整理文档，对实验进行总结。

**四、实验说明及思路提示**

**1. 组合逻辑电路的设计步骤**

组合逻辑电路是数字电路中最常见的逻辑电路之一，它是根据给定的逻辑功能，设计出实现这些功能的逻辑电路。组合逻辑电路的特点，就是在任一时刻电路的输出仅取决于该时刻的输入信号，而与信号作用前电路所处的状态无关。

组合逻辑电路的设计一般可按以下步骤进行：

（1） 逻辑抽象。将文字描述的逻辑命题转换成真值表。

（2） 选择器件类型。根据命题的要求和器件的功能决定采用哪种器件。

（3） 根据真值表和选用逻辑器件的类型，写出相应的逻辑函数表达式。当采用SSI集成门电路设计时，为了使电路最简，应将逻辑表达式化简，并变换成与门电路相对应的最简式；当采用MSI组合逻辑器件设计时，则不用将逻辑函数进行化简，只需将其变换成MSI器件所需要的函数形式。

（4） 根据逻辑函数表达式及选用的逻辑器件画出逻辑电路图。

**2. 加法器**

（1）1位全加器

设1位全加器的两个加数分别为Ai、减数Bi、低位向本位的进位为Ci-1；全加器和为Si,本位向高位的进位为Ci+1，则可列1位全加器的真值表，从而得到输出的逻辑表达式为：

；

。

则用异或门和与非门实现1位全加器电路。

（2）4位全加器

本实验所用全加器型号为74LS283，它是一种快速进位的四位全加器。其中，为四位二进制的两个加数，是最高位，是最低位，是由最低位来的进位；表示各位全加器的和，为最高位相加后给出的进位。如果给74LS283的两个加数分别送二进制数，就可以直接在得到两个数相加后的全加和。

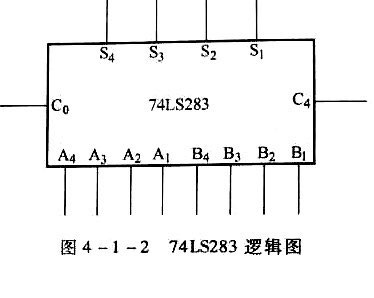


图1 74LS283逻辑图

**3. 编码器**

优先编码器74LS148是8线输入3线输出的二进制编码器，其作用是将输入8个状态分别编成8个二进制码输出，其功能表如表2所示。

由表可以看出74LS148的输入为低电平有效。它有一个输入使能端，两个输出使能端和，使能端作用如下：

（1） =0允许编码，=1禁止编码，输出；

表2 74LS148功能表

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | | | | | | 输出 | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 1 | X | X | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | X | X | X | X | X | X | X | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | X | X | X | X | X | X | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | X | X | X | X | X | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | X | X | X | X | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | X | X | X | 0 | 1 |  | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 0 | X | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| 0 | X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

（2） 主要用于多个编码器电路的级联控制，总是接在优先级别低的相邻编码器的端，当 时，允许优先级别低的相邻编码器工作，，禁止相邻级别低的编码器工作。

（3） 表示是编码输出，表示不是编码输出，是输出标志位。

**4. 译码-显示电路**

译码-显示电路是组合逻辑电路中的逻辑部件，通常译码器采用的是七段自行译码器。七段自行译码器的作用是将输入的4位BCD码DCBA译成语气对应的七段自行输出信号，用于驱动数码管。如图2所示。

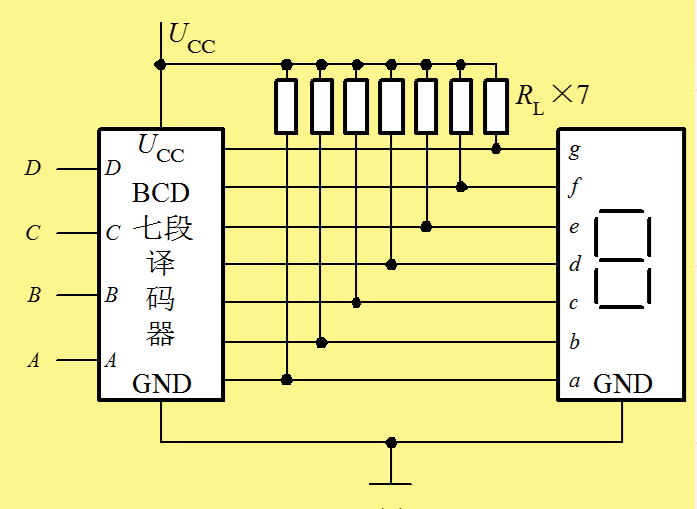


图2 共阴极数码管译码-显示原理图

本实验中所用为八段发光二极管数码管显示器，型号为LTS-547RF，为共阴极法官二极管数码显示器。其显示除了a~g 七段之外，还有一个小数点h。

常用的七段字形译码器有74LS47和74LS48。本实验使用共阴极数码管，所以采用74LS48译码器。

表3 74LS48功能表

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | | 输出 | | | | | | | 数码  显示 |
| LT | RBI | BI/RBO | D C B A | a | b | c | d | e | f | g |
| 1 | 1 | 1 | 0 0 0 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | x | 1 | 0 0 0 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | x | 1 | 0 0 1 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 1 | x | 1 | 0 0 1 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 3 |
| 1 | x | 1 | 0 1 0 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 4 |
| 1 | x | 1 | 0 1 0 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 5 |
| 1 | x | 1 | 0 1 1 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 6 |
| 1 | x | 1 | 0 1 1 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 7 |
| 1 | x | 1 | 1 0 0 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 8 |
| 1 | x | 1 | 1 0 0 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 9 |

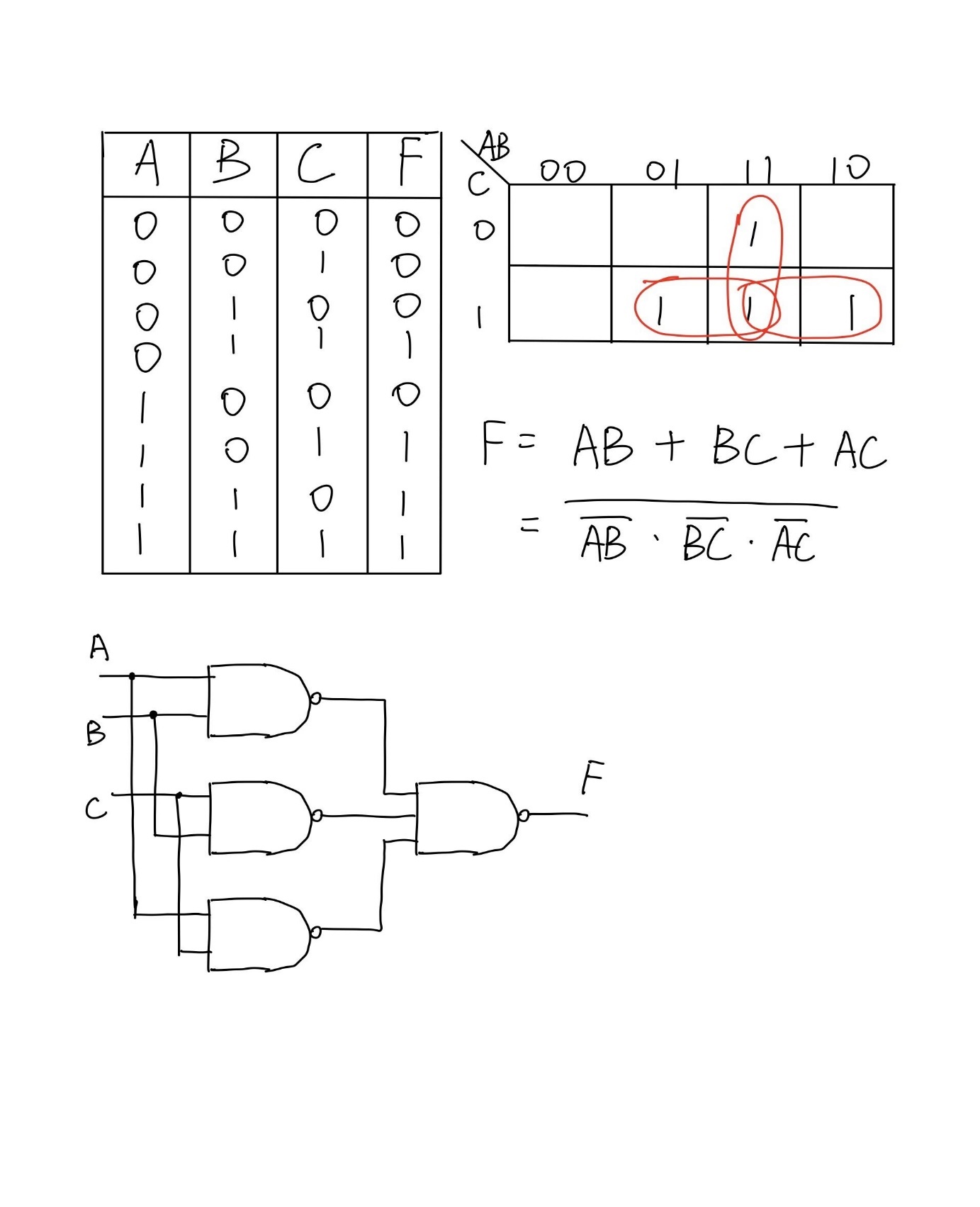
**五、实验设计过程**

**1. 实验内容1设计**

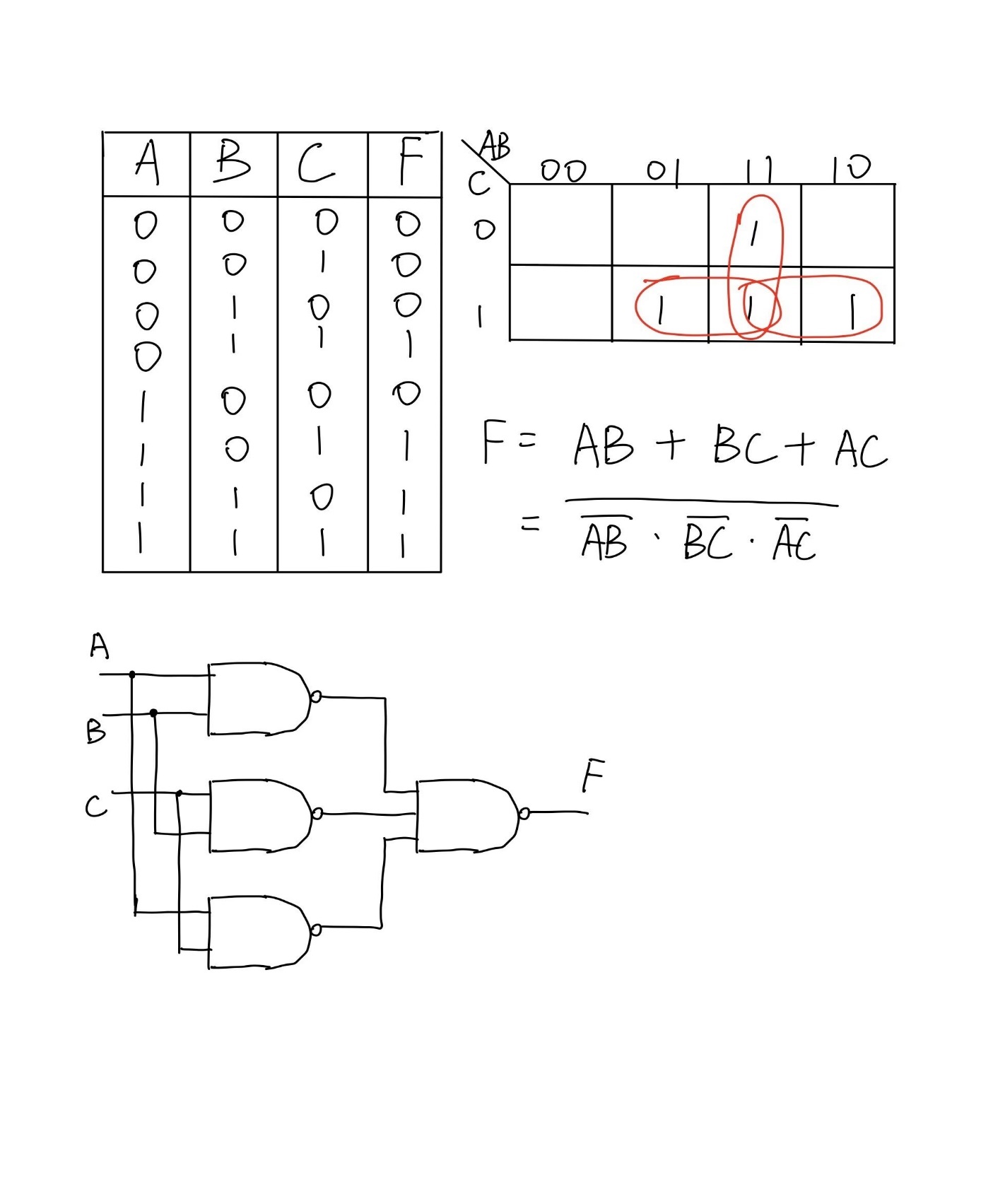
1.1 真值表及相关描述

实现三变量多数表决电路，假设有A、B、C三个人参加表决，则为了实现“多数同意则通过”的功能，当A、B、C中有2人及以上同意（真值为1）时，输出F为1，表示结果为通过；否则输出F为0表示结果为不通过。

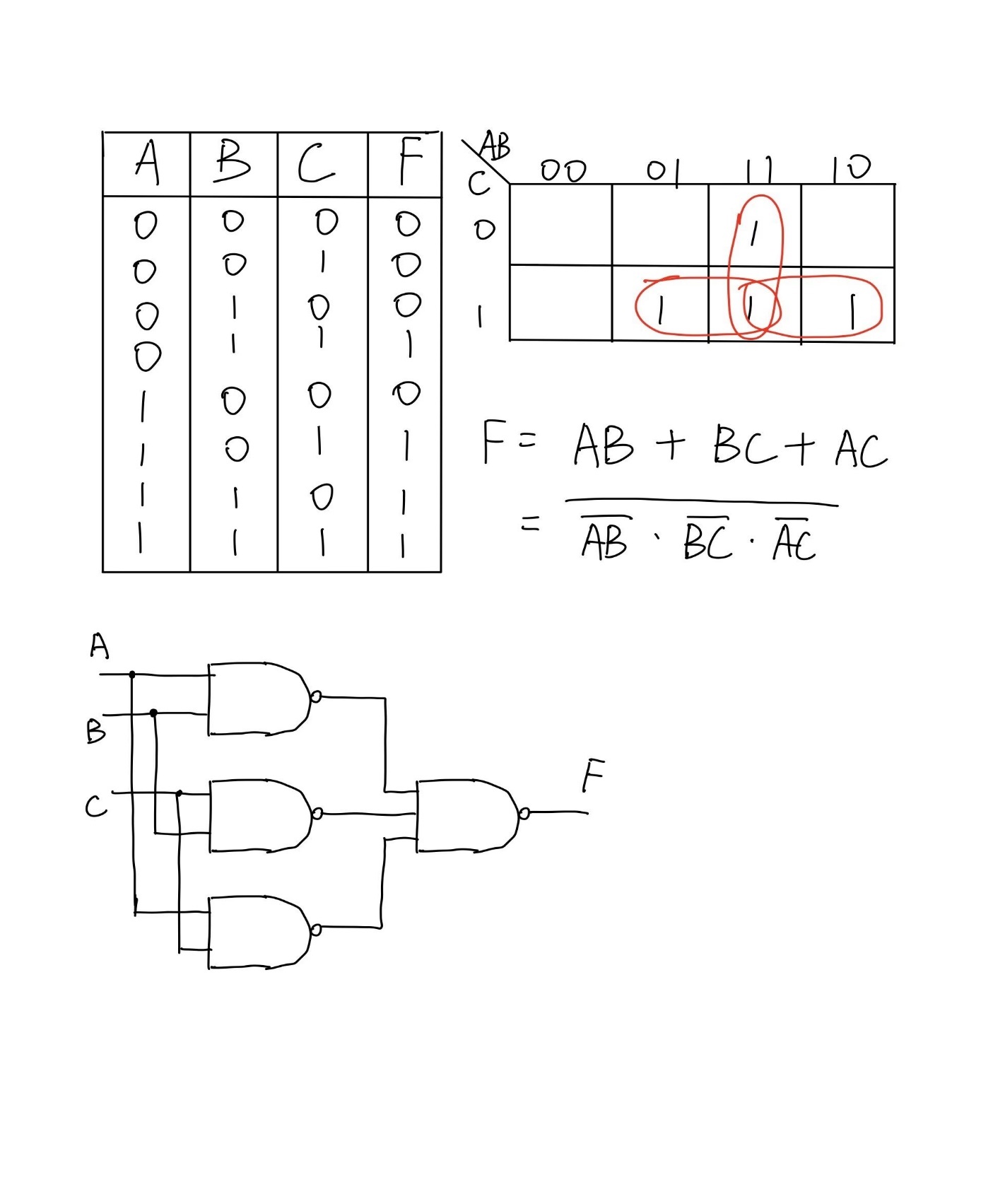
其真值表如下：



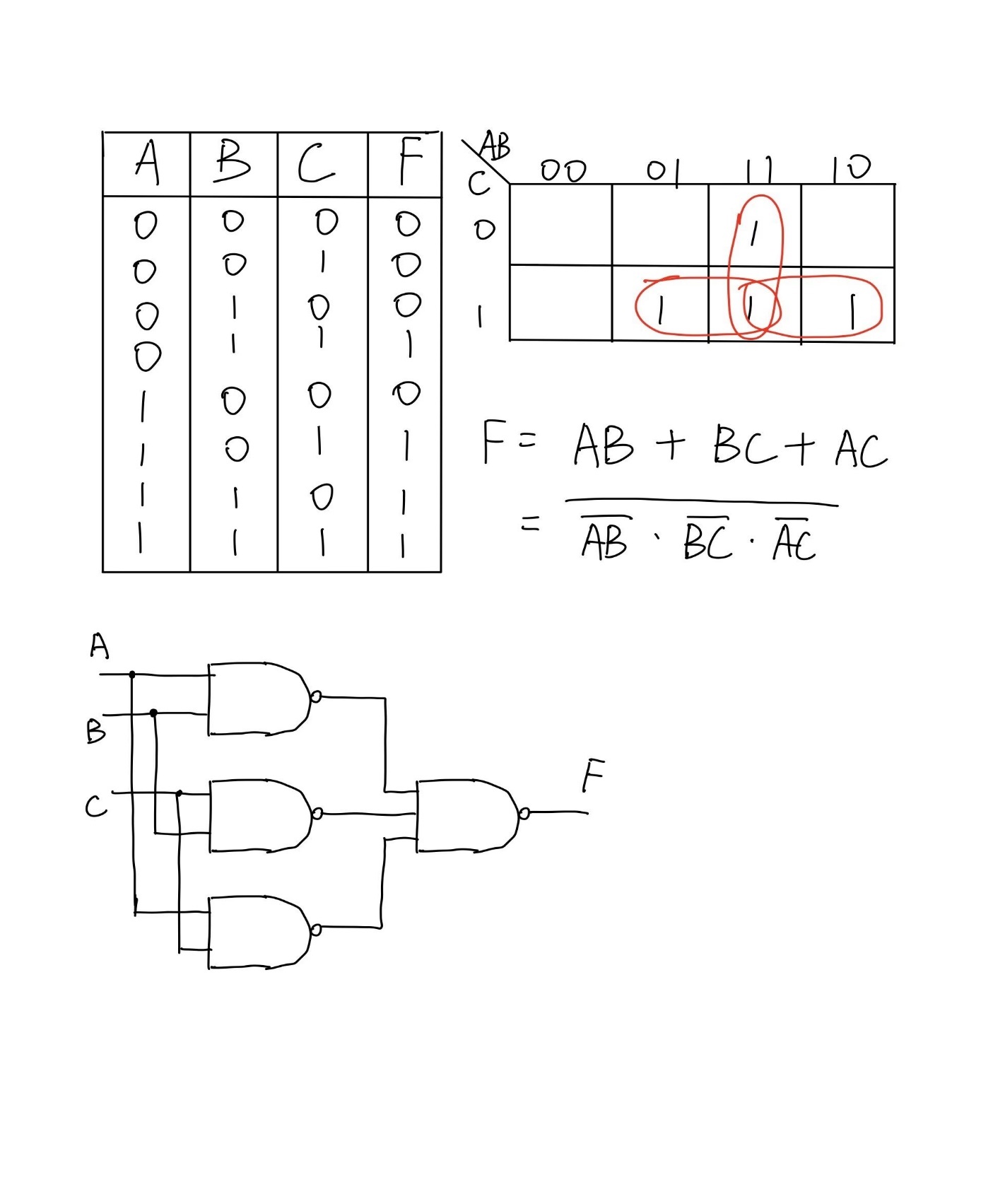
1.2 卡诺图、卡诺圈



1.3 表达式



1.4 电路图

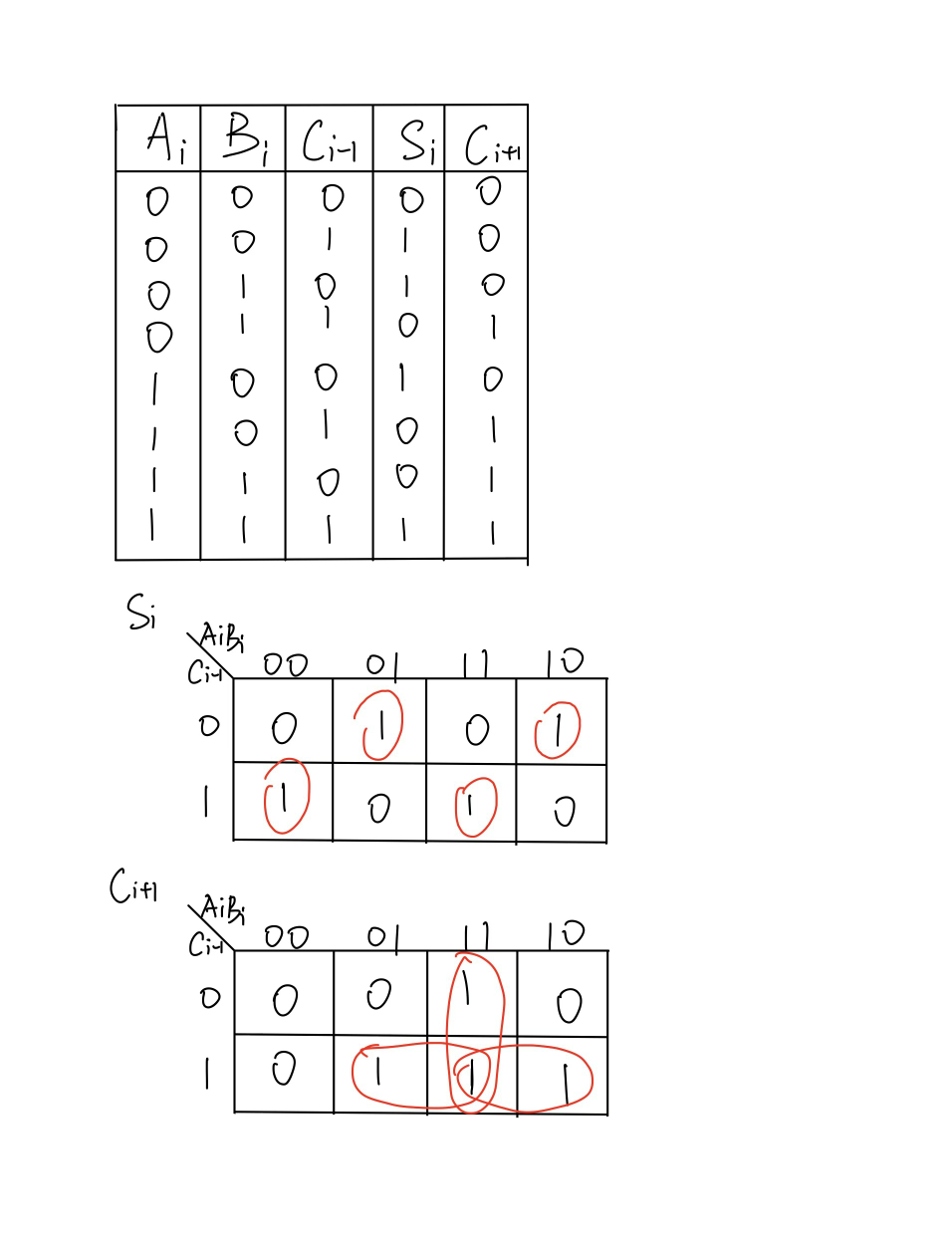


**2. 实验内容2设计**

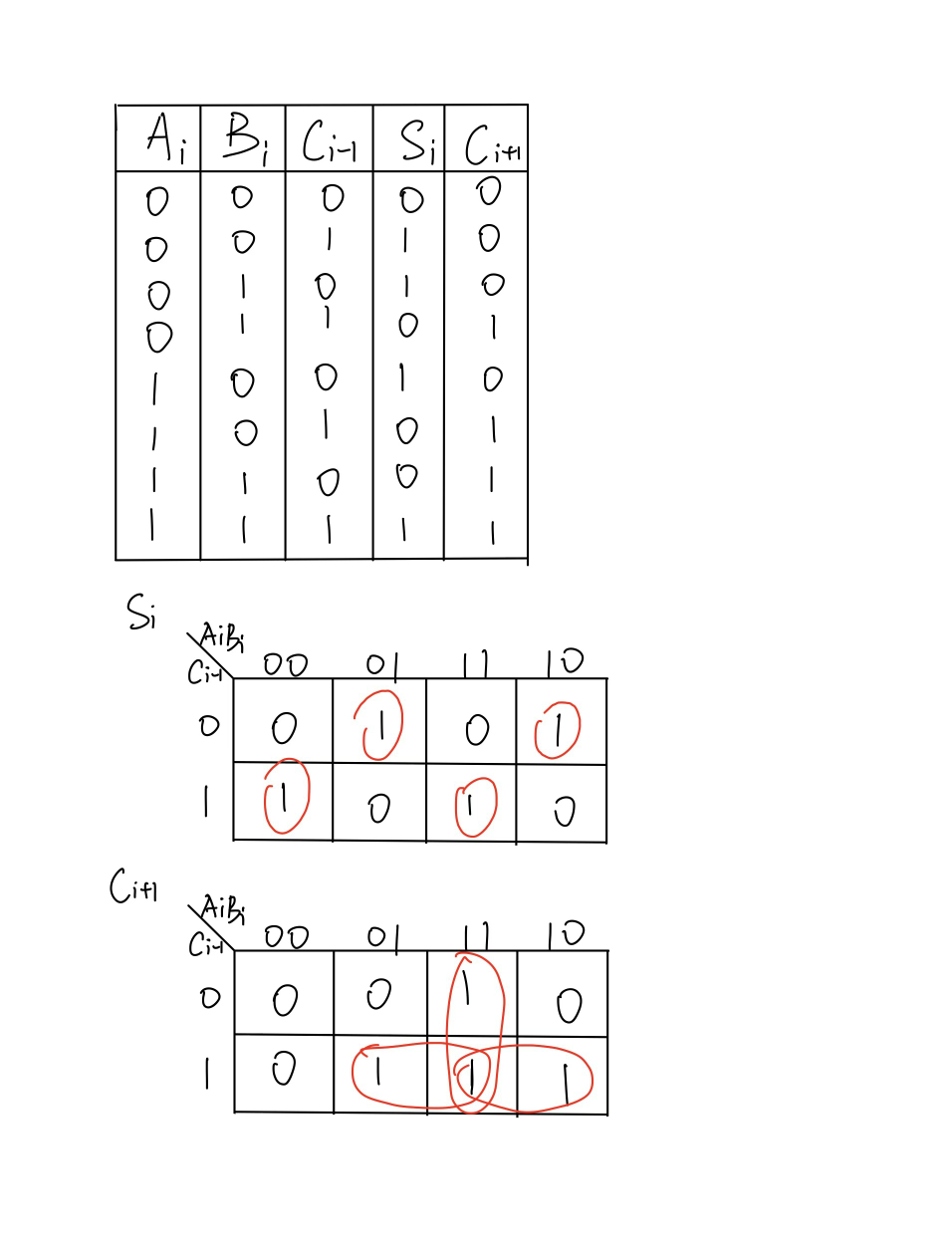
2.1 真值表及相关描述

全加器电路的功能是将两个二进制数相加，并考虑一个进位输入。它接收三个输入：和表示要相加的两个二进制数的位，表示前一个加法器的进位输出。输出两个值：表示相加的结果，即全加和，表示是否发生了进位。

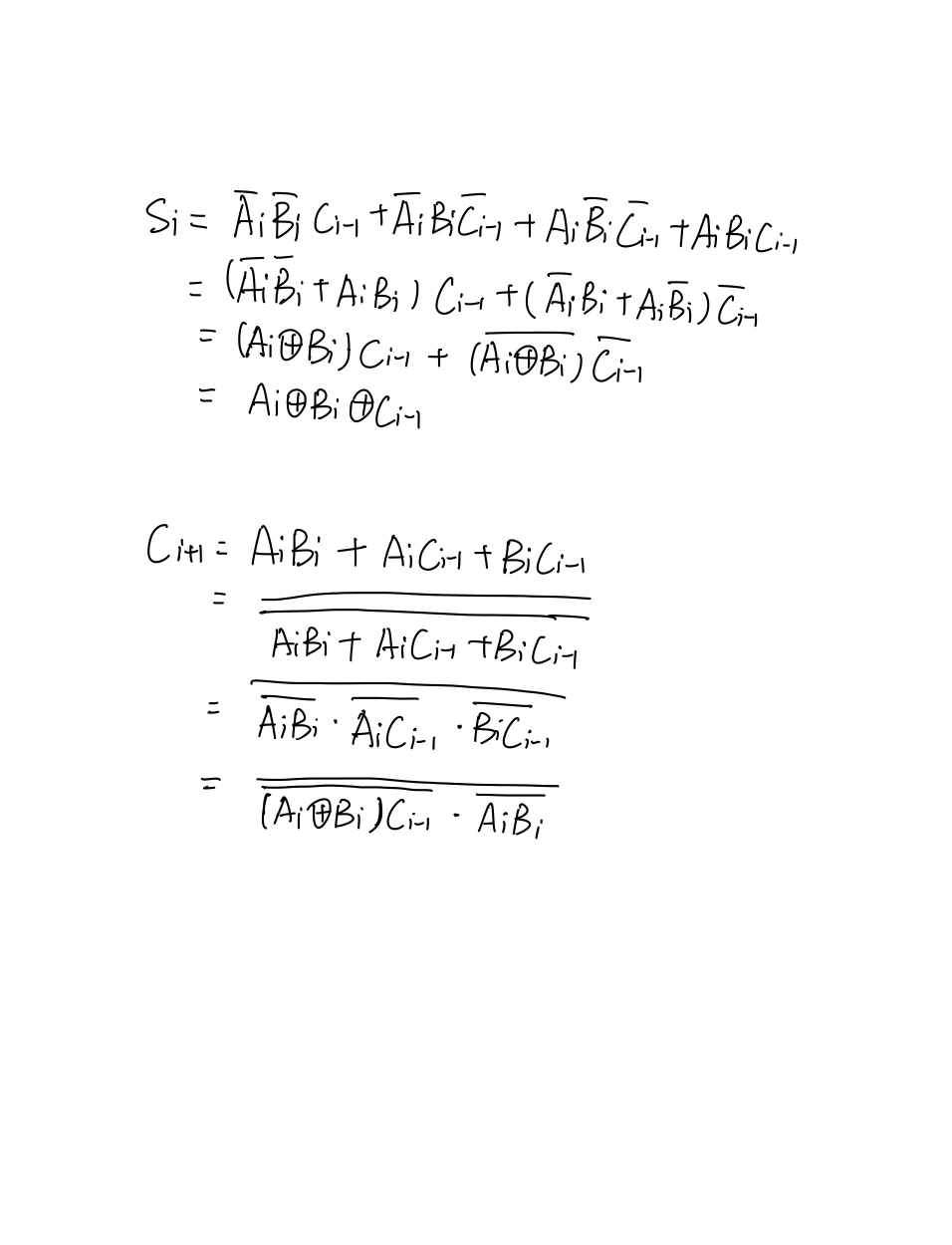
其真值表如下：

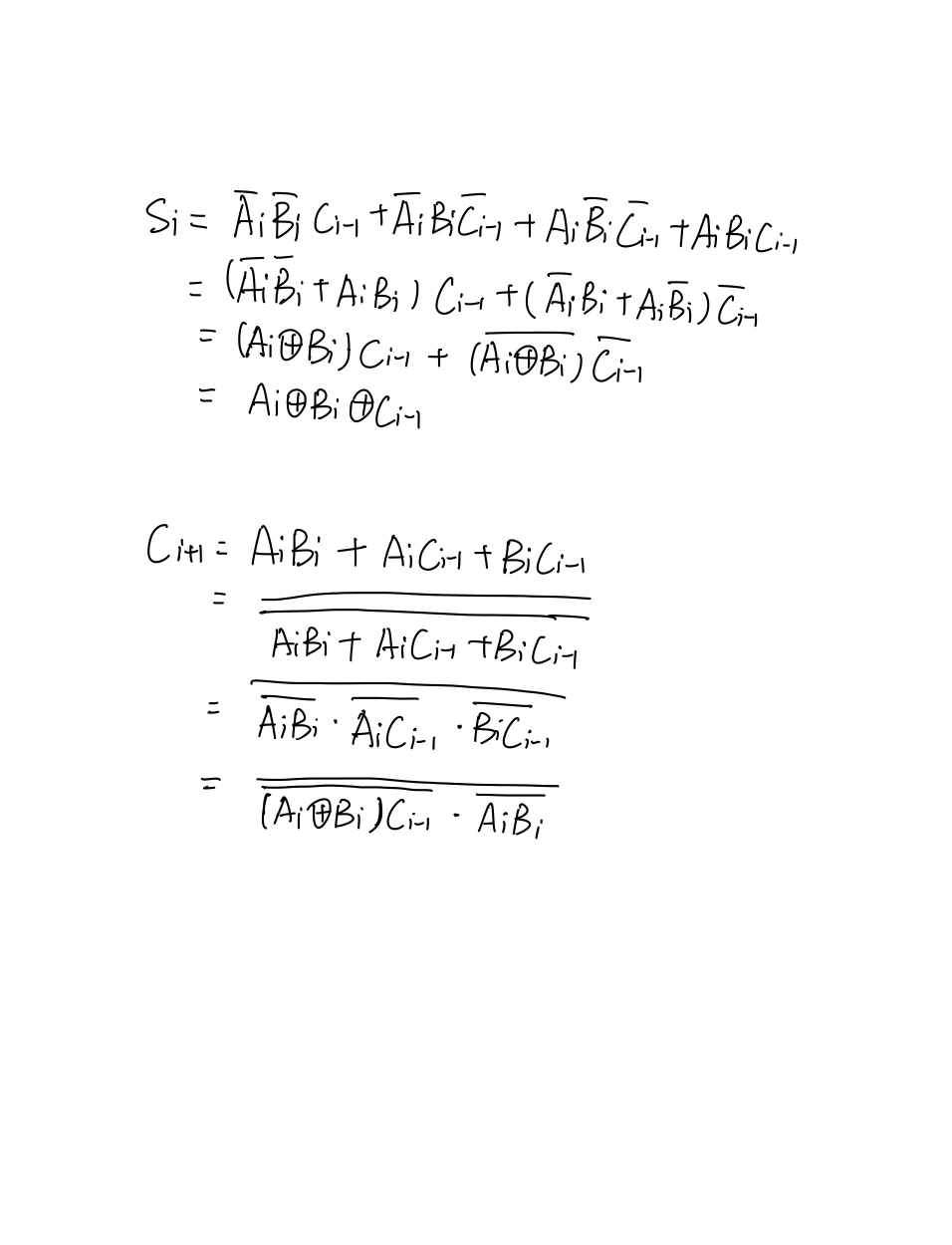


2.2 卡诺图、卡诺圈

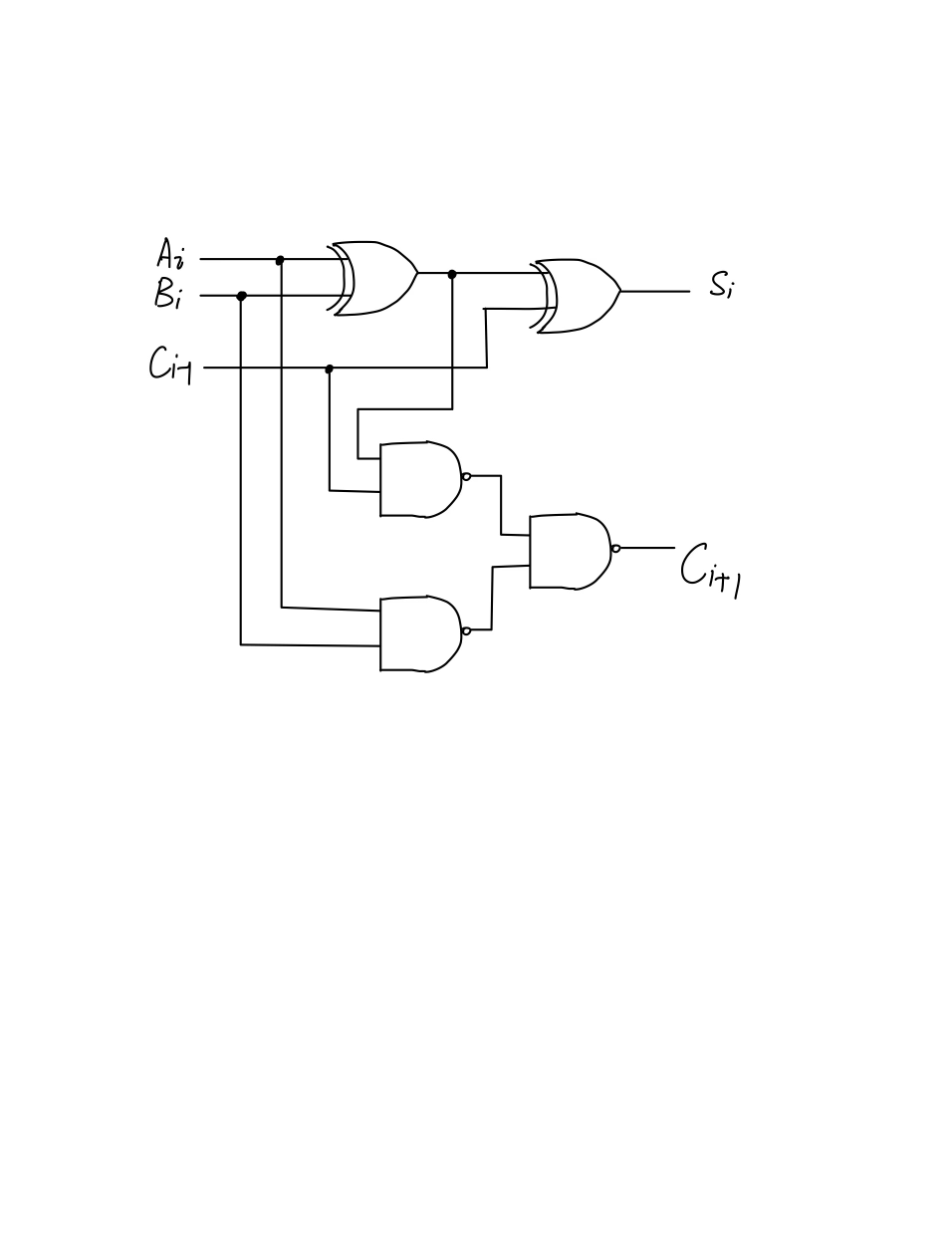


2.3 表达式





2.4 电路图

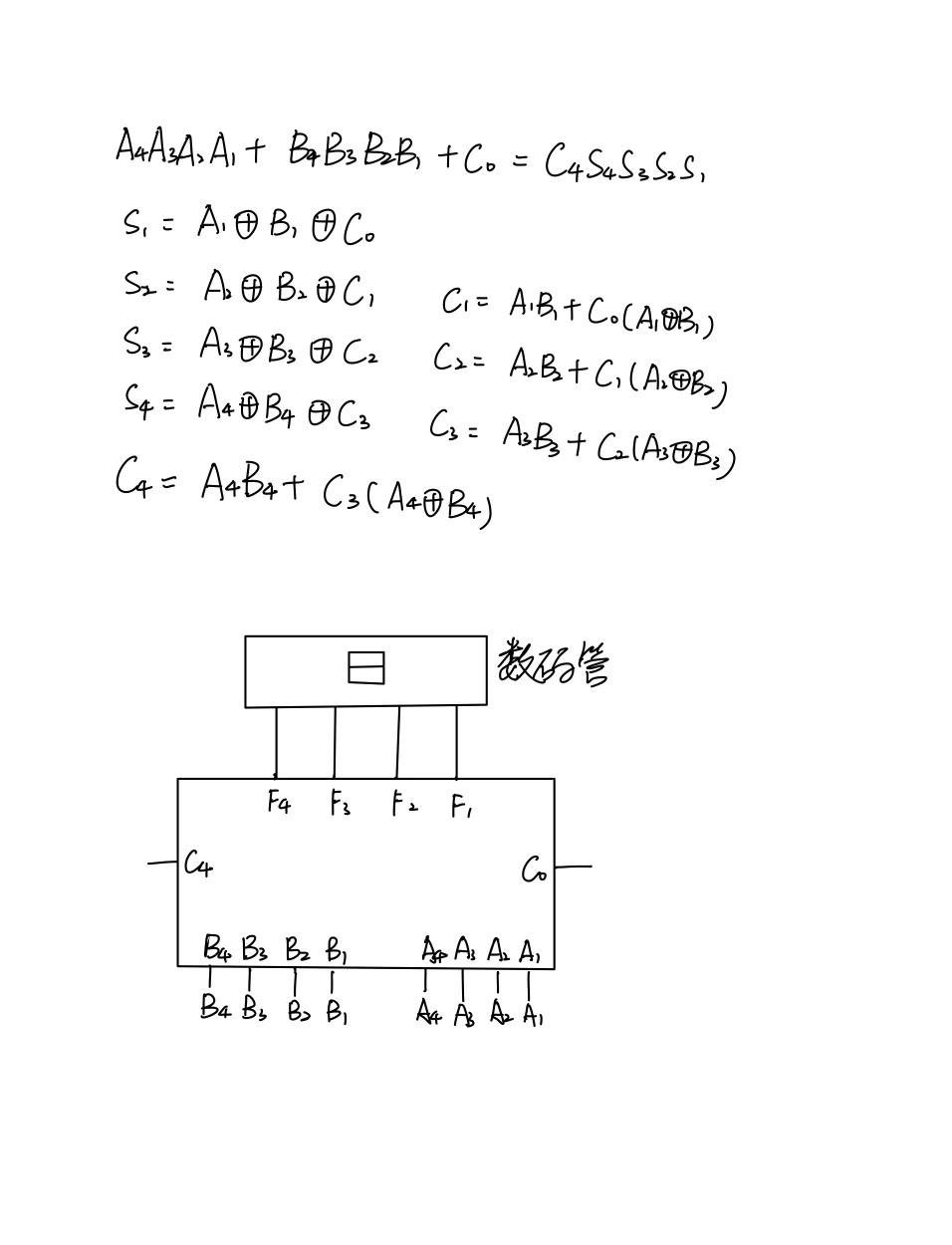


**3. 实验内容3设计**

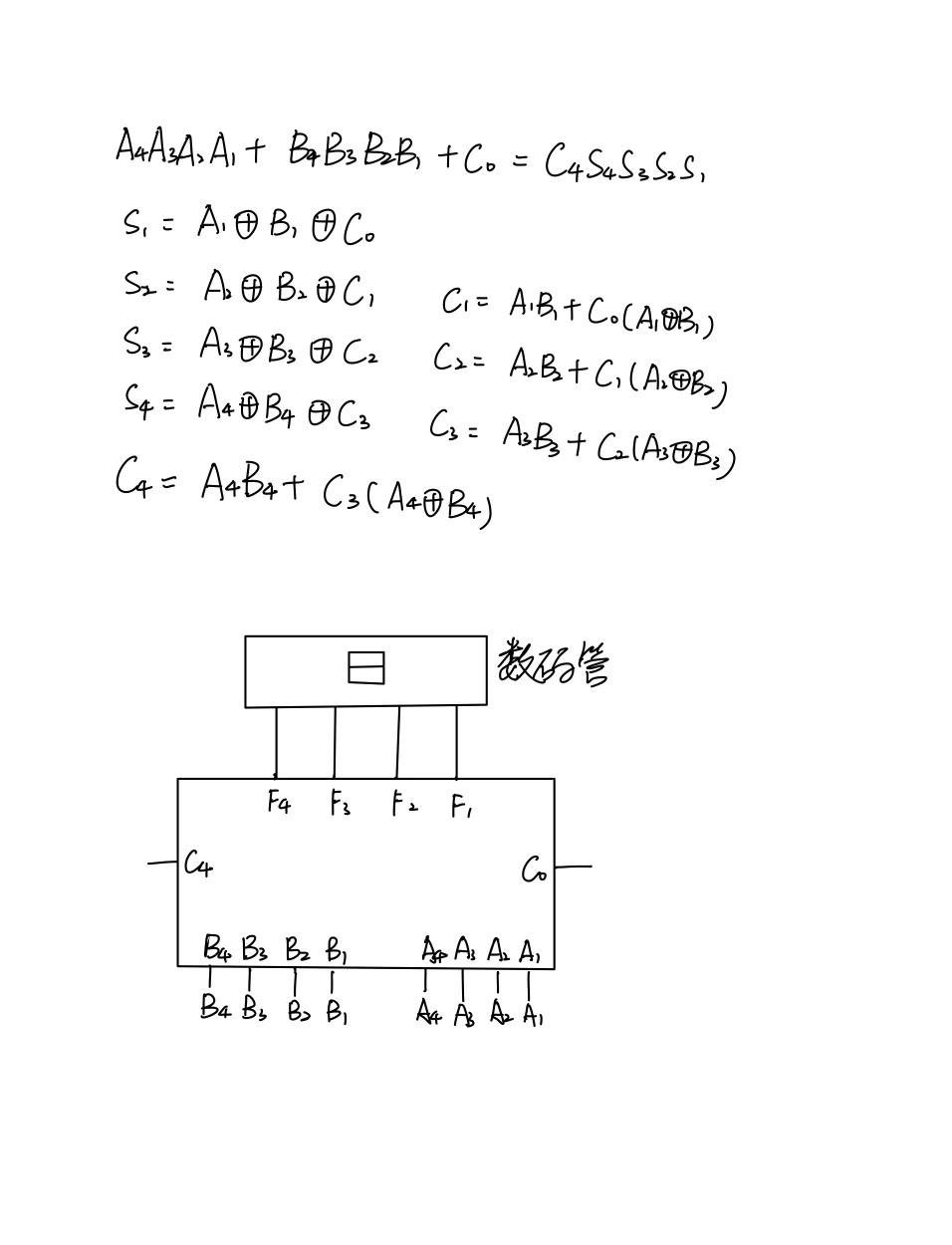
3.1 相关描述

四位全加器，即将两个四位二进制数相加，并考虑一个进位输入。它接受三个输入：第一个二进制数、第二个二进制数和进位输入；并有两个输出，四位全加和和最高位的进位。

3.2 表达式



3.3 电路图

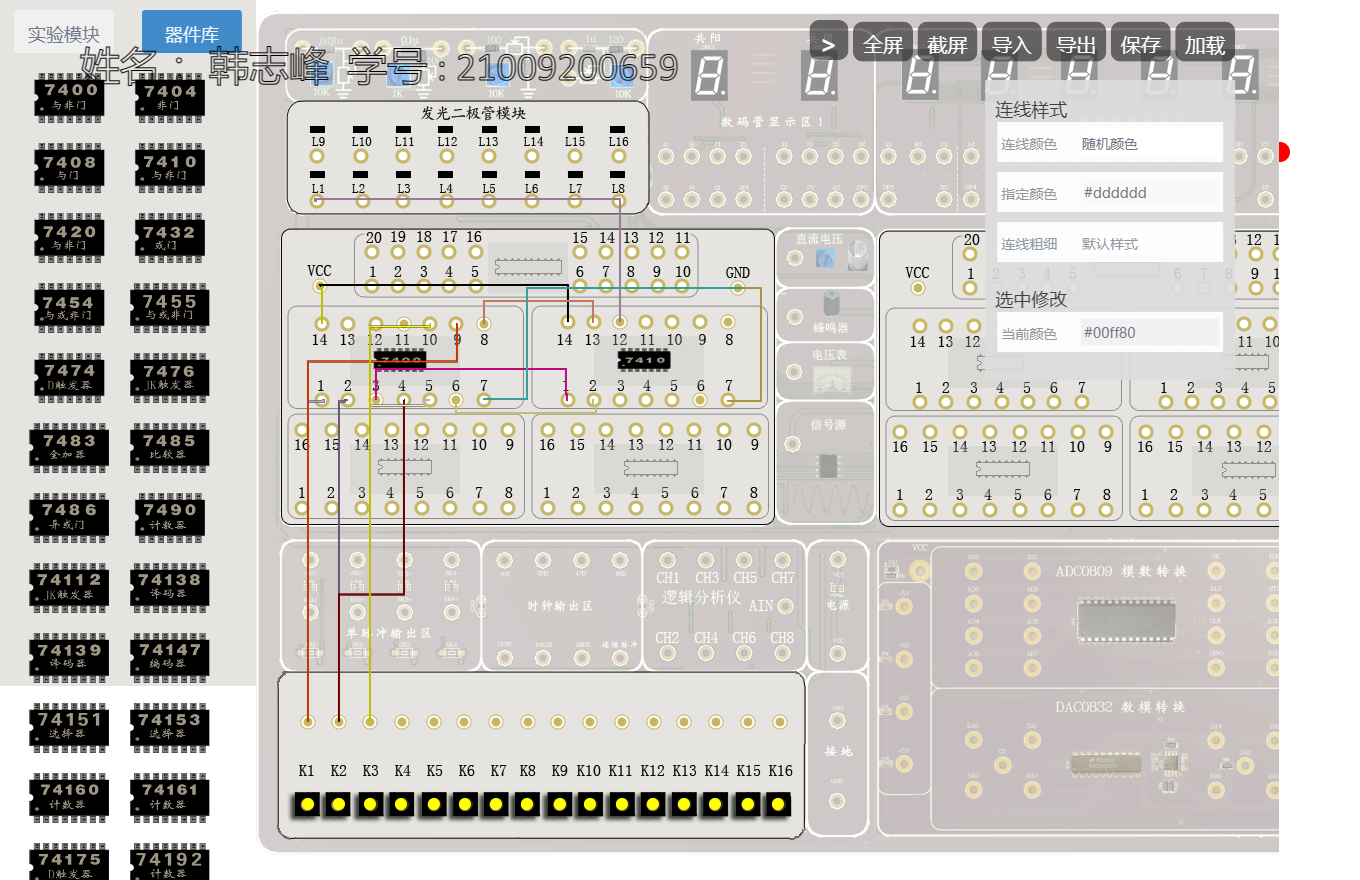


**六、数据记录与处理**

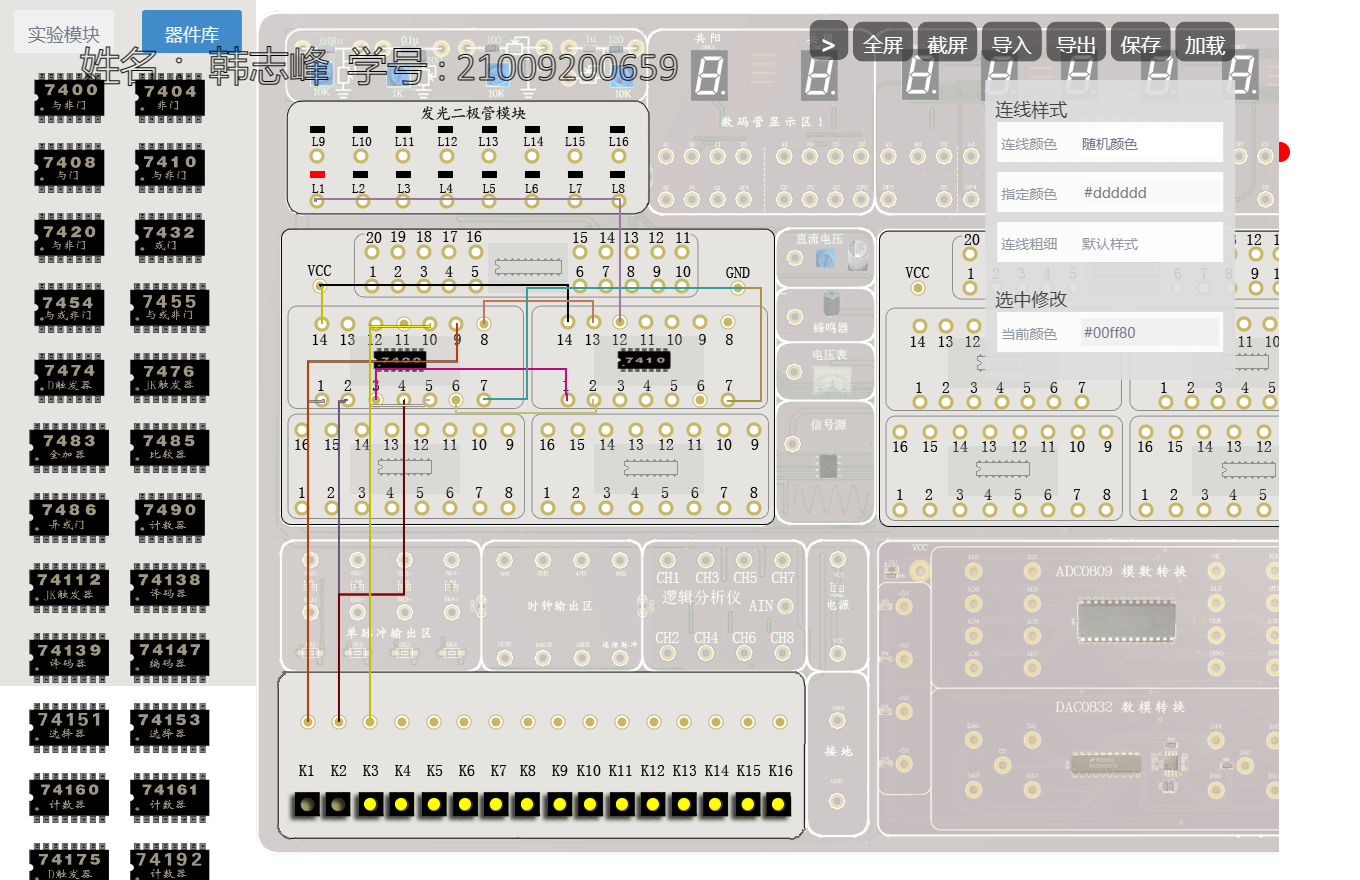
**1. 实验内容1：**

① 线上实验平台截图

A、B、C3人，逻辑电平输入为000时，输出结果：



A、B、C3人，逻辑电平输入为110时，输出结果：



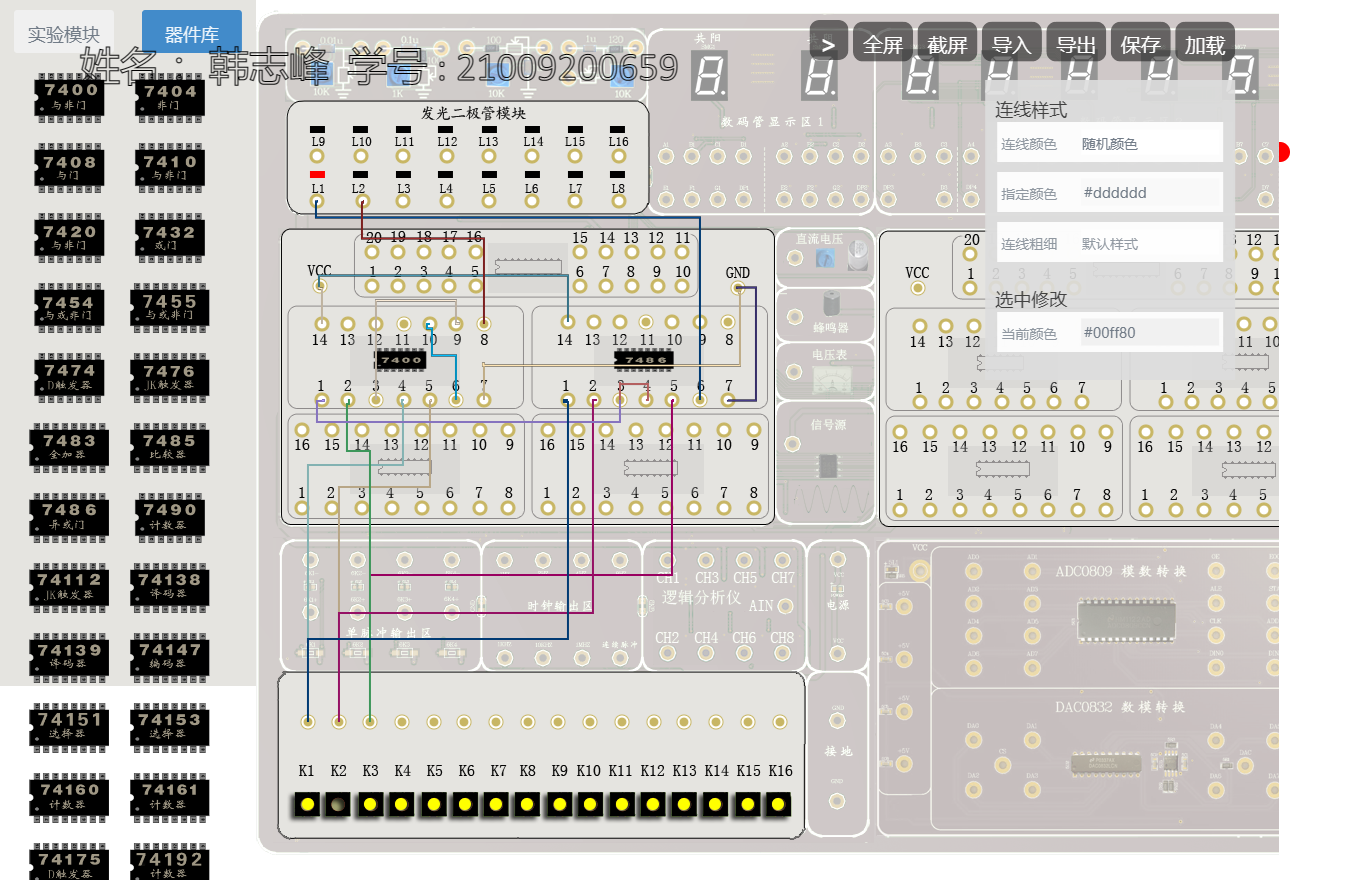
② 实验数据记录

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | **0** |
| 0 | 0 | 1 | **0** |
| 0 | 1 | 0 | **0** |
| 0 | 1 | 1 | **1** |
| 1 | 0 | 0 | **0** |
| 1 | 0 | 1 | **1** |
| 1 | 1 | 0 | **1** |
| 1 | 1 | 1 | **1** |

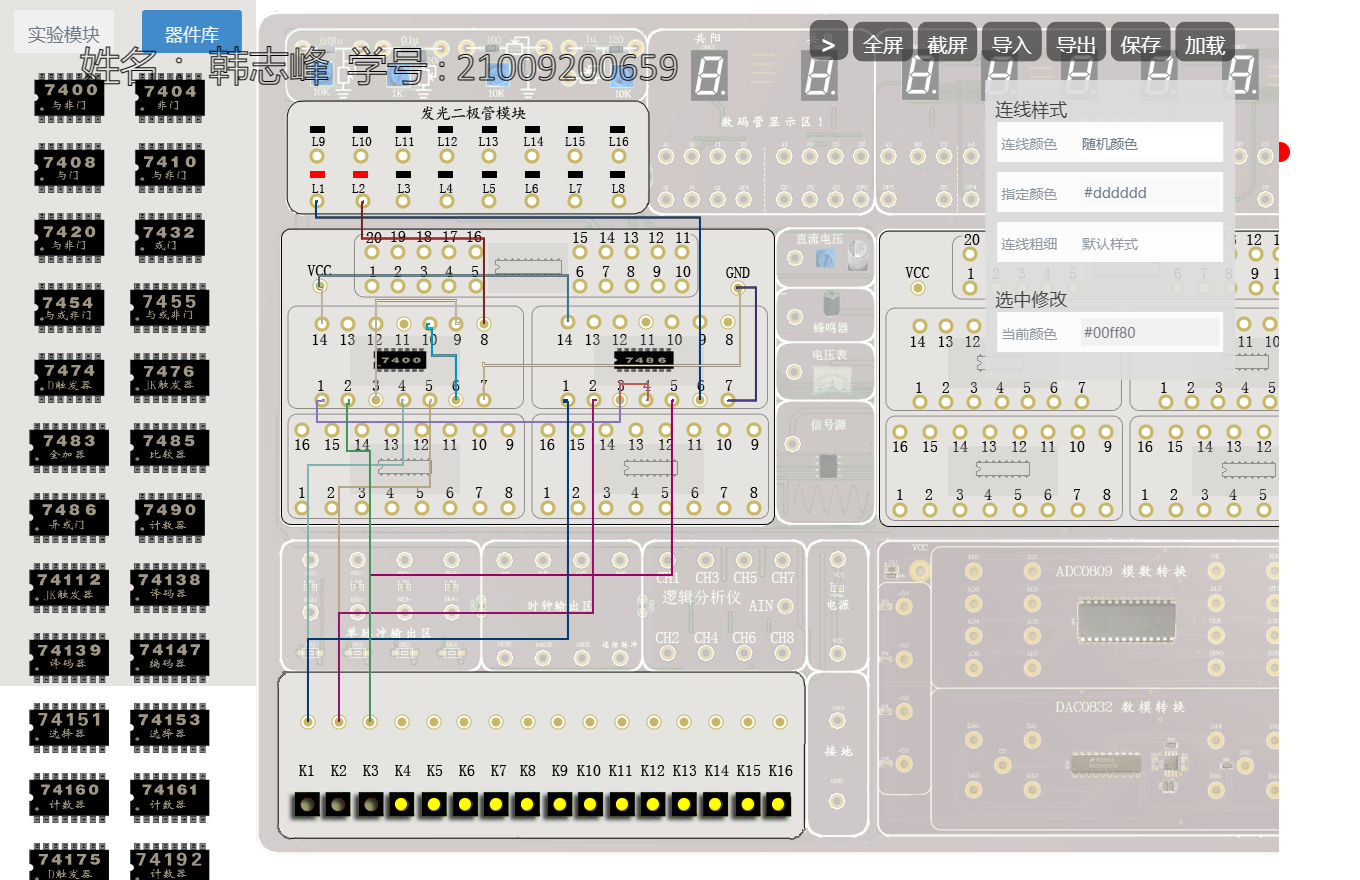
**2. 实验内容2：**

① 线上实验平台截图

Ai、Bi和Ci-1逻辑电平输入为010时，输出结果：



Ai、Bi和Ci-1逻辑电平输入为111时，输出结果：



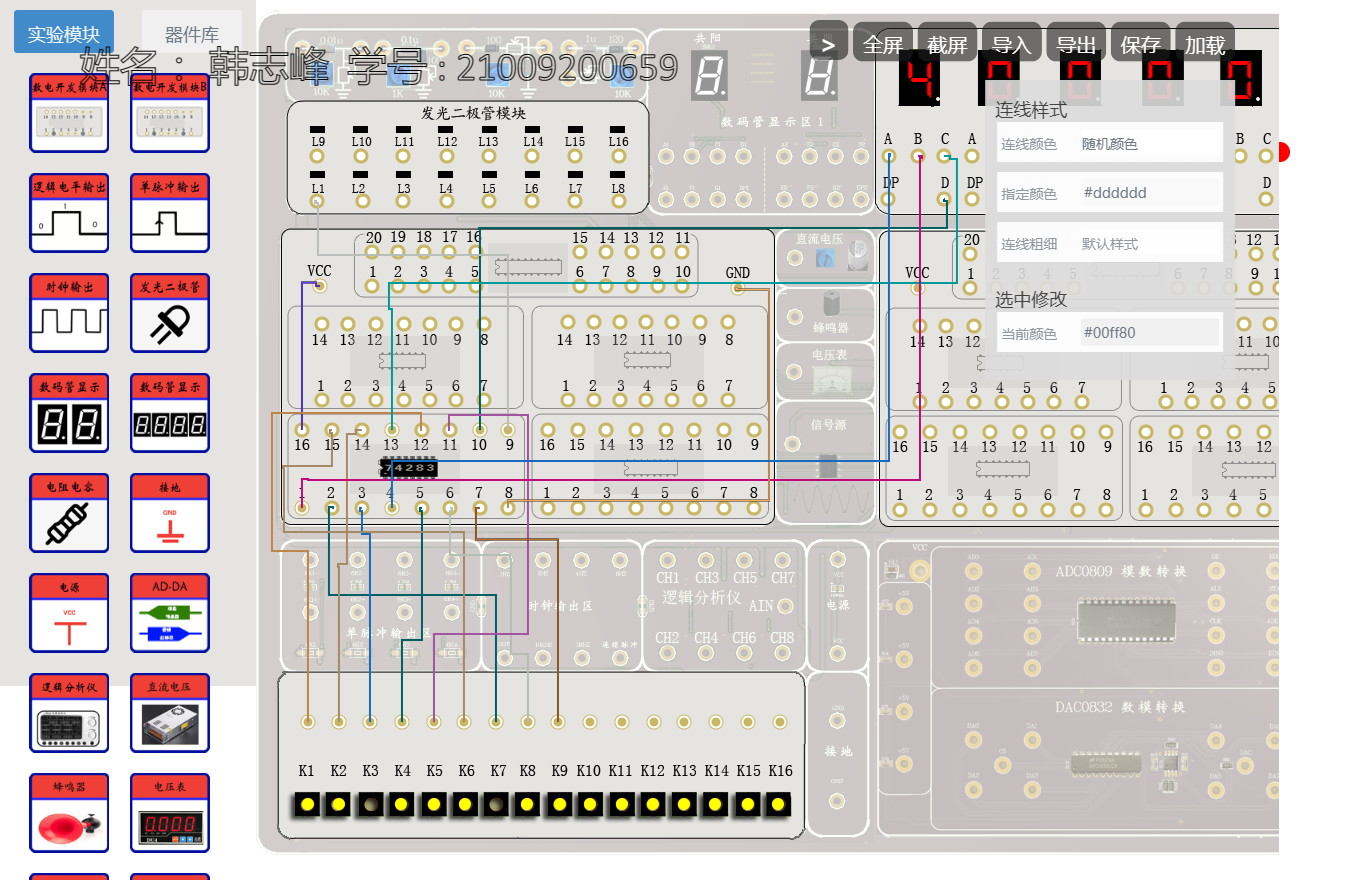
② 实验数据记录

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | **0** | **0** |
| 0 | 0 | 1 | **1** | **0** |
| 0 | 1 | 0 | **1** | **0** |
| 0 | 1 | 1 | **0** | **1** |
| 1 | 0 | 0 | **1** | **0** |
| 1 | 0 | 1 | **0** | **1** |
| 1 | 1 | 0 | **0** | **1** |
| 1 | 1 | 1 | **1** | **1** |

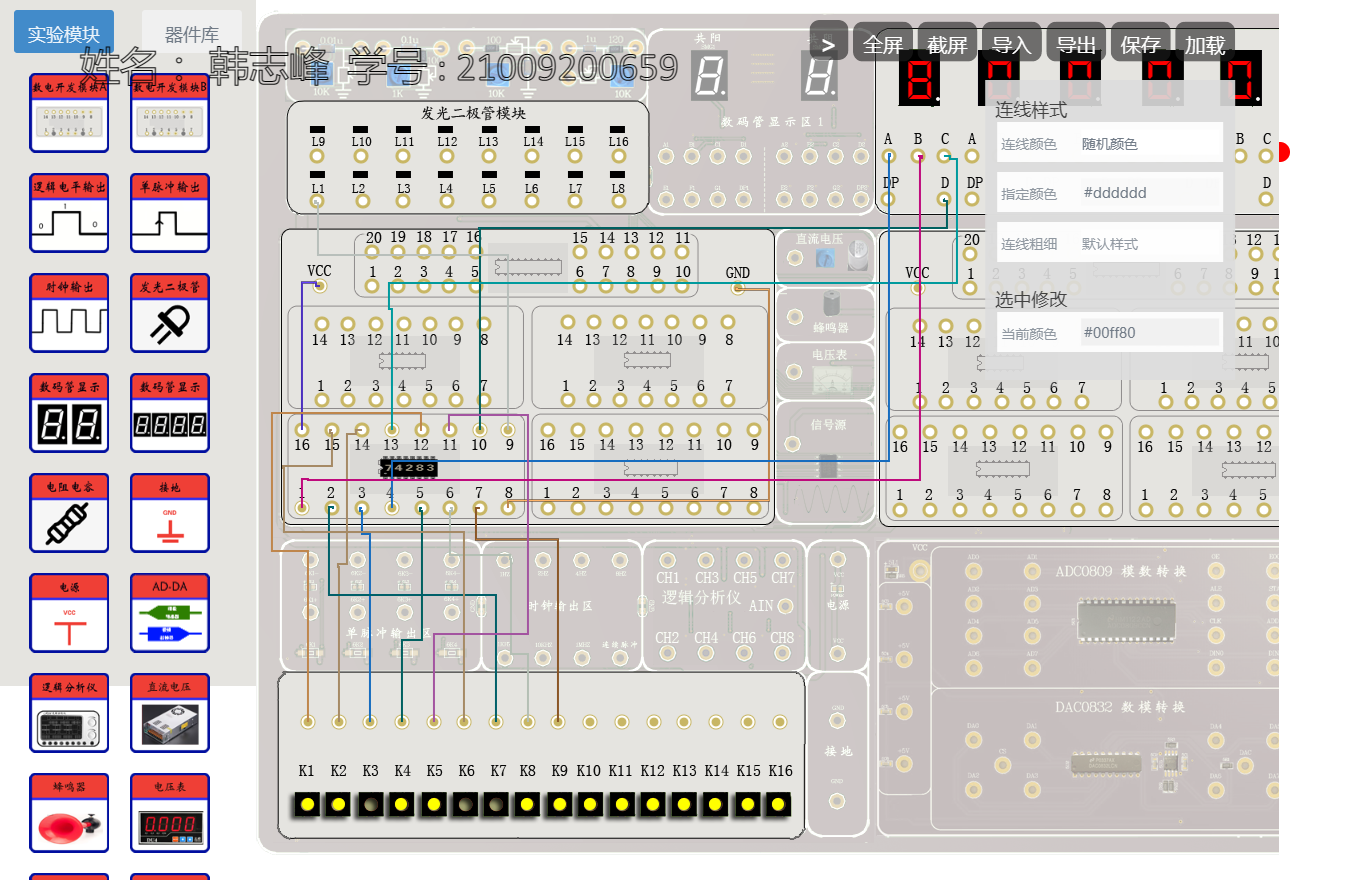
**3. 实验内容3：**

① 线上实验平台截图

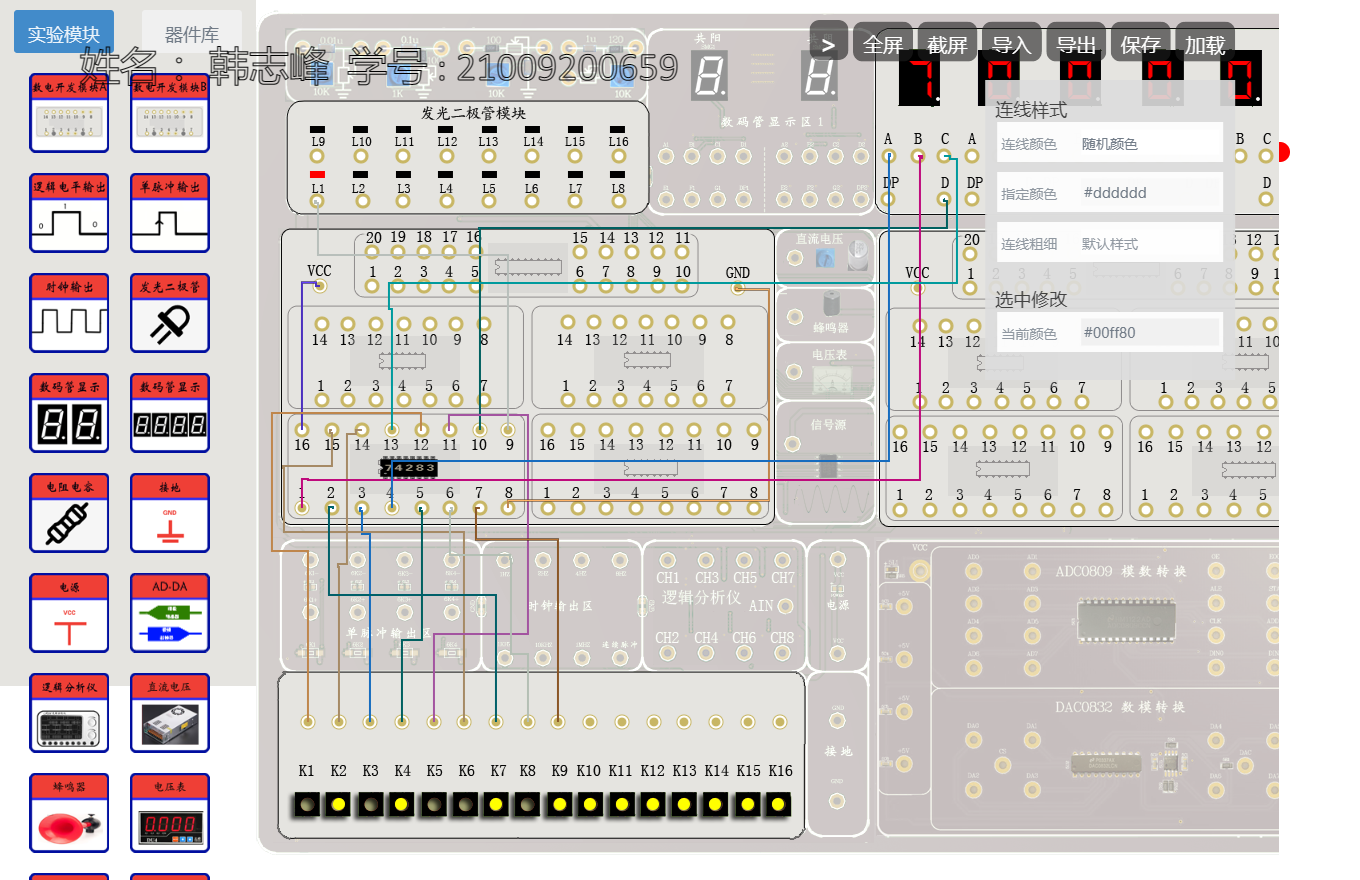
A4~A1逻辑电平输入为0010，B4~B1逻辑电平输入为0010，C0逻辑电平输入为0时，输出结果：



A4~A1逻辑电平输入为0010，B4~B1逻辑电平输入为0110时，C0逻辑电平输入为0时，输出结果：



A4~A1逻辑电平输入为1010，B4~B1逻辑电平输入为1101时，C0逻辑电平输入为0时，输出结果：

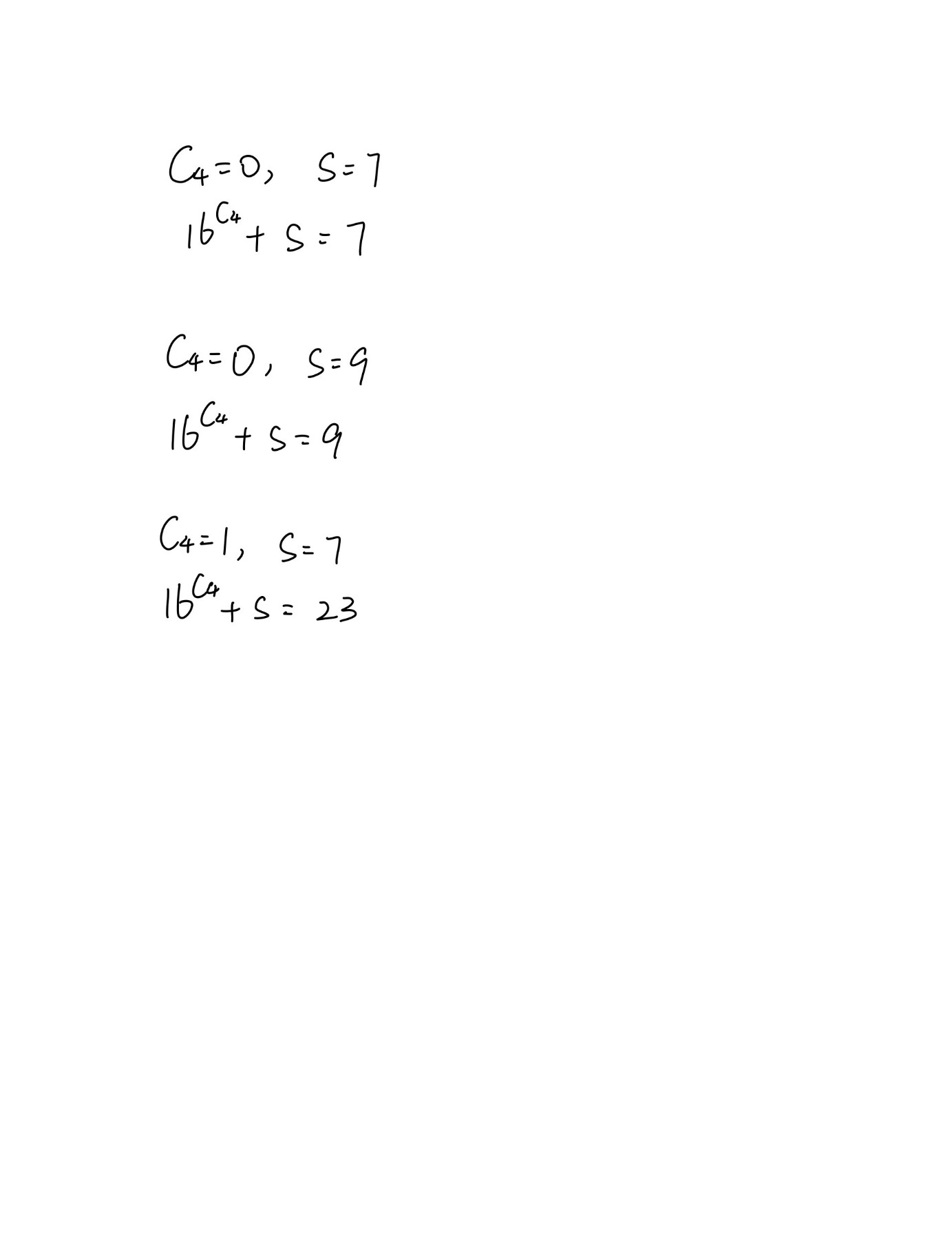


② 实验数据记录

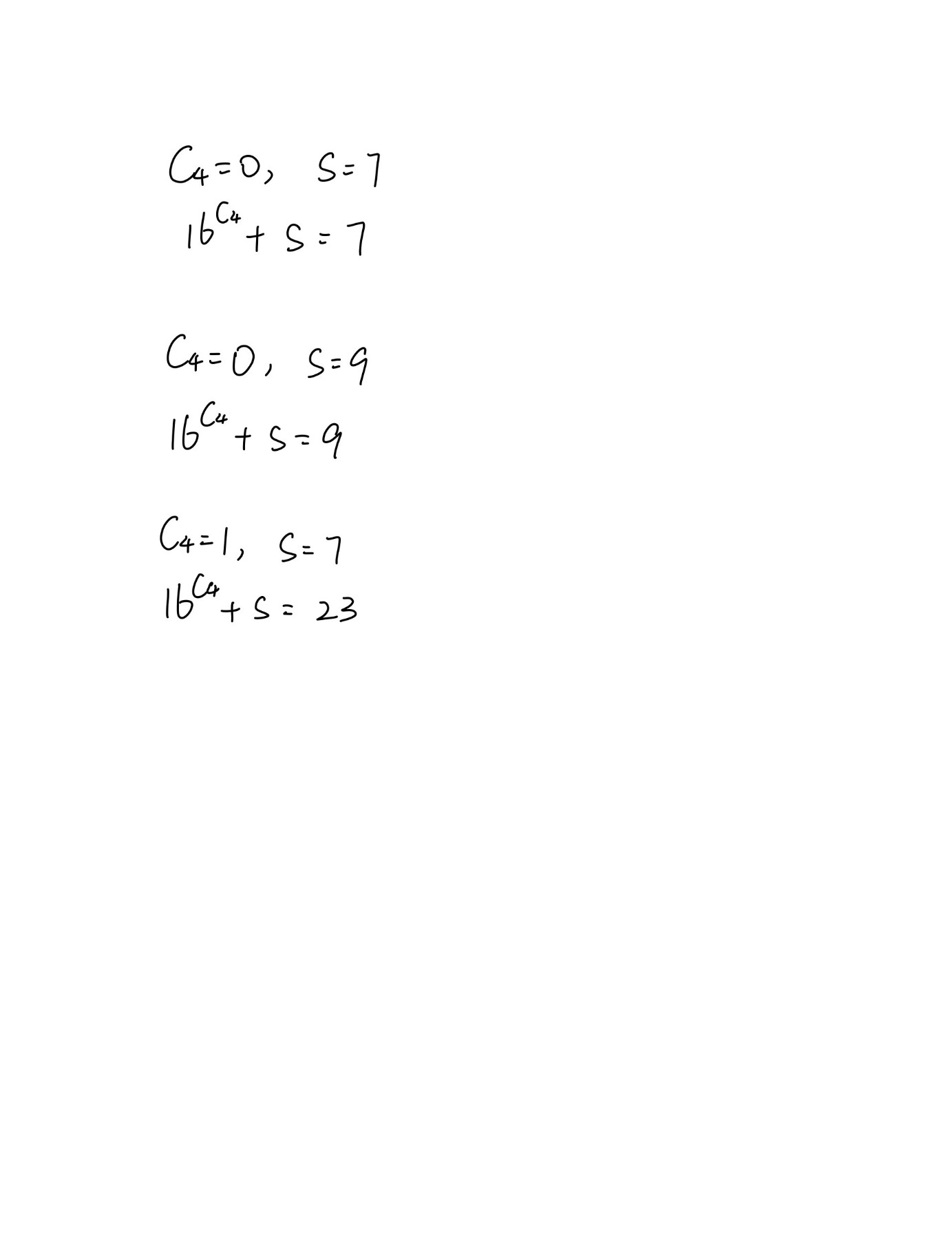
表1 全加器实验数据

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A4 A3 A2 A1 | B4 B3 B2 B1 | C0 | C4 | 数码显示 | 结果转换为十进制数 |
| 0 0 1 0 | 0 1 0 1 | 0 | **0** | **7** | **7** |
| 0 0 1 0 | 0 1 1 0 | 1 | **0** | **9** | **9** |
| 1 0 1 0 | 1 1 0 1 | 0 | **1** | **7** | **23** |

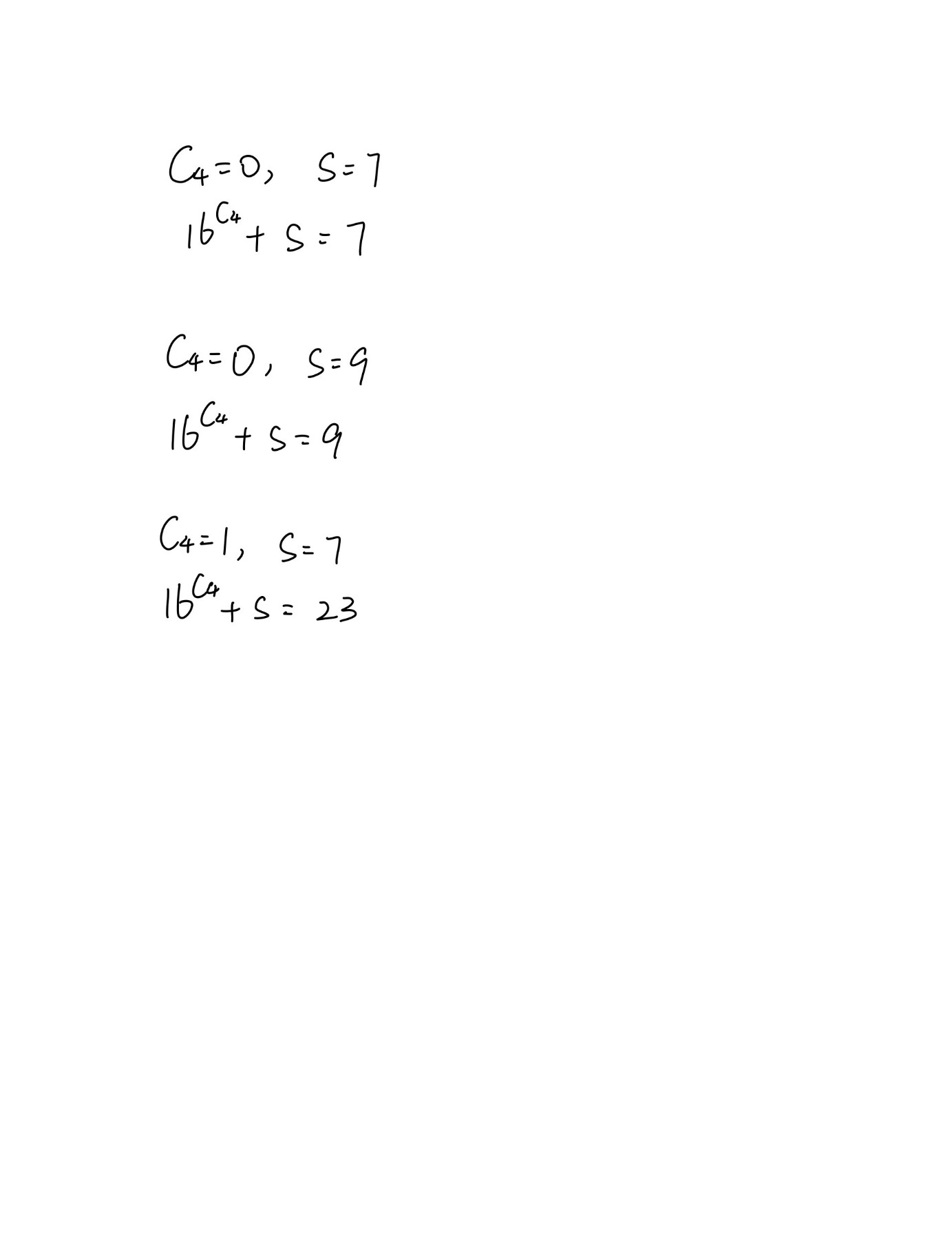
转换为十进制数计算过程：



②



③



**七、实验分析与总结**

1. 三变量决策器：将电路连接好后，将其中任意两个及以上开关打到“1”，二极管均会亮，表示多数人同意，决策通过。

实验过程中，按照真值表画出卡诺图、再根据卡诺图得出比较简单的表达式，再根据表达式在线上操作平台连线以后，得出了正确的实验结果，如上述实验数据记录所示。

在该实验中熟悉了74LS00和74LS10的引脚及实验平台的基本操作，完成了模拟实验。

1. 一位全加器：将两个二进制数相加，并考虑一个进位输入，输出一个本位加和结果和一个进位输出。

实验过程中，按照真值表画出卡诺图、再根据卡诺图得出比较简单的表达式，再根据表达式在线上操作平台连线以后，得出了正确的实验结果，如上述实验数据记录所示。

在该实验中熟悉了74LS00和74LS86的引脚及实验平台的基本操作，完成了模拟实验。在实验过程中，需要注意提供器材为74LS00和74LS86，而直接化简成与非与非式时，除了二输入的与非接口外，需要三输入的与非接口，因此需要将其中两项的表达式再次根据器材进行化简，到如表达式所示的形式。并且因为我们需要验证两个输出，因此需要分别将输出本位的引脚和进位的引脚接入两个二极管，方便对于结果的验证。

1. 四位全加器：将两个四位二进制数相加，并考虑一个进位输入；它有5个输出，即四个本位和和一个最高位进位。

实验过程中，由于使用器材74LS283，其本身即为一种四位全加运算器件，故按照器件说明书连接即可。

对于结果的验证，使用数码管显示当前四位全加以后的结果；使用二极管显示进位结果。由于数码管的显示是经过译码的结果，故会直接显示四位二进制数的十进制形式；而对于最后结果的计算，需要考虑二极管显示的进位，如过有进位，则最终结果为数码管结果+16；否则即为数码管显示结果。

在该实验中熟悉了74LS283的引脚及实验平台的基本操作，完成了模拟实验。