

## Общие сведения

Плата Atlys (рисунок П1.1) - это отладочный набор, основанный на ПЛИС Xilinx Spartan-6 LX45 FPGA.

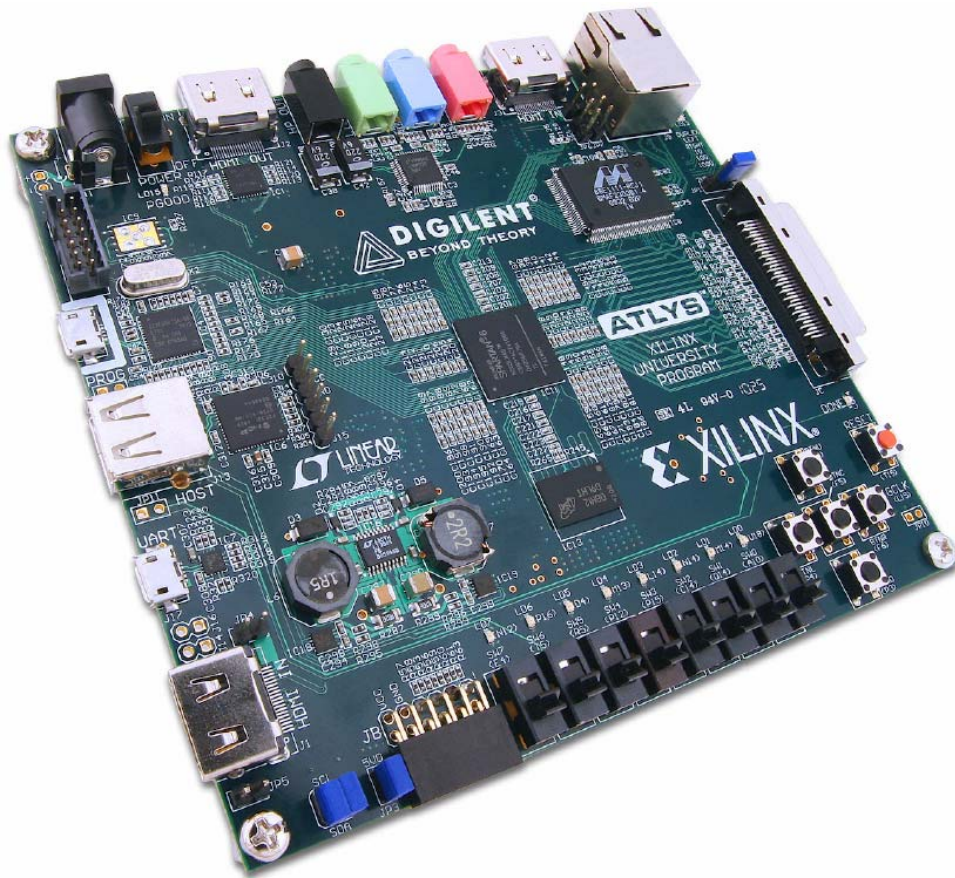


Рисунок П1.1 - Внешний вид платы ALTYS.

Наличие на плате FPGA большого набора периферийных устройств высокого уровня, таких как: Gbit Ethernet, HDMI контроллер, память типа DDR2 (128 Мб, с длиной слова 16 бит), разъемы аудио и USB, делают плату Atlys идеальным управляющим устройством для широкого ряда цифровых систем, включая разработку процессоров основанную на ядре MicroBlaze фирмы Xilinx. Плата Atlys совместима с САПР Xilinx (ChipScope, EDK, WebPack и др.) следовательно, разработка целого ряда устройств на ее основе не требует дополнительных денежных затрат.

Микросхема FPGA Spartan-6 LX45 оптимизирована для реализации устройств высокопроизводительной логики и включает в себя (см. рис.2):

- 6.822 ячейки, каждая из которых содержит четыре 6-ти выводные таблицы преобразования (LUT), и 8 триггеров;
- быстродействующие блоки RAM с общим объемом 2,1 Mbit;
- четыре блока управления синхронизацией (восемь DCM и четыре PLL);
- шесть систем фазовой автоподстройки частоты;
- 58 DSP ячейки;
- тактовая частота порядка 500 МГц.

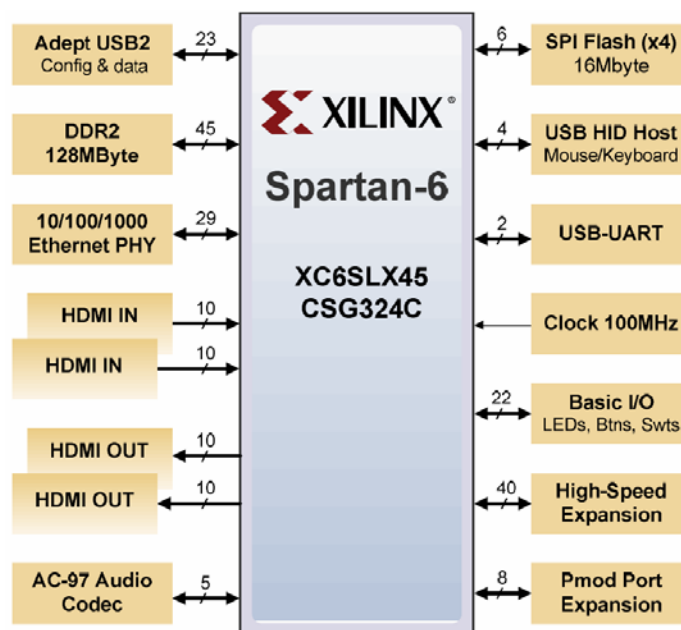


Рисунок П1.2 – Периферийные порты микросхемы FPGA Spartan-6 LX45.

Плата Atlys также включает в себя новую периферийную систему фирмы Digilent, Adept USB2. Данная система предназначена для программирования FPGA, проверки питающих напряжений, автоматическое тестирование платы и осуществления упрощенной передачи пользовательских данных.

Полный набор поддерживаемых платой IP ядер и примеры проектов, а также большой выбор дополнений для платы можно найти на сайте: [www.digilentinc.com](http://www.digilentinc.com).

### Характеристики

- FPGA серии Spartan 6 LX45, фирмы Xilinx, BGA корпус, 324 вывода;
- DDR2 память, объемом 128Мбайт, с длиной слова 16 бит;
- 10/100/1000 Ethernet (протокол физического уровня);
- 2 порта USB для программирования и обмена данными;
- Встроенный USB-UART мост, и USB-HID порт (для “мышки” и клавиатуры);
- Два HDMI входа и выхода;
- AC-97 аудио кодек;
- Контроль питания в режиме реального времени для всех питающих напряжений;
- 16Мбайт x 4 SPI Flash память для конфигурирования и хранения данных;
- 100МГц КМОП генератор;
- 48 выводов разведены на внешние разъемы;
- GPIO включает в себя 6 кнопок, 8 светодиодов и переключателей.

### Настройка

После включения платы, FPGA должна быть сконфигурирована, для выполнения каких-либо функций. Конфигурация FPGA может быть выполнена тремя способами (рисунок П1.3):

1. При помощи ПК, подключенного к плате через USB или JTAG разъем;

2. Автоматически при подаче питания при помощи конфигурационного файла, записанного во Flash памяти;
3. При помощи конфигурационного файла, записанного на USB накопитель, подключенный через разъем USB-HID.

Расположенной на плате переключкой (JP11) осуществляется выбор между JTAG/USB и программированием из ROM. Если переключка разомкнута, то FPGA автоматически считывает конфигурационный файл, записанный в ROM, при подаче питания на плату. Если переключка замкнута, то FPGA остается в режиме ожидания пока не будет сконфигурирована по интерфейсу JTAG или последовательному программируемому порту.

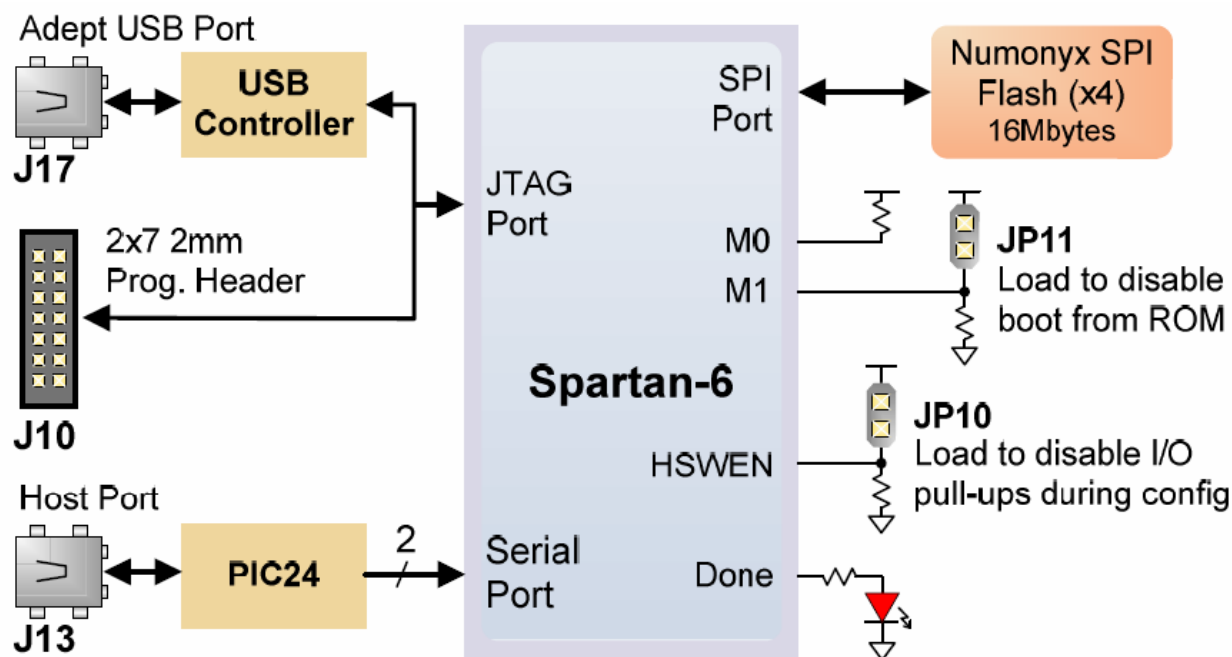


Рисунок П1.3 – Подключение микросхемы FPGA Spartan-6 LX45, расположенной на плате ALTYS к внешним разъемам.

Переключка JP12 должна быть всегда замкнута (либо на 3.3В, либо на 2.5В). Если переключка JP12 разомкнута, то банк 2 FPGA недоступен, также не реализуется подтяжка к питанию для сигналов CCLK, DONE, PROGRAM\_B и INIT\_B. В этом случае FPGA находится в состоянии сброса, и не доступна для конфигурирования по JTAG или из ROM.

Для программирования FPGA и ROM, могут быть использованы бесплатные программы Digilent и Xilinx.

Файл прошивки хранится в FPGA при помощи внутренних ячеек памяти типа SRAM. Данный файл содержит в себе информацию о логических функциях и соединениях, и остается неизменным, пока не будет отключено питание или не будет перезаписан другим файлом.

Через интерфейс JTAG передаются конфигурационные файлы типа \*.bin или \*.svf. Через USB интерфейс – только \*.bit файлы, в ROM память могут быть записаны файлы \*.bin, \*.bit, \*.svf и \*.mcs.

Файлы конфигурации могут быть созданы как при помощи WebPack, так и EDK из исходных файлов, описанных при помощи VHDL, Verilog или схематического представления. EDK может быть использовано для проектирования процессорных систем. Программирование FPGA и ROM выполняются при помощи программы iMPACT или

Adept, в последнем случае - через порт, обозначенный как Adept USB (маркировка на плате “Prog”).

При программировании FPGA файлы \*.bit или \*.svf записываются непосредственно в память FPGA через JTAG-USB порт. Программирование ROM памяти осуществляется в два этапа. Сначала программируется FPGA схемой программирования ROM памяти по интерфейсу SPI, а затем данные передаются в ROM через FPGA (данный процесс выполняется при выборе в меню “program ROM”). После записи конфигурационного файла в ROM, FPGA будет загружена автоматически при следующем включении или после сброса, если перемычка JP11 не установлена (см. рисунок П1.4).

FPGA может быть сконфигурирована при помощи карты памяти, подключенной к разъему USB-HID. Для такого конфигурирования необходимо выполнение условий, чтобы в ее корневой директории был записан только один \*.bit файл, перемычка JP11 установлена и подключено питание.

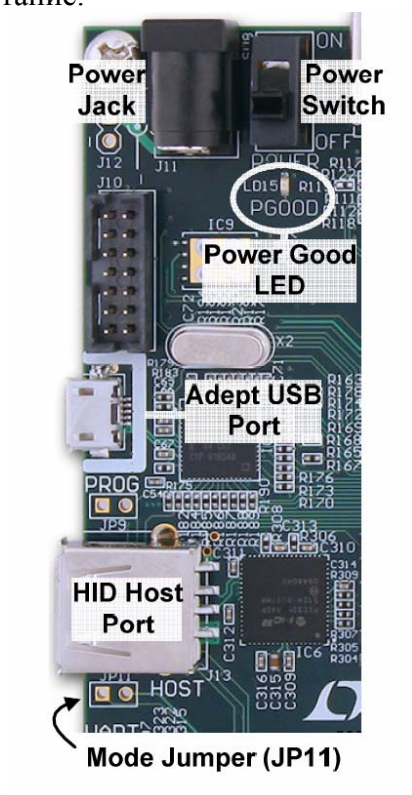


Рисунок П1.4 – Расположение некоторых органов управления и перемычек на плате.

### USB порт для iMPACT и Adept

Порт Adept USB (см. рисунок П1.4) совместим с программой iMPACT фирмы Xilinx, если на управляющем компьютере установлено дополнение от Digilent. Данное дополнение автоматически переводит iMPACT-команды JTAG в формат, совместимый с USB портом от Digilent.

Для программирования FPGA через программу Adept главное окно которой изображено на рисунке П1.5, необходимо выбрать вкладку Config, и убедиться в том, что плата Atlys подключена и FPGA найдена. При помощи кнопки Brows необходимо выбрать файлы прошивки, а затем нажать кнопку Program.

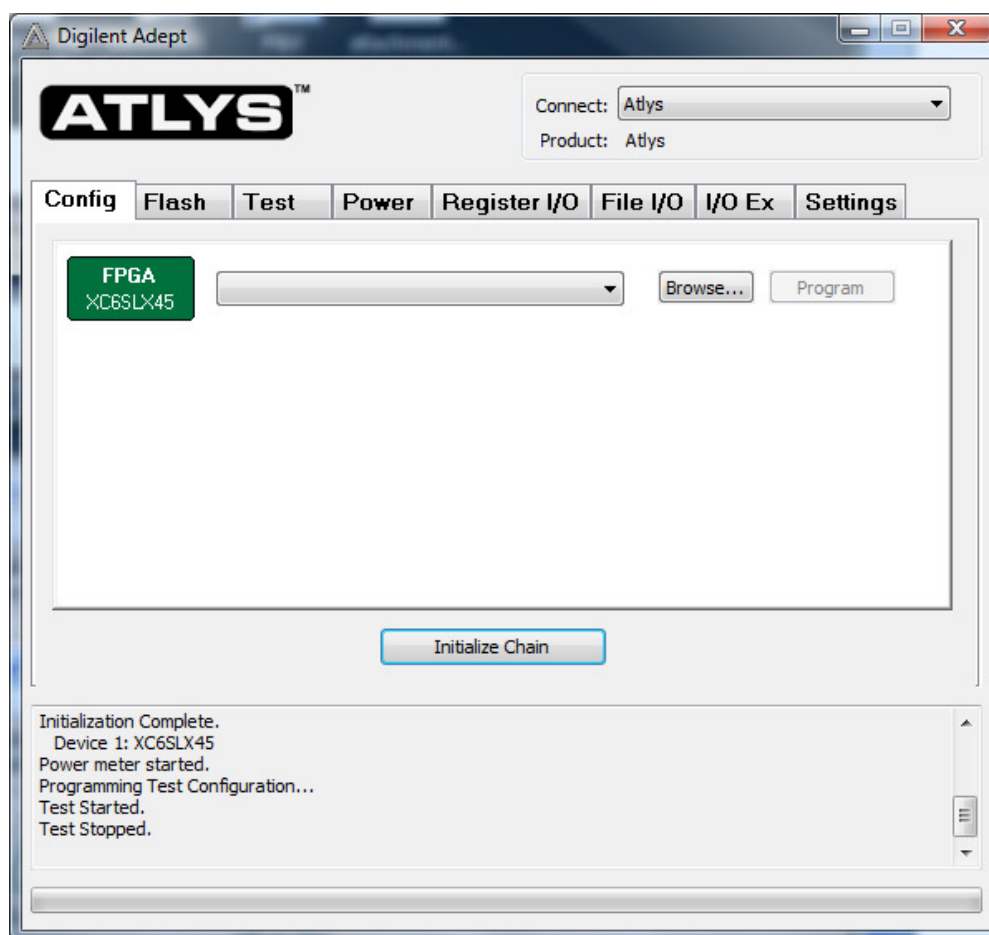


Рисунок П1.5 – Основное окно программы ADEPT,  
предназначенной для работы с платой ALTYS

### Источник питания

Плата Atlys требует внешнего подключения источника 5В питания, рассчитанного на нагрузку до 4А (адаптер для сети 220 В входит в комплект поставки). На плате используются преобразователи напряжения от фирмы Linear Tec. для формирования требуемых напряжений (см. таблицу П1.1 и рисунок П1.6).

Таблица П1.1 – Преобразователи напряжения, установленные на плате и их нагрузочные характеристики.

Напряжение	Схема	Устройство	Ток (макс./тип.)
3,3 В	FPGA I/O, видео, USB порт, тактирование, ROM, аудио	IC16: LT3501	3А / 900mA
2,5 В	FPGA aux, VHDC, Ethernet PHY I/O, GPIO	IC15: LTC3546	1А / 400mA
1,2 В	ядра FPGA и Ethernet PHY	IC15: LTC3546	3А / 0.8 – 1.8А
1,8 В	DDR и выводы FPGA DDR	IC16: LT3501	3А / 0.5 -- 1.2А
0,9 В	Ограничивающее напряжение DDR	IC14: LTC3413	3А / 900mA



Контроль тока четырех первых напряжений на плате Atlys осуществляется при помощи 16-ти битного дельта-сигма АЦП LTC2481. С точностью в 1% измеренные величины можно посмотреть в программе Adept.

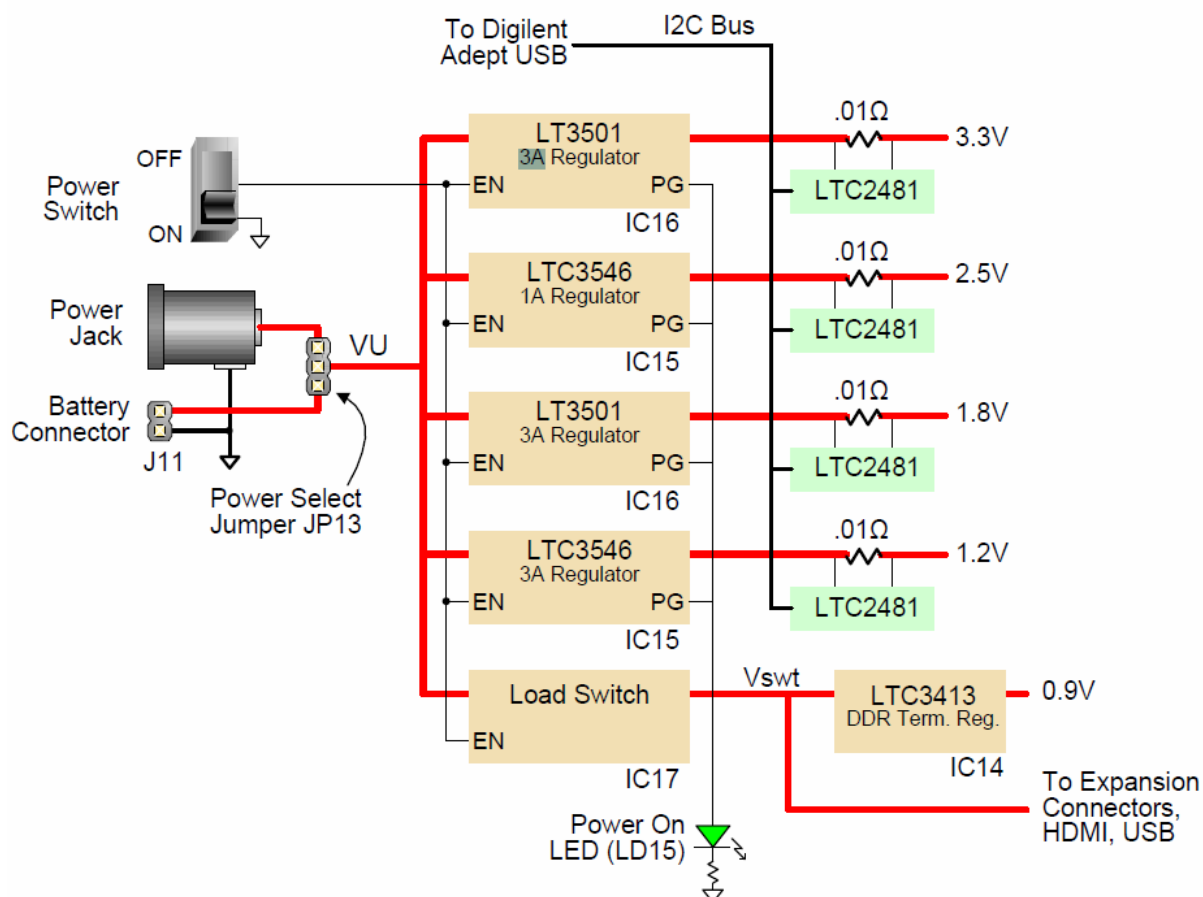


Рисунок П1.6 – Преобразователи напряжения, установленные на плате.

Управление подачей напряжения осуществляется при помощи переключателя SW8. Светодиод LD15 подключен по схеме монтажное «ИЛИ» ко всем тестовым выходам микросхем преобразователей напряжения, для индикации того, что погрешность выходного напряжения каждого источника не превышает 10% от номинального значения.

Микросхема IC17 (FDC6330) пропускает входное напряжение VU на узел Vswt, когда переключатель SW8 находится в разрешающем положении.

Напряжение Vswt используется различными системами на плате, такими как порт HDMI, шина I2C и USB host.

Шина Vswt также выведена в разьеме расширяющем возможности платы, поэтому напряжение на дополнительных платах может подаваться одновременно с включением платы Atlys.

## Память DDR2

На плате установлена DDR2 память объемом 1Гбит, управляемая при помощи блока контроля DDR в FPGA. DDR2-память, эквивалентная MT47H64M16-25E, содержит 16-ти битную шину и 64М ячеек. Обмен данными с DDR2 гарантируется на частотах до 800 МГц. Интерфейс подключения DDR2-памяти, и разводка монтажных дорожек осуществлена согласно руководству пользователя «Xilinx Memory Interface Generator (MIG)» (см. рисунок П1.7).

Интерфейс памяти поддерживает SSTL18 сигналы, и все адреса, данные, тактовые импульсы и управляющие сигналы разведены с учетом задержек и импеданса.

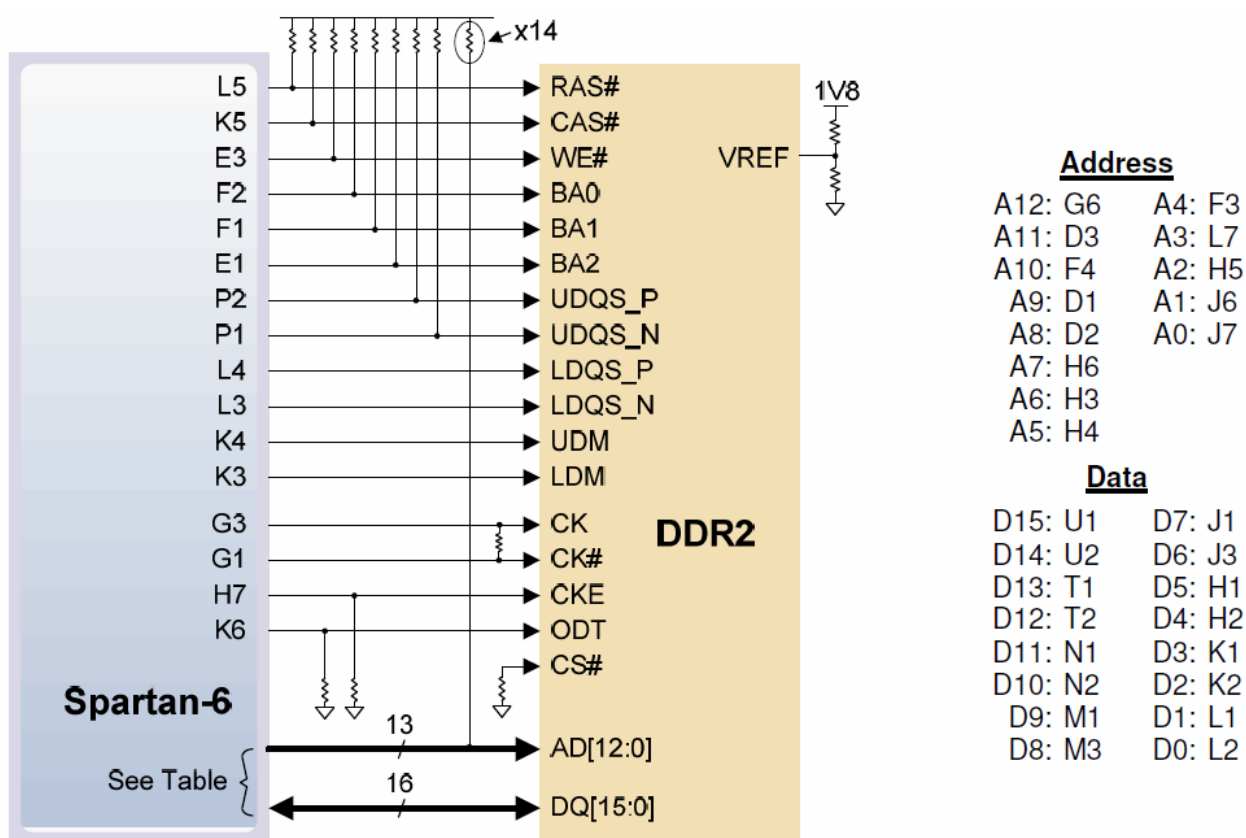


Рисунок П1.7 – Подключение DDR2 памяти к Spartan-6 на плате ALTYS.

Адресная шина и управляющие сигналы подключены через ограничительные сопротивления 47 Ом к ограничивающему напряжению 0.9В, а шина данных подключается при помощи On-Die-Termination (ограничивающие сопротивления размещенные внутри микросхемы). Для синхронизации DDR-памяти в FPGA, специально предусмотрена пара согласованных тактовых сигналов в DDR2, передние фронты которых сделаны пологими.

### Флеш память

На плате Atlys установлена флеш-память Numonyx N25Q12 (128 Мбит), предназначенная для хранения конфигурационного файла и данных (см. схему подключения на рисунке П1.8). Файлы конфигурации занимают 12 Мбит памяти, остальные 116 Мбит могут использоваться для хранения данных. Обмен данными между ПК и флеш-памятью может быть осуществлен при помощи пользовательской программы, или при помощи программы, сгенерированной программой Adept. Пользовательская программа позволяет настроить обмен данными между FPGA и ROM. На сайте Digilent Вы можете найти проект, реализующий такой обмен данными.

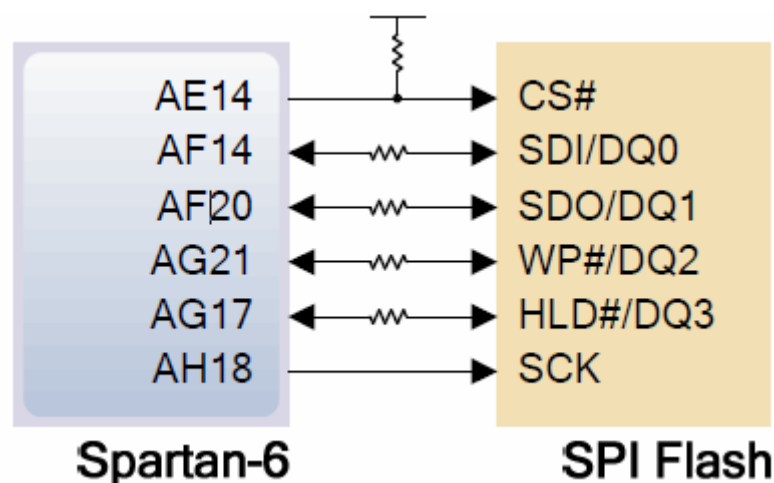


Рисунок П1.8 - Рисунок П1.7 – Подключение флеш памяти к Spartan-6 на плате ALTYS.

### Сеть Ethernet PHY

Плата Atlys содержит контроллер Marvell Alaska Tri-mode PHY (the 88E1111) соединенный с разъемом Halo HFJ11-1G01E RJ-45 (рисунок П1.9). Оба устройства МП и ГМП поддерживают режимы обмена данными на скоростях 10/100/1000 Мбит/с.

Настройки по умолчанию, используемые при включении питания или сбросе:

- Режим МП/ГМП для обмена данными по медному кабелю.
- Включено автоматическое согласование режима работы с поддержкой всех скоростей, предпочтительно ведомое устройство.
- Выбран интерфейс MDIO, адрес PHY MDIO = 00111.
- Нет асимметричной паузы, нет MAC паузы, автоматическое определение перекрестного соединения.
- Функция Energy detect отключена (Отключен «Режим сна»).

Для получения более подробной информации по Marvell PHY необходимо связаться с производителем и заключить соглашение о неразглашении.

Проекты, основанные на Xilinx Embedded Developer Kit (EDK), могут получить доступ к PHY, используя IP ядра **xps\_ethernetlite** для проектов со скоростями 10/100 Мбит/с и **xps\_ll\_temac** для проектов со скоростями 10/100/1000 Мбит/с. IP-ядро **xps\_ll\_temac** использует аппаратное ядро MAC Ethernet, включенное в FPGA Virtex-5.



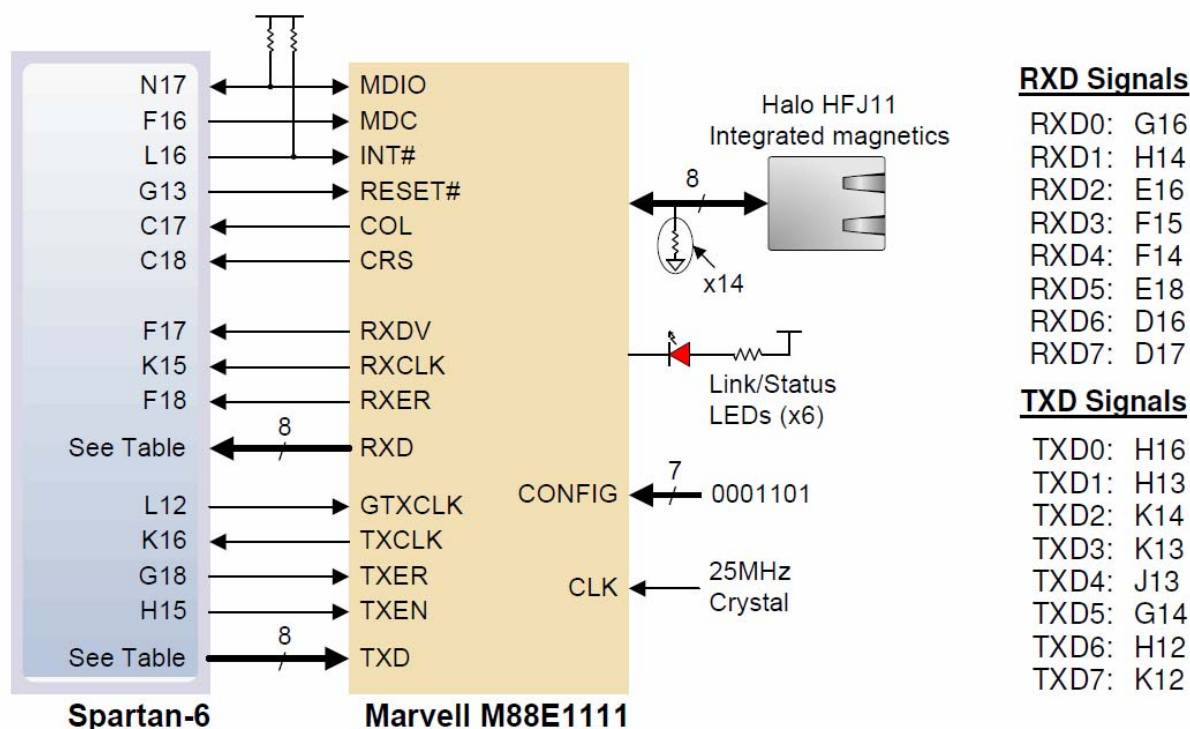


Рисунок П1.9 – Подключение к контроллеру Marvell Alaska Tri-mode PHY (the 88E1111).

Пакет поддержки Atlys Base System Builder (BSB) автоматически генерирует тестовые приложения для MAC Ethernet, которые могут использоваться в качестве справочной информации при создании собственных проектов. Другой демонстрационный проект (веб-сервер), основанный на Ethernet, может быть получен на веб-сайте Digilent.

В проектах ISE может использоваться генератор IP ядер для создания IP ядра контроллера tri-mode Ethernet MAC.

### Подключение к видеосистемам (HDMI Ports)

На рисунке п1.10 показано, что плата Atlys содержит четыре порта HDMI, включая два буферизированных порта ввода/вывода HDMI, один буферизированный выходной порт HDMI, и один небуферизированный порт, который может быть как входом, так и выводом (обычно используемый в качестве выходного порта). Три буферизированных HDMI порта используют разъемы типа A, а небуферизированный порт использует разъем типа D, расположенный на нижней стороне печатной платы, сразу под разъемом Pmod (разъем типа D намного меньше, чем разъем типа A). Шина данных небуферизированного порта используется совместно с разъем Pmod. Это немного ограничивает пропускную способность, поскольку несколько совместно используемых разъемов не смогут передавать или получать высокочастотные видеосигналы по длинным кабелям HDMI.

Так как HDMI и DVI используют одинаковый TMDS стандарт передачи данных, для управления разъемом DVI через любой из выходных портов HDMI может использоваться обычный переходник (доступный в большинстве магазинов электроники). Порт HDMI не поддерживает сигналы VGA, таким образом, аналоговые дисплеи использоваться не могут.

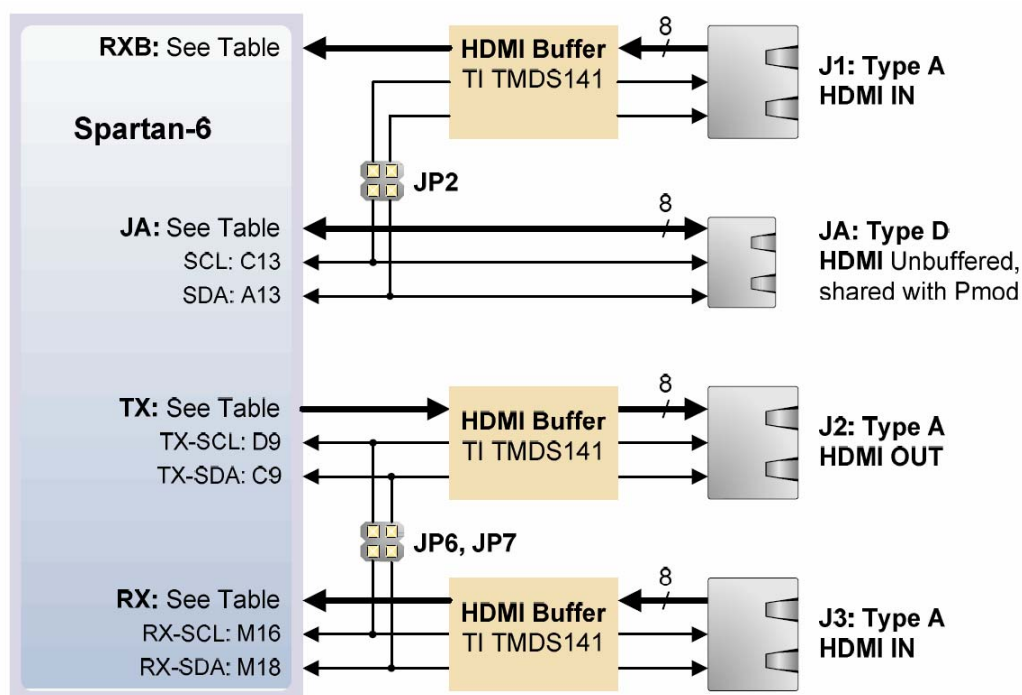


Рисунок П1.10 – Подключение к видеосистемам.

19-контактные разъемы HDMI содержат четыре дифференциальных канала данных, пять контактов GND, один провод протокола дистанционного управления Consumer Electronics Control (CEC), двухпроводный интерфейс Display Data Channel (DDC), который является по существу шиной I2C, сигнал Hot Plug Detect (HPD), 5V 50mA провод питания, и один резервный (RES) контакт. Из них только дифференциальные каналы данных и шина I2C соединяются с FPGA. Описания всех сигнальных контактов приведены на рисунке п1.11.

HDMI Type A Connectors				HDMI Type D	
Pin/Signal	J1: IN	J2: Out	J3: IN	Pin/Signal	JA: BiDi
1:D2+	B12	B8	J16	1:HPD	JP3*
2:D2_S	GND	GND	GND	2:RES	VCCB2
3:D2-	A12	A8	J18	3:D2+	N5
4:D1+	B11	C7	L17	4:D2_S	GND
5:D1_S	GND	GND	GND	5:D2-	P6
6:D1-	A11	A7	L18	6:D1+	T4
7:D0+	G9	D8	K17	7:D1_S	GND
8:D0_S	GND	GND	GND	8:D1-	V4
9:D0-	F9	C8	K18	9:D0+	R3
10:Clk+	D11	B6	H17	10:D0_S	GND
11:Clk_S	GND	GND	GND	11:D0-	T3
12:Clk-	C11	A6	H18	12:Clk+	T9
13:CEC	NC	OK to Gnd	NC	13:Clk_S	GND
14:RES	NC	NC	NC	14:Clk-	V9
15:SCL	C13	D9	M16	15:CEC	VCCB2
16:SDA	A13	C9	M18	16:Gnd	GND
17:Gnd	GND	GND	GND	17:SCL	C13**
18:5V	JP4*	5V	JP8*	18:SCA	A13**
19:HPD	1K to 5V	NC	1K to 5V	19:5V	JP3

\*jumper can disconnect Vdd

\*\*shared with J1 I2C signals via jumper JP2

Рисунок П1.11 – Описания контактов разъемов подключения к видеосистемам.

Проекты, основанные на Xilinx Embedded Developer Kit (EDK) могут использовать xps\_tft IP ядро (и его драйвер) чтобы получить доступ к портам HDMI. Ядро xps\_tft читает видеоданные из памяти DDR2, и отправляет их по порту HDMI для отображения на внешнем мониторе.

Учебный проект EDK, доступный на веб-сайте Digilent, выводит на экран градиентную цветовую полосу на мониторе, соединенном с HDMI. Второй учебный проект EDK также, выводит на экран градиентную цветовую полосу на мониторе, соединенном с J2 HDMI.

### Аудиокодек (AC-97)

Плата Atlys содержит аудио кодек National Semiconductor LM4550 AC '97 (IC19) с четырьмя 1/8" аудио разъемами для: line-out (J16), headphoneout (J18), line-in (J15), и microphone-in (J17) (рисунок п1.12). Поддерживается аудио поток с выборкой до 18 бит на частоте 48 кГц. Частоты дискретизации записи и воспроизведения могут отличаться. Разъем микрофона поддерживает только режим моно, все другие разъемы - стерео. Гнездо наушников соединено с внутренним усилителем аудиокодека на 50 мВт.

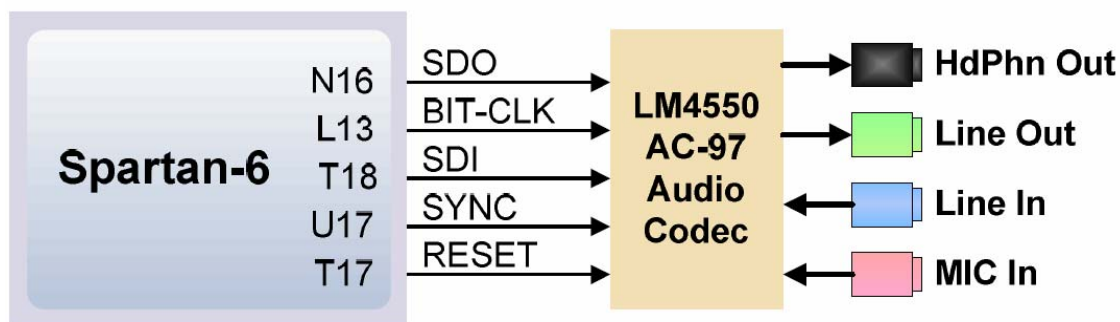


Рисунок П1.12 – Подключение аудиокодека.

Аудиокодек LM4550 совместим со стандартом AC '97 v2.1 (Intel) и является основным кодеком (ID1 = 0, ID0 = 0). В таблице П1.1 перечислены характеристики управляющих сигналов кодека AC'97 и сигналов данных. Все уровни сигналов - LVCMOS33.

Демонстрационный проект EDK, доступный на веб-сайте Digilent, выводит прямоугольный сигнал в левый канал, правый канал, и затем - на оба звуковых канала разъема LINE OUT. Так же происходит соединение входа LINE IN на выход наушников, с периодической сменой правого и левого каналов.

Демонстрационный проект ISE просто включает звук каналов кодека и подсоединяет LINE IN на разъем LINE OUT.

### Тактовый генератор и сигналы синхронизации Oscillators/Clocks

Плата Atlys содержит один CMOS 100 МГц тактовый генератор, соединенный с контактом L15 (L15 - вход GCLK в группе 1). Этот вход тактового генератора может быть подключен к любой из четырех (или ко всем сразу) ячейкам управления синхронизацией в Spartan-6. Каждая ячейка содержит два цифровых блока управления синхронизацией Digital Clock Manager (DCM) и четыре цепи фазовой автоподстройки частоты Phase-Locked Loop (PLL).

DCM поддерживает четыре фазы входной частоты (0., 90., 180., и 270.), деление частоты синхросигнала, (делителем входной частоты может быть любое целое число от 2

до 16 или 1.5, 2.5, 3.5... 7.5) и два противофазных выхода синхросигнала, частота которых может быть умножена на любое целое число от 2 до 32, и также одновременно разделена на любое целое число от 1 до 32.

Таблица П1.2 –Сигналы и данные аудиосистемы ALTYS

Signal Name	FPGA Pin	Pin Function
AUD-BIT-CLK	AH17	Последовательный выход тактового сигнала на частоте 12.288 МГц, является половиной частоты 24.576 МГц тактового генератора на входе (XTL_IN).
AUD-SDI	AE18	Последовательный порт данных Serial Data In (к FPGA) от кодека. Данные SDI представляют собой входные кадры данных AC '97, которые содержат служебные и аудио данные PCM. Данные SDI выдаются по нарастающему фронту AUD-BIT-CLK.
AUD-SDO	AG20	Последовательный порт данных Serial Data Out (к кодеку) от FPGA. Данные SDO представляют собой выходные кадры данных AC '97, которые содержат служебные и аудио данные DAC. Дискретизация данных SDO происходит по нарастающему фронту AUD-BIT-CLK при помощи LM4550.
AUD-SYNC	J9	Маркер кадра данных AC Link и программный сброс. SYNC (вход кодека) задает границы кадра данных AC Link. Каждый кадр длится 256 периодов AUD-BIT-CLK. Обычно SYNC это положительные импульсы с частотой 48 кГц и скважностью 6.25% (16/256). Сигнал SYNC выдается по нарастающему фронту AUDBIT- CLK, и кодек воспринимает первый импульс SYNC как начало нового кадра данных AC Link. Если последующий синхроимпульс появится в течение 255 периодов AUD-BIT-CLK после начала кадра данных,то он будет проигнорирован. SYNC (активен в состоянии лог. «1») также используется в качестве входа для выполнения асинхронного программного сброса. Программный сброс используется для выхода из состояния выключения питания в интерфейсе AC Link.
AUD-RESET	E12	Аппаратный сброс. Этот сигнал (активен в состоянии лог. «0») вызывает аппаратный сброс, который возвращает регистры команд и все внутренние схемы в их состояние по умолчанию. AUD-RESET должен быть использован для инициализации LM4550 после включения питания, когда напряжение стабилизировались. Также AUD-RESET очищает кодек от тестовых режимов ATE и поставщика. Кроме того, когда AUD-RESET активен, моно вход PC_BEEP подключается непосредственно на оба канала стерео выхода LINE_OUT.

PLL использует генератор, управляемый напряжением Voltage Controlled Oscillator (VCO), который может быть запрограммирован для формирования сигнала с частотой в диапазоне от 400 до 1080 МГц, путем установки трех наборов программируемых делителей во время конфигурации FPAG. У выхода VCO есть восемь равномерно распределенных выводов (0°, 45°, 90°, 135°, 180°, 225°, 270°, и 315°), частота сигнала с которых может быть разделена на любое целое число между 1 и 128.

## Подключение последовательного порта (мост USB-UART)

Плата Atlys содержит USB-UART мост EXAR, чтобы обеспечить возможность приложениям PC связываться с платой, используя COM-порт. Свободно-распространяемые драйвера позволяют легко передавать данные от COM-порта PC на плату Atlys, с использованием USB порта J17 с пометкой «UART» (см. рисунок П1.13). EXAR передает данные в Spartan-6, используя двухпроводной последовательный порт с программным управлением потоком данных (XON/XOFF).

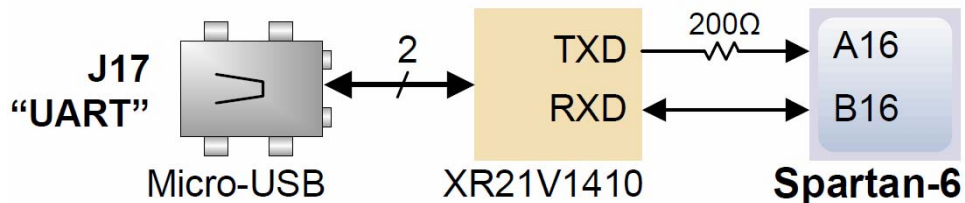


Рисунок П1.13 – Подключение последовательного порта.

Распространяемые свободно драйверы под Windows и Linux могут быть загружены с сайта [www.exar.com](http://www.exar.com). Ввод номера компонента "XR21V1410" в поле поиска позволит получить ссылку к странице продукта XR21V1410, где можно найти ссылки для скачивания последних версий драйверов. После того, как драйвера будут установлены, команды ввода-вывода от PC, направленные к COM-порту, так же будут направлены на выходы A16 и B16 FPGA.

## Реализация режима контроллер USB HID Host

Установленный на плате микроконтроллер Microchip PIC24FJ192 дает плате Atlys возможность быть HID USB контроллером (рисунок П1.14). Прошивка микроконтроллера MCU позволяет использовать мышь или клавиатуру, подключенную к USB разъему типа A (J13) с маркировкой "Host". В настоящий момент отсутствует поддержка USB концентраторов, и только одно устройство (мышь или клавиатура) может быть подключено одновременно. PIC24 использует четыре сигнала для связи с FPGA: два используются как порт клавиатуры со связью по протоколу PS/2 (специализированному для клавиатуры, см. рисунок П1.15) и два используется в качестве порта мыши со связью по протоколу PS/2 (специализированному для работы с манипуляторами «мышь»).

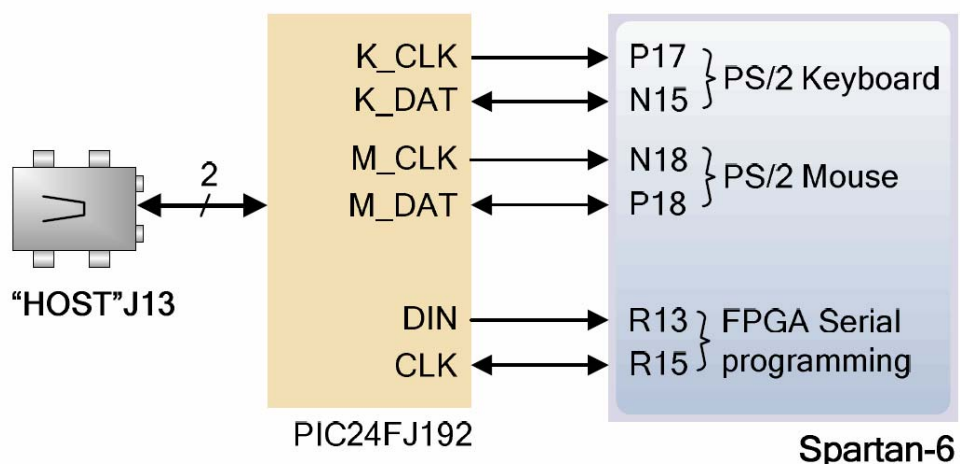


Рисунок П1.14 – Реализация режима «HID USB контроллер».

Два порта ввода-вывода PIC24 также соединяются с последовательным двухпроводным портом программирования FPGA, таким образом, микросхема FPGA может быть запрограммирована данными из файла, хранящегося на USB карте памяти. Чтобы запрограммировать FPGA, подключите карту памяти, содержащую единственный файл программы (\*.bit) в корневом каталоге, замкните JP11, и включите питание платы. Это запустит процесс программирования FPGA при помощи PIC24. В процессе программирования любые некорректные битовые файлы будут автоматически пропущены.

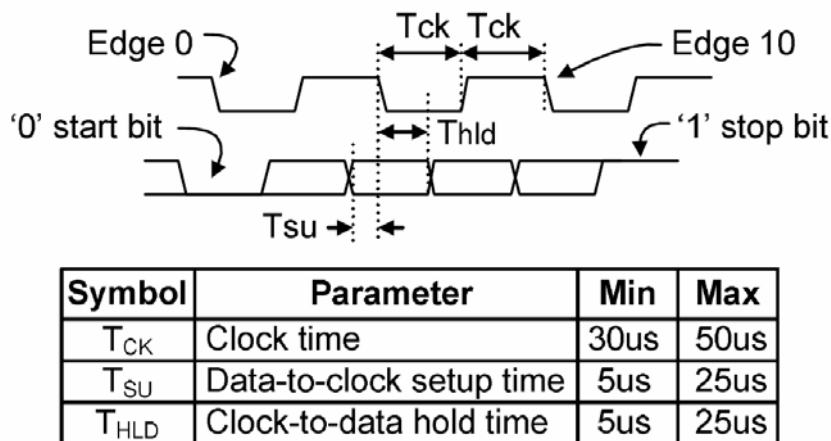


Рисунок П1.15 –Сигналы для обмена по протоколу PS/2.

Чтобы получить доступ к хост-контроллеру USB, проекты EDK могут использовать стандартное PS/2 IP ядро. В демонстрационных проектах, доступных на веб-сайте Digilent, приведен пример считывания символов с USB клавиатуры, подключенной к USB хост-контроллеру.

Мыши и клавиатуры, которые используют протокол PS/2, используют двухпроводную последовательную шину (синхронизация и данные), чтобы связаться с контроллером. И те и другие используют 11-разрядные слова, которые включают стартовый бит, стоповый бит и бит четности, но пакеты данных имеют различную структуру. Интерфейс клавиатуры поддерживает двунаправленную передачу данных (таким образом, контроллер может зажигать светодиоды состояния на клавиатуре). Временные диаграммы работы шины показаны на рисунке. Синхросигналы и сигналы данных изменяются только тогда, когда происходит передача данных. Все остальное время они находятся в состоянии ожидания (лог. '1'). Так же на временных диаграммах приведены требования к сигналам данных и синхронизации. Схема интерфейса PS/2 может быть реализована в FPGA, чтобы создать интерфейсы мыши или клавиатуры.

### Подключение клавиатуры

Клавиатура использует схему с открытым коллектором. Таким образом клавиатура или контроллер USB могут управлять двухпроводной шиной (если устройство узла не будет отправлять данные клавиатуре, то узел может использовать порты только для ввода).

PS/2 клавиатуры используют коды сканирования для передачи данных о нажатии клавиши. Каждой клавише присвоен код, который отправляется всякий раз, когда клавиша нажимается. Если клавиша будет удерживаться, то код сканирования будет передаваться повторно, примерно раз в 100 мс. Когда клавиша будет отпущена, одновременно с кодом сканирования данной клавиши будет передан код F0. Если регистр данной клавиши может быть переключен для получения другого символа (такого как прописная буква), то символ

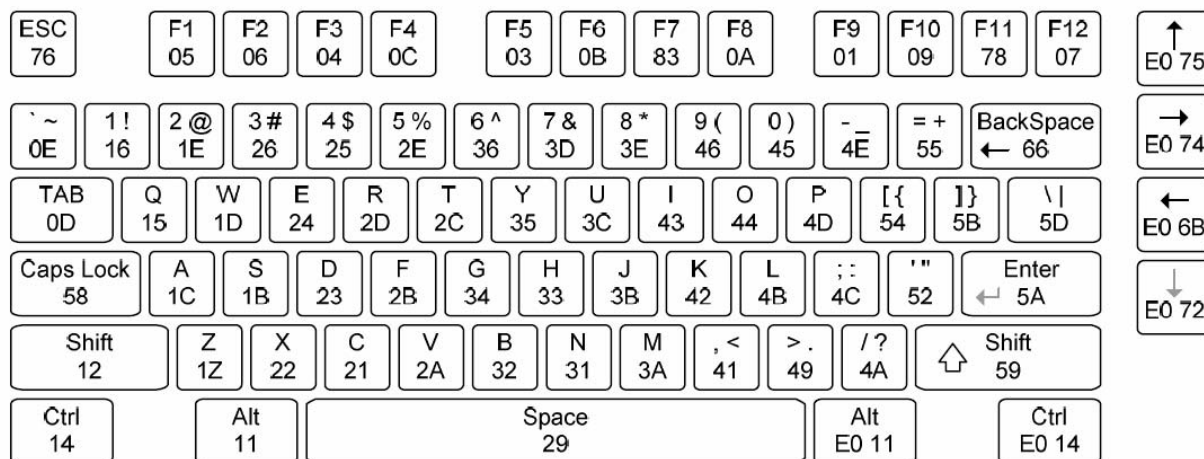


смены регистра отправляется в дополнение к коду сканирования, и ведущее устройство должно определить, какой ASCII символ использовать. Некоторые клавиши, называемые клавишами расширения, отправляют код E0 перед кодом сканирования (и могут отправить более одного кода сканирования). Когда клавиша расширения отпускается, отправляется код клавиши E0 F0, сопровождаемый кодом сканирования. Коды сканирования для большинства клавиш показаны на рисунке. Ведущее устройство так же может отправлять данные клавиатуре. Краткий список команд, которые могут быть отправлены ведущим устройством, представлен в таблице П1.3.

Таблица П1.3 – Команды обмена данными с клавиатурой.

ED	Установка Num Lock, Caps Lock, и Scroll Lock светодиодов. После приема ED, клавиатура возвращает FA, а затем ведущее устройство отправляет байт установки статуса светодиода: бит 0 устанавливает Scroll Lock, бит 1 устанавливает Num Lock, и бит 2 устанавливает Caps lock. Биты с 3 по 7 игнорируются.
EE	Эхо (тест). Клавиатура возвращает EE после приема EE.
F3	Установка частоты повторения кода сканирования. После приема FA, клавиатура возвращает F3, затем ведущее устройство посылает второй байт для установки частоты повторения сканирования.
FE	Повторная передача. FE заставляет клавиатуру повторно передать последний отправленный код сканирования.
FF	Сброс. Сброс клавиатуры.

Коды сканирования для большинства PS/2 клавиатур приведены на рисунке П1.16.



**PS/2 Keyboard Scan Codes**

Рисунок П1.16 - Коды сканирования PS/2 клавиатуры

Клавиатура может отправить данные ведущему устройству только в том случае, когда обе линии (данных и синхронизации) находятся в высоком состоянии (или неактивны). Так как ведущее устройство - устройство управления шиной, то, перед отправкой данных, клавиатура должна проверить, не занята ли линия. Чтобы упростить этот процесс, линия синхронизации используется в качестве сигнал “свободен для передачи”. Если ведущее устройство подтягивает линию синхронизации к низкому логическому уровню, клавиатура не должна отправлять данные, пока линия не вернется в исходное состояние. Клавиатура отправляет данные ведущему устройству в 11-разрядных словах, которые содержат: стартовый бит ‘0’, 8 бит кода сканирования (сначала младший

бит), бит четности и стоповый бит '1'. При передаче данных клавиатура генерирует 11 тактовых импульсов с частотой от 20 до 30 кГц. Данные доступны для чтения по отрицательному фронту тактового импульса.

### Подключение манипулятора «мышь»

При перемещении мышь изменяет значения линий данных и синхронизации, в состоянии покоя эти линии остаются в состоянии логической '1'. При каждом перемещении мыши, на ведущее устройство передаются три 11-разрядных слова. Каждое из этих слов содержит стартовый: бит '0', 8 бит данных (сначала младший бит), бит четности и стоповый бит '1'. Таким образом, каждая передача данных содержит 33 бита, где биты с номерами 0, 11 и 22 'нулевые' - стартовые биты, а биты с номерами 10, 21, и 33 'единичные' - стоповые биты. Три 8-разрядных поля данных содержат информацию о перемещении, как показано на рисунке П1.16. Данные доступны для чтения по отрицательному фронту тактового импульса с частотой 20 - 30 кГц.

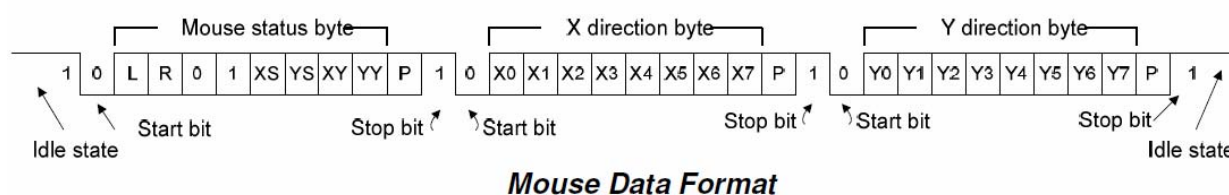


Рисунок П1.16 – Формат данных при работе с манипулятором «мышь».

Мышь предполагает использование относительной системы координат, в которой перемещение мыши направо генерирует положительное число в поле X, а перемещение налево генерирует отрицательное число. Аналогично, перемещение вверх мыши генерирует положительное число в поле Y, а перемещение вниз - отрицательное число (биты XS и YS в байте состояния - биты знака, где '1' указывает на отрицательное число). Значения чисел X и Y представляют скорость перемещения мыши - чем больше число, тем быстрее мышь перемещается (биты XV и YV в байте состояния - индикаторы переполнения перемещения, где '1', означает, что произошло переполнение). Если мышь перемещается непрерывно, 33-разрядные передачи повторяются каждые 50 мс. Поля L и R в байте состояния указывают на нажатие кнопки Left and Right ('1', указывает, что кнопка нажата).

### Простые устройства ввода/вывода

Предусмотренные на плате Atlys ресурсы для ввода и вывода сигналов от контактов FPGA представлены на рисунке П1.17. На плате размещены содержат шесть кнопок, восемь переключателей, и восемь светодиодов. Одна из шести кнопок на печатной плате имеет маркировку "reset". Эта кнопка не отличается от пяти других, но может быть использована в качестве сброса в процессорных системах. Кнопки и переключатели соединяются с FPGA через резисторы, чтобы предотвратить повреждение ПЛИС от случайных коротких замыканий. Аноды светодиодов соединяются с FPGA через резисторы на 390 Ом, и ярко светятся при протекании тока в 1мА.

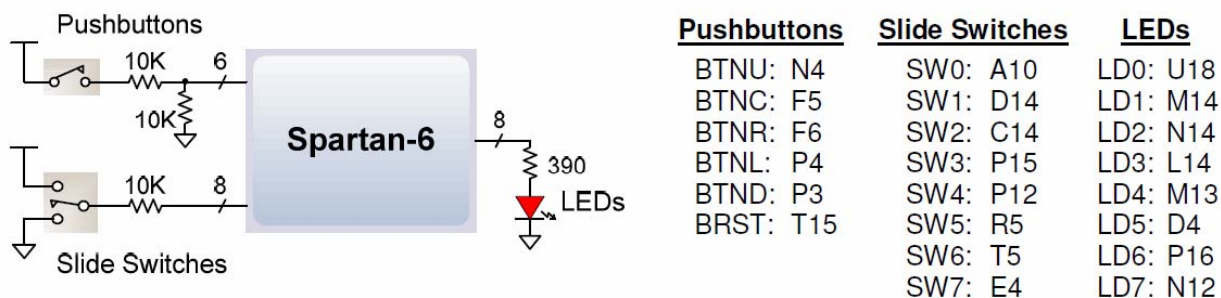


Рисунок П1.17 – Кнопки, движковые переключатели и светоизлучающие индикаторы платы ALTYS.

### Разъемы для подключения внешних устройств

Плата Altys содержит 68-контактный VHDC разъем для высокоскоростной параллельной передачи данных и 8-pin Pmod разъем для низкоскоростной передачи данных.

Разъем VHDC схема подключения которого приведена на рисунке П1.18, включает 40 линий данных (размещенных как 20 управляемых импедансом дифференциальных пар), 20 линий земли (по одной на пару), и восемь линий питания. Этот разъем, обычно используемый в SCSI 3 устройствах, может поддерживать скорости передачи данных до нескольких сотен мегагерц на каждом контакте.

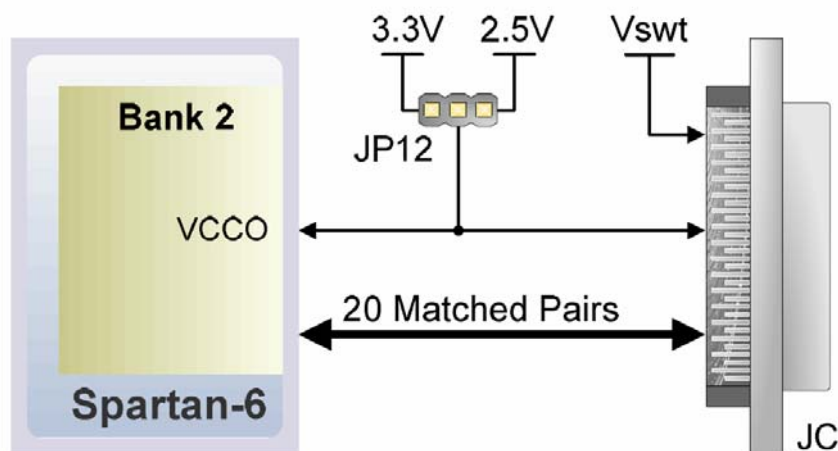


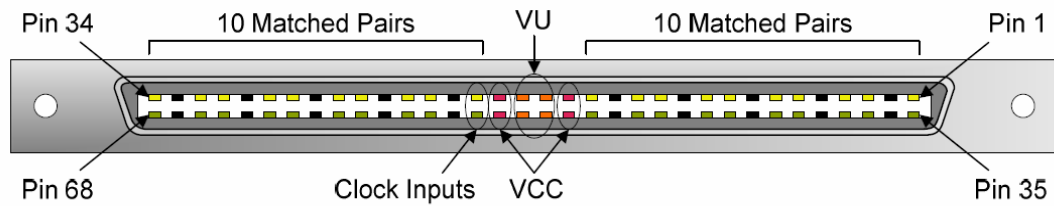
Рисунок П1.18 – Схема подключения разъема VHDC.

Все контакты FPGA, подключенные к разъему VHDC, располагаются во втором банке ввода-вывода. Контакты питания ячеек ввода-вывода банка 2 и четыре контакта Vcc разъема VHDC соединяются с отдельным слоем печатной платы, который может быть соединен с источником питания 2.5V или 3.3V, в зависимости от позиции перемычки JP12. Такое соединение позволяет периферийным платам и FPGA совместно использовать один источник питания Vcc и одинаковое напряжение уровней сигналов.

Нерегулируемый источник питания Vswt (номинально 5V) подключен к четырем другим контактам VHDC и позволяет передавать дополнительно ток до 1A к периферийным платам.

Все контакты ввода-вывода разъема VHDC смонтированы как согласованные пары, чтобы поддерживать LVDS (дифференциальный режим) передачу сигналов. Разъем

использует симметричную расположение контактов по вертикальной оси, чтобы можно было подключать как периферийные платы, так и другие системные платы. Контакты 15 и 49 разъема соединены с входами синхронизации FPGA.

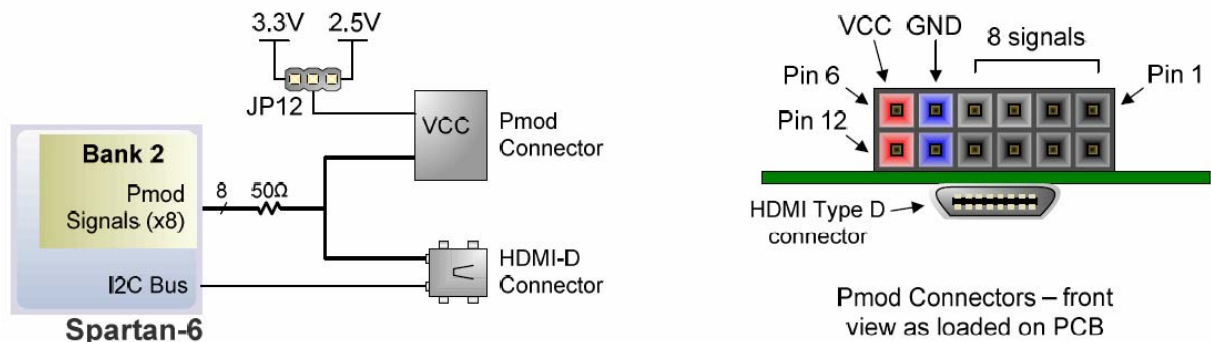


#### VHDC Connector Pinout

IO1-P: U16	IO1-N: V16	IO11-P: U10	IO11-N: V10
IO2-P: U15	IO2-N: V15	IO12-P: R8	IO12-N: T8
IO3-P: U13	IO3-N: V13	IO13-P: M8	IO13-N: N8
IO4-P: M11	IO4-N: N11	IO14-P: U8	IO14-N: V8
IO5-P: R11	IO5-N: T11	IO15-P: U7	IO15-N: V7
IO6-P: T12	IO6-N: V12	IO16-P: N7	IO16-N: P8
IO7-P: N10	IO7-N: P11	IO17-P: T6	IO17-N: V6
IO8-P: M10	IO8-N: N9	IO18-P: R7	IO18-N: T7
IO9-P: U11	IO9-N: V11	IO19-P: N6	IO19-N: P7
IO10-P: R10	IO10-N: T10	IO20-P: U5	IO20-N: V5

Рисунок П1.19 – Конструкция и назначение контактов разъема 68-pin VHDC.

Разъем Pmod 2x6 содержит: две линии VCC (контакты 6 и 12), две линии земли (контакты 5 и 11), и восемь сигнальных линий. Линии VCC и земли могут потреблять ток до 1А. Переключатель JP12 позволяет выбрать напряжение Pmod Vcc 3.3V или 2.5V. Линии данных Pmod не являются согласованными парами и не обеспечивают согласования импеданса и задержек.



#### Pmod Pinout

JA1: T3
JA2: R3
JA3: P6
JA4: N5
JA7: V9
JA8: T9
JA9: V4
JA10: T4

#### HDMI Type D Pinout

D0+: R3	SCL: C13
D0-: T3	SDA: A13
D1+: T4	CEC: Vcc
D1-: V4	RES: Vcc
D2+: N5	HPD: 5V
D2-: P6	DDC: GND
CLK+: T9	
CLK-: V9	

Рисунок П1.20 – Схема подключения, конструкция и контакты разъема Pmod 2x6.

Восемь сигнальных линий Pmod используются совместно с восемью сигналами данных, разъема D HDMI. Разъем HDMI, расположенный под разъемом Pmod с обратной стороны платы, имеет шину I2C и соответствует спецификации распиновки типа D HDMI, таким образом, он может использоваться в качестве второго выходного порта HDMI.

### **Самотестирование платы ALTYS**

Демонстрационная конфигурация загружается в SPI Flash ROM платы Atlys во время изготовления. Этот демонстрационный пример, также доступный на веб-сайте Digilent, может играть роль теста, так как он взаимодействует со всеми устройствами и портами на плате. Если демонстрационный проект присутствует в SPI Flash при включении Atlys, сначала тестируется DDR, затем файл изображения передается от SPI Flash в DDR2. Это изображение выводится на HDMI J2 порт. Переключатели соединяются со светодиодами. Кнопки BTNU, BTND, BTNR, BTNL, BTNC, и RESET позволяют изменять частоты синусоидальных сигналов, поступающих на аудиовыходы LINE OUT and HP OUT.

Если тестовый проект не находится в SPI Flash ROM, он может быть загружен в FPGA или SPI Flash ROM при помощи программного обеспечения Adept.

Все платы Atlys проходят полное тестирование после изготовления. Если какое-либо устройство на плате Atlys не проходит тест или не отвечает должным образом, вероятно, что повреждение произошло во время транспортировки или использования. Типичными повреждениями являются напряженные паяные соединения и загрязнение в переключателях и кнопках, приводящих к неустойчивым отказам. Напряженные паяные соединения могут быть восстановлены повторной пайкой, припой и грязь могут быть убраны чистящими средствами для электроники. Если плата не прошла тест, и гарантийный срок не истек, то она будет заменена бесплатно.