# Введение

Данный документ является отчётом о проделанной работе по проекту MEPHI-CPU 2015: разработка специализированного процессора собственной архитектуры схожей с архитектурой MIPS. Проект проектировался для загрузки на ПЛИС семейства Spartan-6 фирмы Xilinx, находящейся на плате Atlys фирмы Digilent. Кроме ПЛИС, предполагалось использование оперативной платы DDR-2, распаянной на плате, для хранение пользовательских программ, и USB-UART мост для передачи пользовательской информации от ПК к процессору и обратно.

Специализация процессора заключается в возможности вычисления хеш-сумм, согласно алгоритмам MD4, MD5, SHA-1 и т.п.

# Архитектура системы команд

# Ассемблер

Ассемблер (от [англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) assembler — сборщик) — транслятор исходного текста программы, написанной на [языке ассемблера](https://ru.wikipedia.org/wiki/%D0%AF%D0%B7%D1%8B%D0%BA_%D0%B0%D1%81%D1%81%D0%B5%D0%BC%D0%B1%D0%BB%D0%B5%D1%80%D0%B0), в программу на [машинном языке](https://ru.wikipedia.org/wiki/%D0%9C%D0%B0%D1%88%D0%B8%D0%BD%D0%BD%D1%8B%D0%B9_%D0%BA%D0%BE%D0%B4). Язык ассемблера ([англ.](https://ru.wikipedia.org/wiki/%D0%90%D0%BD%D0%B3%D0%BB%D0%B8%D0%B9%D1%81%D0%BA%D0%B8%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA) assembly language) — машинно-ориентированный [язык низкого уровня](https://ru.wikipedia.org/wiki/%D0%9D%D0%B8%D0%B7%D0%BA%D0%BE%D1%83%D1%80%D0%BE%D0%B2%D0%BD%D0%B5%D0%B2%D1%8B%D0%B9_%D1%8F%D0%B7%D1%8B%D0%BA_%D0%BF%D1%80%D0%BE%D0%B3%D1%80%D0%B0%D0%BC%D0%BC%D0%B8%D1%80%D0%BE%D0%B2%D0%B0%D0%BD%D0%B8%D1%8F) с командами, один к одному соответствующими командам [процессора](https://ru.wikipedia.org/wiki/%D0%9F%D1%80%D0%BE%D1%86%D0%B5%D1%81%D1%81%D0%BE%D1%80). Фактически, они и представляют собой более удобную для человека символьную форму записи команд и их [аргументов](https://ru.wikipedia.org/wiki/%D0%90%D1%80%D0%B3%D1%83%D0%BC%D0%B5%D0%BD%D1%82_(%D0%BF%D1%80%D0%BE%D0%B3%D1%80%D0%B0%D0%BC%D0%BC%D0%B8%D1%80%D0%BE%D0%B2%D0%B0%D0%BD%D0%B8%D0%B5)) — мнемокоды .

Кроме того, язык ассемблера позволяет использовать символические [метки](https://ru.wikipedia.org/wiki/%D0%9C%D0%B5%D1%82%D0%BA%D0%B0_(%D0%BF%D1%80%D0%BE%D0%B3%D1%80%D0%B0%D0%BC%D0%BC%D0%B8%D1%80%D0%BE%D0%B2%D0%B0%D0%BD%D0%B8%D0%B5)) вместо адресов ячеек памяти, которые при ассемблировании заменяются на вычисляемые ассемблером [относительные адреса](https://ru.wikipedia.org/wiki/%D0%90%D0%B4%D1%80%D0%B5%D1%81_(%D0%B8%D0%BD%D1%84%D0%BE%D1%80%D0%BC%D0%B0%D1%82%D0%B8%D0%BA%D0%B0)#.D0.BE.D1.82.D0.BD.D0.BE.D1.81.D0.B8.D1.82.D0.B5.D0.BB.D1.8C.D0.BD.D1.8B.D0.B9), а также так называемые [директивы](https://ru.wikipedia.org/wiki/%D0%94%D0%B8%D1%80%D0%B5%D0%BA%D1%82%D0%B8%D0%B2%D1%8B_%D0%B0%D1%81%D1%81%D0%B5%D0%BC%D0%B1%D0%BB%D0%B5%D1%80%D0%B0) (команды ассемблера, не переводимые в машинные команды процессора, а выполняемые самим ассемблером).Директивы ассемблера позволяют, в частности, включать блоки данных, задавать новые имена регистрам, присваивать значения именам.

Для написания ассемблера для данного процессора использовался язык программирования Python 3.4. В программе реализован перевод 16 инструкций R и M типа, реализована работа с 4 различными директивами. В результате работы программы создаётся бинарный файл, содержащий машинный код программы на ассемблере, так же создаётся бинарный файл для записи кода в память процессора.

Ассемблер обрабатывает инструкции указанные в таблице №1.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Таблица №1. Формат инструкции (всего 16 бит) | | | | | | | | | | |
| Описание | | Ассемблерный код | кодировка  (4 бит) | | | | некоторые аргументы инструкции (12 бит) | | | |
| Сложение | R | ADD rd rs rt | 0 | 0 | 0 | 0 | rs | | rt | rd |
| Сложение с константой | R | ADDI rd rt imm | 0 | 0 | 0 | 1 | imm | | rt | rd |
| Побитовое ИЛИ | R | OR rd rs rt | 0 | 0 | 1 | 0 | rs | | rt | rd |
| Побитовое И | R | AND rd rs rt | 0 | 0 | 1 | 1 | rs | | rt | rd |
| Побитовое исключающее ИЛИ | R | XOR rd rs rt | 0 | 1 | 0 | 0 | rs | | rt | rd |
| Побитовое ИЛИ-НЕ | R | NOR rd rs rt | 0 | 1 | 0 | 1 | rs | | rt | rd |
| Логический сдвиг влево | R | SLL rd rs rt | 0 | 1 | 1 | 0 | rs | | rt | rd |
| Циклический сдвиг влево | R | ROT rd rs rt | 0 | 1 | 1 | 1 | rs | | rt | rd |
| Условное ветвление, если не равны | R | BNE rd rs rt | 1 | 0 | 0 | 0 | rs | | rt | rd |
| загрузка из памяти в регистр | M | LDL addr | 1 | 0 | 0 | 1 | 0 | \* | addr | |
| M | LDH addr | 1 | 0 | 0 | 1 | 1 | \* | addr | |
| сохранение из регистра в память | M | STL addr | 1 | 0 | 1 | 0 | 0 | \* | addr | |
| M | STH addr | 1 | 0 | 1 | 0 | 1 | \* | addr | |
| безусловный переход по адресу | M | JMP addr | 1 | 0 | 1 | 1 | 0 | 0 | addr | |
| вызов подпрограммы по адресу | M | JAL addr | 1 | 0 | 1 | 1 | 0 | 1 | addr | |
| безусловны переход по значению регистра | M | JR rs | 1 | 0 | 1 | 1 | 1 | 0 | rs | |
| вызов подпрограммы по значению регистра | M | JALR rs | 1 | 0 | 1 | 1 | 1 | 1 | rs | |
| Нет операции |  | NOP | 1 | 1 | 0 | 0 |  | | | |

Данный ассемблер поддерживает следующие директивы:

* директива с блоком данных .data;
* директива с командами .text;
* директива .def для изменения имени регистра;
* директива .set для присвоения имени константе.

Пример кода на языке ассемблер:

.text

add $a, out, $zero # Складываем значение регистров $3 (out) и $zero

addi $1, $2, p1 # Прибавляем к регистру $2 значение p1 = 8 (.set)

ld res # Загружаем в MR значение 455 (res из .data)

.data

res 455

.text

addi $MR, $MR, sum # MR + 15 (sum = 15 из .set) теперь в MR число 470

st res # сохраняем в адрес памяти sum число 470

nop (5)

.set

p1 8

sum 0b1111

.def

out $3

# Общее описание системы

Проектируемая система состоит из нескольких основных частей (рисунок 1):

* CPU – специализированное процессорное ядро, собственной разработки;
* MC – контроллер доступа в память (далее более подробно);
* IOHub - модуль периферии собственной разработки, отвечающий за взаимодействием с ПК;
* DDR2 – оперативная память, представленная микросхемой на плате и подключённая к ПЛИС;
* USB-UART Bridge – мост USB-UART, представленный микросхемой на плате и подключённый к ПЛИС.

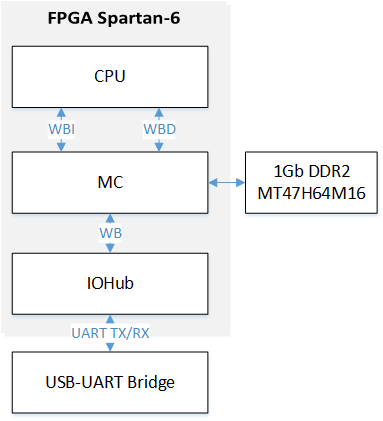
****

Рисунок 1. Блок-схема разрабатываемой СнК

В ходе разработки микроархитектуры было принято решение использовать стандартный интерфейс Wishbone для взаимодействия основных частей СнК.

Описать WBI, WBD, WB, UART TX/RX

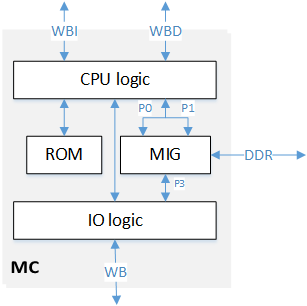


Рисунок 2. Блок-схема разрабатываемого контроллера доступа в память

# Описание блоков ядра процессора

Таблица 1. Системные сигналы

|  |  |  |  |
| --- | --- | --- | --- |
| Название | Назначение | Направление | Разрядность |
| sys\_clk | Тактовый сигнал | IN | 1б |
| sys\_rst | Сигнал сброса | IN | 1б |

Таблица 2. Интерфейс инструкций

|  |  |  |  |
| --- | --- | --- | --- |
| Название | Назначение | Направление | Разрядность |
| instr\_stb\_o | Ведомый интерфейс работает, если сигнал равен 1 | OUT | 1 |
| instr\_we\_o | Разрешение записи адреса | OUT | 1 |
| instr\_addr\_o | Адрес новой инструкции | OUT | 16 |
| instr\_ack\_i | Оповестительный сигнал – ведомое устройство подтверждает достоверность инструкции | IN | 1 |
| instr\_data\_i | Инструкция | IN | 16 |

Таблица 3. Интерфейс данных

|  |  |  |  |
| --- | --- | --- | --- |
| Название | Назначение | Направление | Разрядность |
| data\_stb\_o | Ведомый интерфейс работает, если сигнал равен 1 | OUT | 1 |
| data\_we\_o | Разрешение записи данных | OUT | 1 |
| data\_addr\_o | Адрес записи данных | OUT | 16 |
| data\_data\_i | Входные данные | IN | 16 |
| data\_data\_o | Выходные данные | OUT | 16 |
| data\_ack\_i | Оповестительный сигнал – ведомое устройство подтверждает достоверность данных | IN | 1 |

# Описание контроллера доступа в память

**Карта памяти**

. . .

. . .

addr [9:0] (согласно ISA)

ROM

RAM

I/O

**0**0 000000000

abs\_addr [10:0]

abs\_addr [10] – признак принадлежности адреса (1 – кRAM, 0 – к ROMили к I/O).

0**1** 000000000

01 11111111

1 0000000000

1 1111111111

. . .

abs\_addr [9] – признак принадлежности адреса (1 – кI/O,

0 – к ROM). Рассмотрение этого признака не имеет смысла для RAM.

0x000

0x00C

0x200

0x3FF

0x400

Максимум 512 инструкций по 16 бит. Один адрес относится к одному байту в оперативной памяти.

00 000001100

7 инструкций по 16 бит.

0x7FF

**Начальная загрузка**

Процессор начинает работу (PC перекидывается в область RAM) при условии, что в первом регистре, принадлежащим области I/Oзагружены все единицы. Наличие там единиц означает, что все данные по UARTзагружены в ОЗУ.

**Ассемблерный код, записанный в ROM**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Адрес PC | | | Ассемблерный код | Описание |
| DEC | HEX | BIN |
| 0 | 00 | 0000 | NOR t0, zero, zero | Заполнение регистра t0 всеми единицами |
| 2 | 02 | 0110 | ADDI t1, zero, 0100 | Присвоение регистру t1 значения «4» длядальнейшего его использования приизменении PC (PC→PC+4 –перескок через строку)а также для перехода по адресу «4» (PC→4) во время ветвления |
| 4 | 04 | 0010 | LDL 0x200\* | Загрузка в регистр MR (L) из памяти по адресу 0x200\* |
| 6 | 06 | 0100 | LDH 0x200\* | Загрузка в регистр MR (H) из памяти по адресу 0x200\* |
| 8 | 08 | 1000 | BNE t1, t0, MR | При невыполнении условия равенства t0 и MR, PC→PC+t1,т.е. +4 |
| 10 | 0A | 1010 | JMP 0x200\* (здесь addr[9:0] = 000000000) | Переход PC поадресу 0x200\* (переход PC к первому адресу RAM)JMP позволяет перемещаться только вRAM или по RAM! (см. комментарий) |
| 12 | 0C | 1100 | JR t1 | Переход PC по адресу, записанному в t1=4 (т.е. в этом цикле переходак RAM не будет. PCостанется в ROM). |

\*Звездочкой отмечены абсолютные адреса (abs\_addr)

Комментарий

*По поводу JMP и JAL. Это единственные инструкции, которые имеют фиксированный девятый бит регистраabs\_addr [9], равный для JMP – 0, а для JAL – 1. Так как вся программа будет находиться в RAM, то с JAL все хорошо. Ветвимся по RAM. С JMP ситуация хуже. Тут Даниэлю придется передавать в логику, связывающую память и процессор abs\_addr с девятым битом, равным единице, а не нулю. В итоге, указанный в ISAaddr, будет являться локальным адресом в RAM при использовании JMP и JAL. Для остальных инструкций типа М адрес будет абсолютным.*

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| загрузка  из памяти  в регистр | MR[15:0]MEM[abs\_addr] | LDL abs\_addr | 1 | 0 | 0 | 1 | 0 | abs\_addr | |
| MR[31:16]MEM[abs\_addr] | LDH abs\_addr | 1 | 0 | 0 | 1 | 1 | abs\_addr | |
| сохранение  из регистра  в память | MEM[abs\_addr]MR[15:0] | STL abs\_addr | 1 | 0 | 1 | 0 | 0 | abs\_addr | |
| MEM[abs\_addr]MR[31:16] | STH abs\_addr | 1 | 0 | 1 | 0 | 1 | abs\_addr | |
| безусловный переход  по адресу | PCJumpAddr | JMP loc\_addr | 1 | 0 | 1 | 1 | 0 | 0 | loc\_addr |
| вызов подпрограммы по адресу | LR PC + 2; PCJumpAddr | JAL loc\_addr | 1 | 0 | 1 | 1 | 0 | 1 | loc\_addr |

**Схема организации памяти**



# Описание модулей периферии

Для того, чтобы отличать инструкции от сигналов блоку периферии, введем header. Он будет отправляться первым, и в зависимости от его значения будет либо передана инструкция (значит следующие 16 бит - код инструкции), либо блок периферии будет записывать в регистр какое-то значение (после него сразу идет следующий header). Регистры ctrl0 и ctrl1 служат для управления блоком периферии.

**Формат header'a:**

|  |  |
| --- | --- |
| **Кодировка** | **Действие** |
| 10000000 | Передача инструкции (следующие 16 бит) |
| 01000000 | Запись в status1 - все инструкции загружены |
| 00100000 | Запись в ready 1- разрешение на передачу от платы к ПК |

**Регистр ctrl0**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Биты | Поле | Режим доступа | Описание | Значение по сбросу |
| 31:25 | Reserved | - | - | - |
| 24 | ready | RO | В поле записывается 1 при поступлении header'а - сигнал к началу передачи от платы к ПК | 0 |
| 23 | start | RW | По соответствующему сигналу от памяти устанавливается 1 для приема данных из памяти | 0 |
| 22 | status | RO | В поле пишется 1 по сигналу header'а, когда все данные от ПК к плате переданы | 0 |
| 21:11 | addr\_end | RO | Конечный адрес записи в RAM | Значение не меняется |
| 10:0 | addr\_beg | RO | Начальный адрес записи в RAM | Значение не меняется |

**Регистр ctrl1**

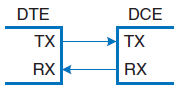
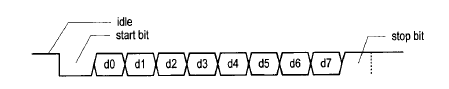
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Биты | Поле | Режим доступа | Описание | Значение по сбросу |
| 31:28 | Reserved | - | - | - |
| 27 | finish | RW | Принимает значение 1, если все параметры от памяти получены | 0 |
| 26:16 | addr | RW | Текущий адрес, полученный от памяти | 0 |
| 15:0 | data | RW | Последние данные, прочитанные из памяти | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| **Название** | **Назначение** | **Направление** | **Разрядность** |
| ack\_i | Оповестительный сигнал от ведущего устройства | IN | 1 |
| stb\_i | Индикатор ои ведущего устройства о готовности работы | IN | 1 |
| addr\_i | Входная шина адреса | IN | 16 |
| dat\_i | Входная шина данных | IN | 16 |
| we\_i | Входной сигнал на разрешение записи/чтения | IN | 1 |
| ack\_o | Оповестительный сигнал ведущему устройства | OUT | 1 |
| stb\_o | Индикатор ведущему устройству о готовности работы | OUT | 1 |
| addr\_o | Выходная шина адреса | OUT | 16 |
| dat\_o | Выходная шина данных | OUT | 16 |
| we\_o | Выходной сигнал на разрешение записи/чтения | OUT | 1 |
| tx | Выходная линия последовательной передачи данных | OUT | 1 |
| rx | Входная линия последовательной передачи данных | IN | 1 |
| clk\_i | Тактовый сигнал | IN | 1 |
| rst\_i | Сигнал сброса | IN | 1 |

**UART**

UART (UniversalAsynchronousReceiver-Transmitter) - универсальный асинхронный приемник-передатчик, интерфейс для последовательной передачи данных.

UART состоит из приемника (rx) и передатчика (tx).Передача данных в UART осуществляется по одному биту в равные промежутки времени. Этот временной промежуток определяется заданной скоростью UART и для конкретного соединения указывается в бодах (количество бит в секунду в нашем случае, но это верно только для двоичного кодирования). Помимо собственно информационного потока UART автоматически вставляет в поток синхронизирующие метки, так называемые стартовый и стоповый биты. При приёме эти лишние биты удаляются из потока. В нашем дизайне используется 2 стоповых бита (чтоб затормозил наверняка). Также может посылаться бит четности, но у нас он не используется. Idleline имеет высокий уровень, стартовый бит -низкий, а стоповые биты - тоже высокий.

****

До начала передачи приемник и передатчик должны согласоваться о параметрах передачи - бод рейту, количеству битов данных, количеству стоповых битов, использованию бита четности.

Для того, чтобы приемник мог распознать биты в потоке информации, используется схема выборки с запасом. Обычно частота выборки в 16 раз больше бод рейта - каждый бит сэмплируется 16 раз. В середине каждого бита происходит сохранение его значения. Очевидно, и приемник и передатчик работают на сдвиговых регистрах.

Имеет смысл описать интерфейсные сигналы uart, как время будет

Описать функционал периферии: получении инструкций с ПК, выгрузка данных из памяти и передача к ПК. Как настраивается и запускается данный функционал и т.п.

# Функциональное тестирование и верификация

# Функциональная модель

# Описание тестового окружения

# Прототипирование