# Введение

# Архитектура системы команд

# Ассемблер

# Общее описание системы

# Описание блоков ядра процессора

# Описание контроллера доступа в память

**Карта памяти**

ROM

RAM

I/O

**0** 0 00000000

Addr [9:0] (согласно ISA)

Addr [9] – признак принадлежности адреса (1 – к ROM,

0 – к RAM или к I/O).

1 0 00000000

1 0 11111111

1 **1** 00000000

1 1 11111111

. . .

Addr [8] – признак принадлежности адреса (1 – к I/O,

0 – к RAM). Рассмотрение этого признака не имеет смысла для ROM.

0x000

0x00C

0x200

0x2FF

0x300

Максимум 128 инструкций по 16 бит. Один адрес относится к одному байту в оперативной памяти.

0 0 00001100

7 инструкций по 16 бит.

. . .

0x3FF

**Начальная загрузка**

Процессор начинает работу (PC перекидывается в область RAM) при условии, что в первом регистре, принадлежащим области I/O загружены все единицы. Наличие там единиц означает, что все данные по UART загружены в ОЗУ.

**Ассемблерный код, записанный в ROM**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Адрес PC | | | Ассемблерный код | Описание |
| DEC | HEX | BIN |
| 0 | 00 | 0000 | NOR t0, zero, zero | Заполнение регистра t0 всеми единицами |
| 2 | 02 | 0110 | ADDI t1, zero, 0100 | Присвоение регистру t1 значения 4 для дальнейшего его использования при изменении PC (PC + 4 – перескок через строку) во время ветвления |
| 4 | 04 | 0010 | LDL 0x300 | Загрузка в регистр MR (L) из памяти по адресу 0x300 |
| 6 | 06 | 0100 | LDH 0x300 | Загрузка в регистр MR (H) из памяти по адресу 0x300 |
| 8 | 08 | 1000 | BNE t1, t0, MR | При невыполнении условия равенства t0 и MR, PC→PC+t1, т.е. +4 |
| 10 | 0A | 1010 | JUMP 0x200 | Переход PC по адресу 0x200 (переход PC к первому адресу RAM) |
| 12 | 0C | 1100 | JUMP 0x004 | Переход PC по адресу 04 (т.е. в этом цикле перехода к RAM не будет) |

# Описание модулей периферии

# Функциональное тестирование и верификация

# Функциональная модель

# Описание тестового окружения

# Прототипирование