Таблица 1. Список интерфейсных сигналов ядра

|  |  |  |  |
| --- | --- | --- | --- |
| **Название** | **Разрядность** | **Направление** | **Описание** |
| sys\_clk |  |  | Системный clock |
| sys\_rst |  |  | Системный reset |
| **Интерфейс подкачки инструкций** | | | |
| inst\_cyc\_out | [0:0] | Output | Значимость цикла запросов |
| inst\_stb\_out | [0:0] | Output | Значимость запроса |
| inst\_addr\_out | [31:0] | Output | Адрес запроса |
| inst\_ack\_in | [0:0] | Input | Значимость данных |
| inst\_data\_in | [31:0] | Input | Данные запроса |
| inst\_stall\_in | [0:0] | Input | Остановка передачи запросов |
| **Интерфейс доступа за данными (MEM Stage)** | | | |
| data\_stb\_out | [0:0] | Output | Значимость данных на шине |
| data\_addr\_out | [31:0] | Output | Адрес данных в памяти |
| data\_we\_out | [0:0] | Output | Разрешение на запись в память |
| data\_be\_out | [3:0] | Output | Указатель номера бита |
| data\_ack\_in | [0:0] | Input | Разрешение на прием данных (память посылает сигнал ядру что данные актуальны ) |
| data\_data\_out | [31:0] | Output | Выходные данные с процессора |
| data\_data\_in | [31:0] | Input | Входные данные с процессора |

Data\_data\_out

Data\_data\_in

Data\_addr\_out

Data\_we\_out

Data\_stb\_out

CPU

+

Queue of instructions

Instr\_addr\_out

Instr\_data\_in

Instr\_akn\_out

Instr\_akn\_in

Instr\_stb\_out