|  |  |  |
| --- | --- | --- |
| Имя | Порты | Назначение |
| ALU | Input[31:0] src1  Input[31:0] src2  Input[31:0] command  Input[31:0] brn\_type  Output[31:0] result  Output[31:0] taken | Выполнение арифметических и логических операций. |
| Register file | Input[4:0] addr\_1  Input[4:0] addr\_2  Input[4:0] addr\_wr  Input[31:0] data\_wr  Input wrt\_enable  Input order  Input clk  Input rst | Хранение операндов. |
| hazard\_ctrl | Input clk  Input reset  input d\_ack\_val  (5)output flash  (5)output enable  Output I\_req\_val | блок управления конфликтами |
| if\_s | Input[31:0] inst\_in  input i\_ack\_val  input reset  input clk  output[31:0] pc  output i\_req\_val | стадия подкачки инструкций |
| dec\_s | Input[31:0] inst  Input clk  Input reset  Output l1d\_val  Output[2:0] l1d\_cop  Output[2:0] l1d\_size  Output[5:0] mux\_bus  Output[31:0] imm  Output[31:0] srca  Output[31:0] srcb  Output we\_reg | Стадия декодирования инструкции |
| Exe\_s | Input[31:0] srca  Input[31:0] srcb  Input[31:0] imm  Input[5:0] mux\_bus  Output[31:0] result  Output[31:0] addr  Output taken  Input[31:0] bp\_from\_m  Input[31:0] bp\_from\_w  Input[3:0] bp\_bus | Стадия выполнения |
| Mem\_s | Output[31:0] addr  Output[31:0] w\_data  Output[31:0] result\_out  Output[31:0] imm\_out  Output[31:0] pc\_4\_out  Input taken  Input[31:0] result  Input[31:0] imm  Input[31:0] w\_data(src2)  Input[31:0] pc\_4  Input[31:0] addr | Стадия обращения в память |
| Wrt\_s | Input[1:0] type  Input mux\_6  Input[31:0] ack\_rdata  Input[31:0] result  Input[31:0] imm  Input[31:0] pc\_4 | Регистры фаз |
| Pipeline |  | Объединяет все предыдущие модули |
| CPU\_top |  | Объединяет pipeline и добавляет pc |

1) alu - блок выполнение арифметико логических операций

2) reg\_file -  модель регистрового файла

3) hazard\_ctrl - блок управления конфликтами

5) if\_s -  стадия подкачки инструкций

4) dec\_s - стадия декодирования, содержит логику и выходной конвейерный регистр

5) exe\_s - стадия исполнения

6) mem\_s - стадия доступа к памяти

7) wb\_s -  стадия обратной записи

8) pipeline - конвейер ядра

9) core\_top - топ модуль ядра