|  |  |  |
| --- | --- | --- |
| Имя | Порты | Назначение |
| ALU | Input[31:0] src1  Input[31:0] src2  Input[31:0] command  Input[31:0] brn\_type  Output[31:0] result  Output[31:0] taken | Выполнение арифметических и логических операций. |
| Register file | Input[4:0] addr\_1  Input[4:0] addr\_2  Input[4:0] addr\_wr  Input[31:0] data\_wr  Input wrt\_enable  Input order  Input clk  Input rst | Хранение операндов. |
| Address adder | Input[31:0] op\_1  Input[31:0] op\_2  Output[31:0] result | Вычисление адреса |
| Sign extension20/12 | Input[19:0] instruction[31:7  Input[1:0] type  Output[31:0] data\_out | Расширение всех типов imm до32 бит |
| Sign extension final | Input[31:0] data\_in  Input[1:0] type  Output[31:0] data\_out | Расширение до 32 бит операндов с памяти и операнда команды lui |
| Control |  | Контролирование поведения мультиплексоров и блоков sx20/12 sx\_final |
| Hazard control |  | Упарвление регистрами и переключение program counter |
| Reg |  | Регистры фаз |
| Pipeline |  | Объединяет все предыдущие модули |
| CPU\_top |  | Объединяет pipeline и добавляет pc |