

专业课问答版复习笔记

数字逻辑电路

知乎/小红书/CSDN@小吴学长 er



微信号: xwxzer

数字逻辑电路

本文由**小红书、知乎@小吴学长 er** 及其团队由公开资料整理，禁止商用、转载、摘编，若有侵权，本团队将会追究其法律责任，感谢理解。

标黄题目为建议重点记忆的面试高频问题

1. 什么是竞争和冒险？什么情况下会产生竞争和冒险？

- 当输入信号发生变化时，由于所经过的路径不同，产生的时延不同，导致其后门电路的输入端发生有先有后的变化，就叫做竞争。
- 由于竞争引起的输出端产生尖峰脉冲则称为冒险。
- 若某个门电路的输出表达式在一定条件下可以化简为 $Z=A+A \text{ 非}$ ，则存在 0 型冒险，化简为 $Z=AA \text{ 非}$ ，则存在 1 型冒险。

2. 竞争和冒险的消除方法？

滤波法，脉冲选通法，修改设计法。

- 滤波法是在门电路的输出端接上一个滤波电容，将尖峰脉冲的幅度削减至门电路的阈值电压以下。
- 脉冲选通法是在电路上加一选通脉冲，在确定电路进入稳定状态后，才让电路输出选通，否则封锁电路输出。
- 修改设计法是通过增加冗余项来消除竞争和冒险。

3. 什么是同步逻辑和异步逻辑？

- 同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。
- 同步时序逻辑电路的特点:各触发器的时钟端全部连接在一起，并接在系统时钟端，只有当时钟脉冲到来时，电路的状态才能改变。改变后的状态将一直保持到下一个时钟脉冲的到来，此时无论外部输入有无变化，状态表中的每个状态都是稳定的。

- 异步时序逻辑电路的特点:电路中除可以使用带时钟的触发器外,还可以使用不带时钟的触发器和延迟元件作为存储元件,电路中没有统一的时钟,电路状态的改变由外部输入的变化直接引起。

4. 同步电路和异步电路的区别?

- 同步电路:存储电路中所有触发器的时钟输入端都接同一个时钟脉冲源,因而所有触发器的状态的变化都与所加的时钟脉冲信号同步。
- 异步电路:电路没有统一的时钟,有些触发器的时钟输入端与时钟脉冲源相连,只有这些触发器的状态变化与时钟脉冲同步,而其他的触发器的状态变化不与时钟脉冲同步。

5. 时序设计的实质是什么?

时序设计的实质就是满足每一个触发器的建立/保持时间的要求。

6. TTL 门电路是由什么构成的? 它的特点是什么?

TTL 门电路是由双极性三极管构成的,他的特点是速度快,抗静电能力强,集成度低,功耗大。广泛应用于中,小规模集成电路中。

7. CMOS 门电路是由什么构成的? 它的特点是什么?

- CMOS 门电路由场效应管构成的。
- 它的特点是集成度高,功耗低,速度慢,抗静电能力差,因此在大规模集成电路和微处理器中占支配地位。

8. 你知道那些常用逻辑电平? TTL 与 COMS 电平可以直接互连吗?

- 常用逻辑电平: 12V, 5V, 3.3V
- TTL 和 CMOS 不可以直接互连, 由于 TTL 是在 0.3-3.6V 之间, 而 CMOS 则是有在 12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉

电阻接到 5V 或者 12V。

9. 扇出系数是什么，怎么计算？

- 扇出系数是指正常工作范围内，一个门电路的输出端能够连接同一系列门电路输入端的最大数目
- 扇出系数越大，门电路的带负载能力就越强，扇出系数等于高电平输出电流比上高电平输入电流。

10. 组合逻辑电路的特点是什么？

- 从电路结构看，组合逻辑电路不存在反馈，不包含记忆元件
- 从逻辑功能看，任一时刻的输出仅仅与该时刻的输入有关，与该时刻之前的电路状态无关。

11. 时序逻辑电路的特点是什么？

- 从电路结构看，时序逻辑电路包括存储电路和组合逻辑电路，包含记忆元件
- 从逻辑功能来看，任一时刻的输出不仅与该时刻的输入有关，还与该时刻之前的电路状态有关。

12. 组合逻辑电路如何进行分析？

根据逻辑电路图，写出逻辑表达式，列出真值表，画出卡诺图，总结电路的逻辑功能。

13. 时序逻辑电路可以分为哪两种电路？

- 米勒型电路中，输出不仅取决于电路的状态，还与电路的输入有关
- 摩尔型电路中，输出仅仅取决于电路的状态，与电路的输入无关。

14. 采用“总线”结构分时传输数据时，应选用什么门电路？

三态门

13. 三态门的三 E 态指的是？

三态电路可提供三种不同的输出值:逻辑“0” 逻辑“1” 和高阻态，其中高阻态主要用来将逻辑门同系统的其他部分加以隔离。

14. 数字电路按照是否有记忆功能分为？

组合逻辑电路和时序逻辑电路

15. TTL 与非门多余的输入端悬空,相当于输入什么电平?

高电平

16. 逻辑函数的描述方法有哪些?

真值表、逻辑图、逻辑表达式、卡诺图

17. 逻辑代数运算的顺序是什么?

逻辑代数运算的顺序, 类似小学的四则运算, 只是没有除法和减法;逻辑或, 表示加, 逻辑与, 表示乘;加法是最低的, 然后是乘法, 遇到括号则优先。

18. 建立时间与保持时间的概念?

- 建立时间:触发器在时钟上升沿到来之前, 其数据输入端的数据必须保持不变的最小时间。
- 保持时间:触发器在时钟上升沿到来之后, 其数据输入端的数据必须保持不变的最小时间。

19. 为什么触发器要满足建立时间和保持时间?

因为触发器内部数据的形成是需要一定的时间的, 如果不满足建立和保持时间, 触发器将进入亚稳态, 进入亚稳态后触发器的输出将不稳定, 在 0 和 1 之间变化, 这时需要经过一个恢复时间, 其输出才能稳定, 但稳定后的值并不一定是你的输入值。这就是为什么要用两级触发器来同步异步输入信号。这样做可以防止由于异步输入信号对于本级时钟可能不满足建立保持时间而使本级触发器产生的亚稳态传播到后面逻辑中, 导致亚稳态的传播。(比较容易理解的方式)换个方式理解:需要建立时间是因为触发器的 D 端像一个锁存器在接受数据, 为了稳定的设置前级门的状态需要一段稳定时间;需要保持时间是因为在时钟沿到来之后, 触发器要通过反馈来锁存状态, 从后级门传到前级门需要时间。

20. 组合逻辑电路的设计?

分析逻辑功能要求, 确认输入输出变量, 列出真值表, 画出卡诺图或者用逻辑代数式求出逻辑函数的最简表达式, 用基本门电路实现所得逻辑表达式。(特别的, 用最简与或表达式两次求反后可以

得到与非与非表达式, 用最简或与表达式两次求反可以得到或非或非表达式)

21. 用译码器实现组合逻辑函数的一般步骤?

根据译码器输出的特点 (最小项或最大项), 将要实现的逻辑函数转换成相应的形式, 将相应的输出端信号进行相或或相与。

22. 用数据选择器实现逻辑函数的方法有什么方法?

- 比较法: 首先选择数据选择器的函数变量, 写出数据选择器输出的逻辑表达式, 对比数据选择器的输出表达式和要实现的逻辑函数, 连接电路。
- 图表法同理: 首先选择数据选择器的输入变量, 画出逻辑函数和数据选择器的真值表, 确定数据选择器的各个数据输入端的值, 连接电路。数据选择器的逻辑功能就是能从多个数据输入中选择出其中一个进行传输的电路。数据分配器的逻辑功能是将一个输入信号根据选择信号的取值不同, 来传送至多个输出端。

23. 为什么主从 JK 触发器最多只能变化一次?

主从触发器就是由两个时钟信号相反的同步触发器相连而成, 主从 JK 触发器是主从 RS 触发器的基础上将 Q 和 Q 非端引回输入端反馈, 因为 Q 和 Q 非端的反馈其中必有一个端再主触发器 CP 有效期间为 0, 从而屏蔽了一侧的输入信号

24. 为什么主从 RS 触发器只有最后一次变化反馈到输出端?

如果再主触发器的时钟控制信号有效期间, 主触发器的变化多次, 则只有最后一次变化的结果会反映到输出

25. 基本 RS 触发器的结构是什么?

基本 RS 触发器可用两个与非门或者两个或非门通过交叉耦合构成。

26. 当 RS 同时为 1 时, 为什么与非门构成的 RS 触发器的 Q 和 Q 非端同时输出为 1, 而或非门构成的 RS 触发器的输出端同时输出为 0?

由于与非门的构成的 RS 触发器输入端 S 非和 R 非均为 0, 0 与上任意值都为 0, 再非一次则输出

端都输出为 1, 而或非门构成的 RS 触发器的输入端为 R 和 S, 1 或上任意值还是 1, 再取反输出端都输出为 0

27. 为什么 RS 触发器有约束条件 $RS=0$?

如果 RS 同时由 1 变为 0, 则与非门的输出端同时趋于变为 0。由于变化快慢不同, 先变为 0 的与非门通过反馈使另一个与非门保持为 1。如果不知道 S 和 R 的变化谁先谁后, 就无法可靠地预估触发器变为 0 还是 1。这种情况在正常工作的情况下是不能出现的, 所以叫做约束条件。

28. 同步 RS 触发器的结构是什么?

同步 RS 触发器是在基本 RS 触发器的基础上增加了一个时钟控制端, 其目的是提高触发器的抗干扰能力, 同时使多个触发器能在一个控制信号的作用下同步工作。

29. D 触发器的构成是什么?

D 触发器是 RS 互反的 RS 触发器, 这样做是为了避免 RS 同时为 1 的情况出现。

30. 触发器转换常用的方法有哪些?

公式法和图表法

- 公式法: 写出已有触发器和转换后的触发器的特性方程, 将转换后的触发器的特性方程转换成已有触发器的特性方程有的形式, 比较两个触发器的特性方程, 求出转换电路的逻辑表达式。
- 图表法: 根据转换后触发器的特性表和已有触发器的驱动表列出转换电路的真值表, 求出转换电路的逻辑表达式。

31. 时序逻辑电路的分析方法?

根据逻辑图写方程, 包括时钟方程, 驱动方程, 输出方程; 将驱动方程代入触发器的特性方程中, 求出各个触发器的状态方程, 根据状态方程和输出方程计算, 求出不同输入下的电路次态和输出, 再根据计算结果列状态表。若是分析异步时序逻辑电路, 则要根据各个触发器的时钟方程来确定触发器的时钟信号是否有效, 如果时钟信号有效, 则根据状态方程算出次态, 无效则触发器状态不变。

32. 异步时序逻辑的设计方法?

异步时序逻辑分析则需要多做一步, 根据状态转换图画时序图, 再利用那个时序图来给各个触发器选时钟信号。根据状态转换图列出状态转换表, 根据所选时钟和状态转换表, 列出触发器驱动信号的真值表, 再求出驱动方程, 检查电路能否自启动。

33. 同步时序逻辑的设计方法?

分析逻辑功能要求, 画出符号状态转换图, 进行状态化简, 确定触发器的数目和类型, 进行状态分配, 画状态转换图。求出各个触发器驱动信号和电路输出方程, 检查电路是否能自启动, 如果不能自启动, 则进行修改, 最后画出逻辑图。

34. 寄存器的其他应用?

常见的有延时控制, 序列发生和检测, 串/并转换

35. 计数器的其他应用?

典型的有分频器, 定时器, 并/串数据转换电路, 序列信号发生器