

还没看：

基本电路图【半加器、全加器、超前进位，计数器，RAM，ROM】

各种管子的符号

AD DA

555

- (1) 触发器和锁存器的原理和区别是什么呢？（内部原理？）
 - (2) 同步电路、异步电路区别
 - (3) 至少几个触发器能实现5分频？
 - (4) 数字设备与信号 与 模拟设备与信号 的区别，并举例
 - (5) (Tsinghua)你学过CMOS吗，你能和我说说他的原理吗？（画出CMOS）
 - CMOS非门、与非门、或非门
 - 画CMOS门电路
 - 二极管门电路的缺点
 - (5) CMOS门电路的功耗问题
 - (6) CMOS电路的主要特点、使用注意事项
 - TTL与CMOS的区别 ★
 - 什么是噪声容限
 - (7) OD门、传输门、三态门
 - 解释“线与”
 - 传输门
 - 三态门
 - (8) 解释竞争冒险
 - (10) 组合逻辑和时序逻辑电路的区别、Verilog描述上的区别
 - (11) 解释JK触发器的空翻现象？
 - (12) 触发器有哪几种？——阐述
 - (13) 设计过哪些时序逻辑电路？
 - (14) 555定时器
 - (15) 触发器、锁存器、寄存器的原理与区别？
 - (16) RAM与ROM区别
 - (17) 与模拟电路相比，数字电路特点
 - (18) DA、AD
 - (19) 数字电路延迟的原因
 - (20) 触发器的动态特性
- 加法器&超前进位加法器(carry look ahead adder)
- 同步复位vs异步复位
- 存储器的特点比较
- 原码、反码、补码

1 软微真题

(1) 触发器和锁存器的原理和区别是什么呢？（内部原理？）

答：

- 相同：都是记忆性元件，都能实现存储功能
- 不同：触发器是边沿控制的，锁存器是电平控制的

锁存器一般有：基本RS触发器、同步RS触发器、D锁存器

同步RS触发器 引入 CP时钟控制，CP=1时有效

D锁存器 解决RS的约束问题，使D和D' 分别接S和R（也有CP），因此有：CP=0时保持，CP=1时，Q=D（置位、复位）

触发器：JK、D、T、T' 触发器

主从vs边沿？

(2) 同步电路、异步电路区别

答：

- 同步：所有触发器共用一个触发信号源CP，
 - 设计方便。但是当时钟信号发生的时候，所有触发器都会工作，增大功耗。
- 异步：所有触发器没有共用一个CP源
 - 模块性，功耗低

(3) 至少几个触发器能实现5分频？

答：3个

分析：

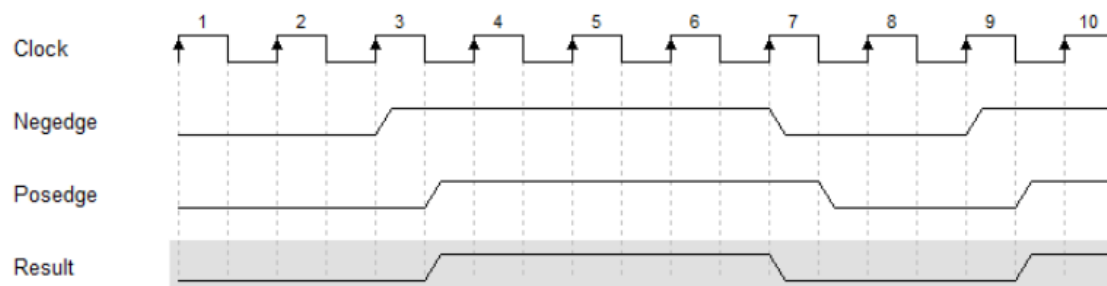
偶数分频：

串联n个 T' 触发器，就是 2^n 分频

奇数分频：N分频：

- ① 使用计数器，数到N-1清零，数到(N-1)/2翻转
如：5分频，数到4清零并翻转，数到2翻转 --> 输出00111
 - ② 设计Moore型有限状态机，也是使输出为11000.
- 采用这两种方法，根据状态编码，需要 $\log(N)$ 上取整 个触发器

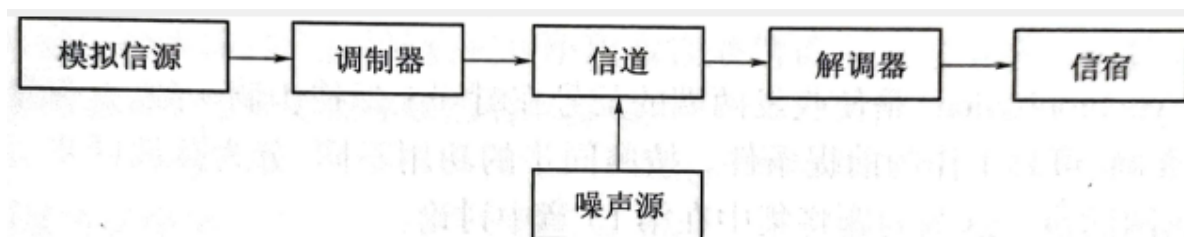
若要实现50%占空比的N分频，则需要上下边沿触发的两个计数器的输出结果 相与(11000) / 相或(11100)：



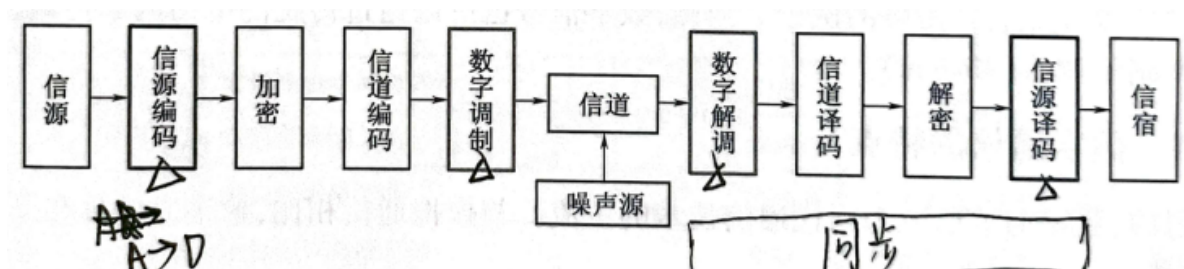
(4) 数字设备与信号 与 模拟设备与信号 的区别，并举例

	模拟	数字
时间	时间上是连续的	时间上不是连续的
幅度	幅度取值是连续的	幅度取值是离散的
传输方式	模拟量的电压或电流	0和1构成的数字流
保密性	容易被窃听	可加密，保密性强
特点	在理想情况下，它具有无穷大的分辨率	抗干扰能力强、无噪声积累

模拟通信系统模型：



数字通信系统模型：

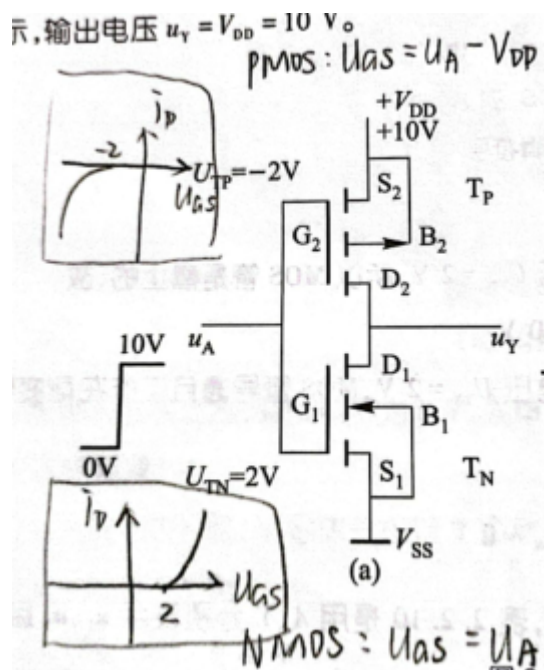


(5) (Tsinghua)你学过CMOS吗，你能和我说说他的原理吗？（画出CMOS）

利用NMOS和PMOS管的互补性，互补对称地连接起来，从而天然地构成了上拉、下拉部分的电路。

PMOS可以实现上拉，当输入接近0时，导通， $V_{out} = V_{DD}$

NMOS可以实现下拉，当输入接近 V_{DD} 时，导通， $V_{out} = 0$



CMOS非门、与非门、或非门

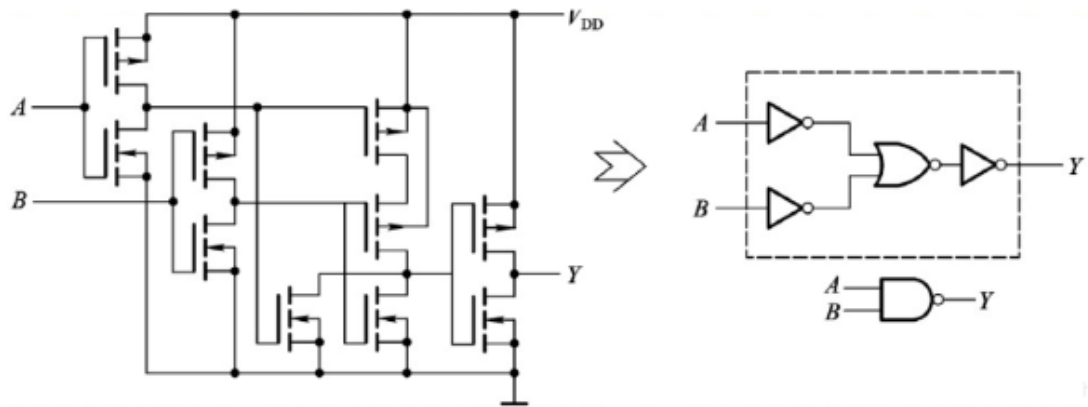
非门如上

与非门、或非门

与非门	或非门
$Y = (AB)' = A' + B'$	$Y = (A + B)' = A'B'$
因此上拉的PMOS是并联的	因此上拉的PMOS是串联的

改进:

- 采用 反相器+或非门+反相器 构成 与非门,
- 好处: 带缓冲的门电路, 输出的高低电平以及电压传输特性将不受输入端状态的影响



画CMOS门电路

另外，在构成其他逻辑器件时，利用**N管下拉**、**P管上拉**的互补特性，以及**串联对应与**、**并联对应或**运算，可以画出其他逻辑门的CMOS图。

比如构成， $Y=(A(B+C))'$ ，

上拉： $Y=A'+B'C'$ --> TPA与 TPB、TPC的串联 并联

下拉： $Y'=A(B+C)$ --> TPA与 TPB、TPC的并联 串联

二极管门电路的缺点

输出的高低电平数值和输入的高低电平不相等，相差一个导通电压，如果输出作为下一级门输入信号，将发生**高、低电平偏移**

(5) CMOS门电路的功耗问题

动态功耗：

- **翻转功耗：** 门电路状态翻转，对输出电容进行充电和放电需要的功耗

$$P_{dyn} = C_{eff} \cdot V_{dd}^2 \cdot f_{clock} \quad (\text{电压、负载电容、翻转率})$$

- **短路功耗：** 在输入信号进行翻转时，信号的翻转不可能瞬时完成，因此PMOS和NMOS不可能总是一个截止另外一个导通，总有那么一段时间是使PMOS和NMOS同时导通，那么从电源VDD到地VSS之间就有了通路，就形成了短路电流
- 输出波形中短时脉冲波形干扰引起的功耗

静态功耗：

- 亚阈值漏电流
- 栅极漏电流

[芯片设计进阶之路——低功耗深入理解（一） - 知乎 \(zhihu.com\)](https://zhuanlan.zhihu.com/p/100000000)

SOC中的功耗消耗主要来自：时钟树、CPU/GPU、存储器

低功耗的目的：提高电池供电的电子产品的使用时间、提高设备的可靠性（功耗越大、产生热量越多，烧坏芯片）、较低成本（对封装、散热要求更小）

(6) CMOS电路的主要特点、使用注意事项

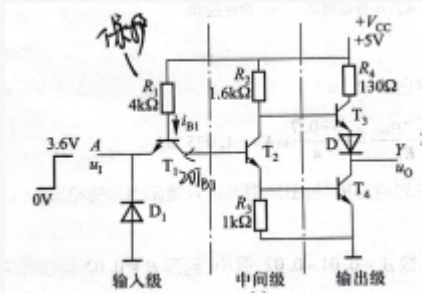
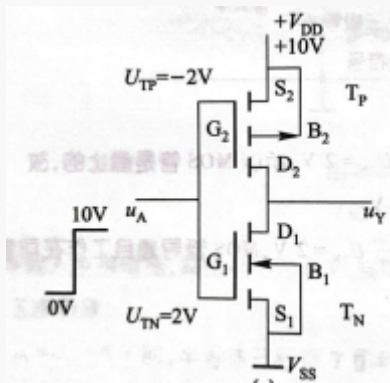
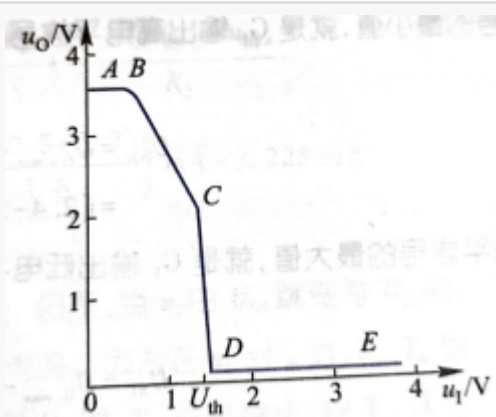
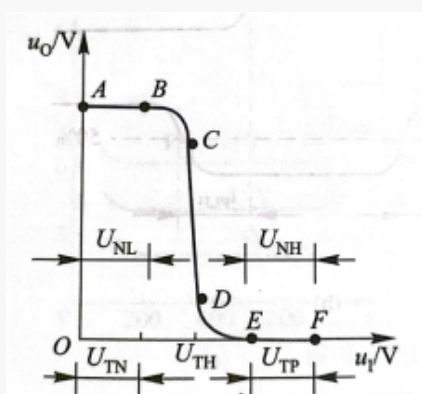
CMOS主要特点：

- **功耗**极低（静态功耗非常小）
- **集成度**很高，温度稳定性好（内部发热低，CMOS电路结构是互补对称的，当外界温度变化时，有些参数可以互相补偿）
- **抗干扰**能力强（输入端噪声容限不小于 $0.3V_{DD}$ ）
- **电源电压**范围宽（ $V_{DD} = 3 \sim 18V$ ）
- **逻辑摆幅大**（低电平 $U_L \approx 0V$ ，高电平 $U_{OH} \approx V_{DD}$ ）
- **扇出能力强**（输出端能接同样门电路的最大个数）
- **抗辐射**能力强（射线对多子浓度影响很小）
- **成本低**（集成度高、功耗低）

使用注意问题：

- 输入端静电防护（**输入阻抗很大**，因此不用的引脚不要悬空，要接上拉或下拉电阻）
- 输入电路过流保护（要在输入端和信号源之间要串联限流电阻，使输入的电流限制在 1mA 之内，否则可能烧坏CMOS）
- 电源电压极性不能接反
- 输出端不能和电源短接，也不能和地短接，不同的输出端也不能并联（除了OD门）

TTL与CMOS的区别 ★

	TTL	CMOS
全称	transistor-transistor logic	complementary metal-oxide-semiconductor
结构 (反相器)		
电平	输出高电平 $>2.4V$, 输出低电平 $<0.4V$ 。输入高电平 $\geq 2.0V$, 输入低电平 $\leq 0.8V$, 噪声容限是 $0.4V$ 。(一般是 $3.3V$)	1逻辑电平电压接近于电源电压, 0逻辑电平接近于 $0V$ 。噪声容限很宽。(一般是 $5V$)
电压传输特性		
开路门	OC门	OD门
传输速度	传输延迟小	传输延迟长
功耗	功耗大	功耗小(与切换频率有关)

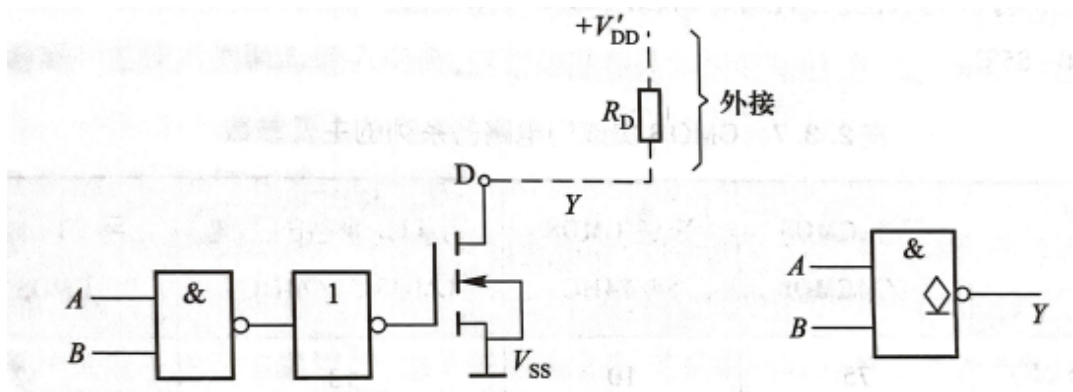
什么是噪声容限

在数字电路中, 即使有噪声电压出现在输入端, 并叠加在输入信号的高低电平上, 只要噪声电压的幅度不超过允许的界限, 输出的逻辑状态就不会发生改变

(7) OD门、传输门、三态门

解释“线与”

- OD门输出MOS管的漏极是开路的，可以把几个OD门的输出端用导线连起来，实现与运算，称为“线与”
 - 工作时，必须在输出端外接电源和电阻



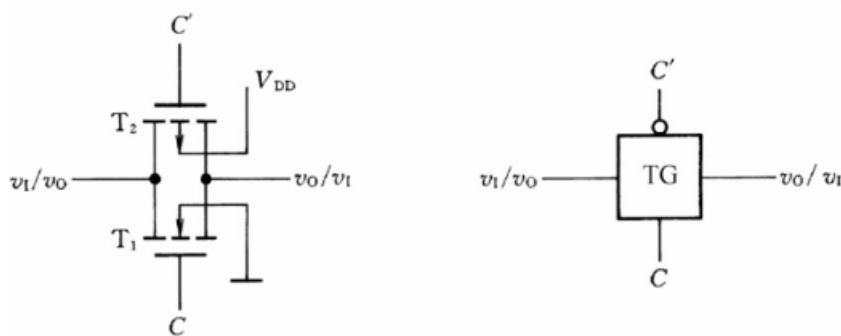
如图, 实现了 $Y=(AB)'$

【在不工作在线与时，作为开关大电压和大电流负载，所以又叫做驱动门电路】

- OC门也同理

传输门

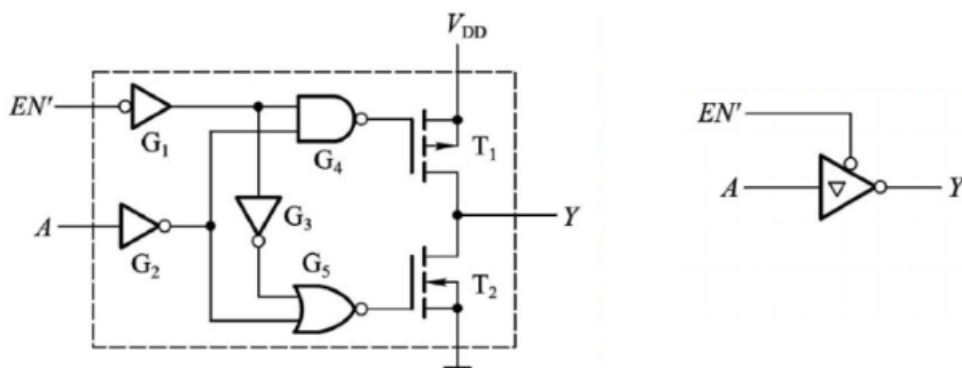
- 利用PMOS和NMOS的互补对称性连接为：



- 由于CMOS传输门的结构是对称的，所以，输出端和输入端可以互换，是一个双向器件。
- 可以用作开关

三态门

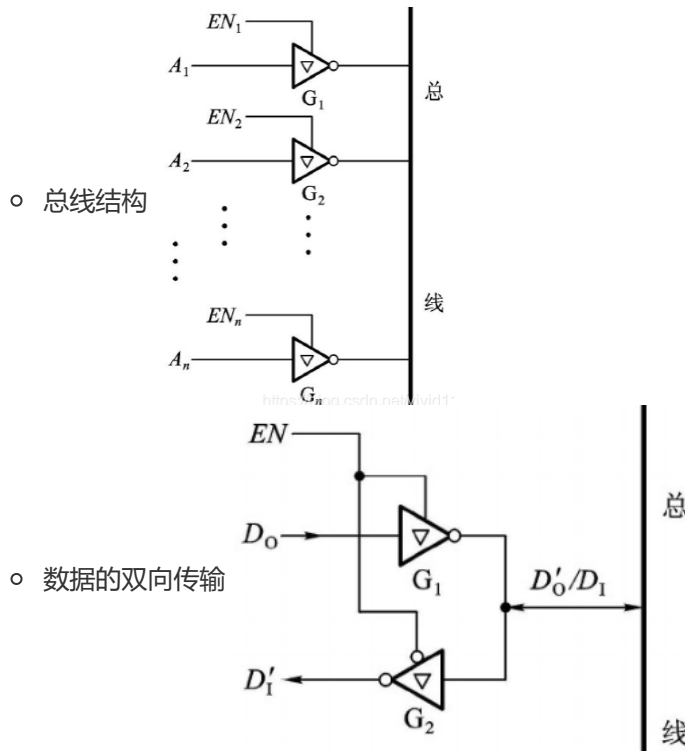
eg: CMOS三态输出反相器, 结构为:



- EN=0, Y=A'
- EN=1, 两个MOS管都处于截止状态, 输出呈现高阻态

- 高阻态：电路的一种输出状态，既不是高电平也不是低电平，如果高阻态再输入下一级电路的话，对下级电路无任何影响，可以理解为断路，不被任何东西所驱动，也不驱动任何东西。

- 作用：



- 总线结构

- 数据的双向传输

(8) 解释竞争冒险

- **竞争**：门电路的两个输入信号同时向相反的逻辑电平跳变

原因：

- 两个输入不可能突变，都要经历一段极短的过渡时间
- 两个输入不可能完全同时改变，它们经过的传输路径长短不同、门电路的传输时间也不可能完全一样

特殊：

- 单个输入状态改变时，也有可能产生竞争冒险。
- 如：2选1多路选择器（同时传输C与C'）
- 判断方法：卡诺图中有两个相切的圈，一定会发生竞争冒险。
- 解决：把它们圈起来（增加冗余项），即可解决这一问题。

但是！！有竞争现象，不一定有尖峰脉冲，例如：电路的输出端被某一信号封锁住，就不会产生尖峰脉冲了

- **竞争-冒险**：由于竞争，在输出端可能产生尖峰脉冲的现象

- 消除方法：

- 引入封锁脉冲 / 选通脉冲（时间难控）
- 在输出端接滤波电容（小电容，与输出端导通电阻构成RC滤波电路）
- 修改逻辑设计，增加冗余项 / 同一时刻只允许单个输入变量发生变化（格雷码）

(10) 组合逻辑和时序逻辑电路的区别、Verilog描述上的区别

比较项目	组合逻辑电路	时序逻辑电路(状态机) (同步)
输入输出关系	任意时刻的输出仅仅取决于该时刻的输入，与电路原来的状态无关	不仅仅取决于当前的输入信号，而且还取决于电路原来的状态，或者说，还与以前的输入有关
有无存储(记忆)单元	无(不能包含)	包含
结构特点	只包含门电路	(组合逻辑电路+) 存储电路输出状态必须反馈到组合电路的输入端，与输入信号共同决定组合逻辑的输出
分析方法	从电路的输入到输出逐级写出逻辑函数式，最后得到表示输出与输入关系的逻辑函数式。然后用公式化简法或者卡诺图化简法得到函数式的化简或变换，以使逻辑关系简单明了。有时还可以将逻辑函数式转换为真值表的形式。	1、写出每个触发器的驱动方程2、将驱动方程带入触发器的特性方程得到状态方程组3、根据逻辑图写出电路的输出方程 状态转换过程描述：状态转换表、状态转换图、状态机流程图、时序图
设计方法	1、逻辑抽象2、写出逻辑函数式3、选定器件类型4、将逻辑函数式化简或者变换成适当的形式5、画出逻辑电路的连接图6、工艺设计	1、逻辑抽象得到状态转换图或者状态转换表2、状态化简3、状态分配(状态编码)4、选触发器求出状态方程(现态与次态)、驱动方程(触发器输入)和输出方程5、根据方程式画出逻辑图6、检查设计的电路能否自启动
常用组合逻辑电路	编码器、译码器、数据选择器、加法器、数值比较器、存储器ROM	锁存器、触发器、寄存器、移位寄存器、存储器RAM

Verilog描述区别

- 组合逻辑：最终不会综合出寄存器

(1) always @(电平敏感信号列表)

- 敏感列表为所有判断条件信号、输入信号，一定注意完整性！！
- 可以使用if、case等结构，但是要注意逻辑的完整性！！
- 推荐使用 阻塞式赋值“=” 【因为非阻塞式赋值 是由时钟节拍控制的】
- 被赋值的变量仍然得定义成reg型，但是不会综合出寄存器！！

(2) assign a = b;

- 被赋值信号 a 为wire型
- 右边的信号 b 为 wire reg都行

- 时序逻辑：

(1) always @ (电平敏感信号列表)

- 不完整的逻辑，会构成锁存器Latch

(2) always @ (边沿敏感信号列表)

- 只需要加入所用的时钟触发沿，其余所有条件判断信号、输入信号不用加入
- 一般只能有一个边沿信号，如果有另一个，一定要在always中判断其高低电平状态
- 被赋值的reg信号都会被综合成寄存器
- 推荐使用 非阻塞式赋值“<=”

(11) 解释JK触发器的空翻现象？

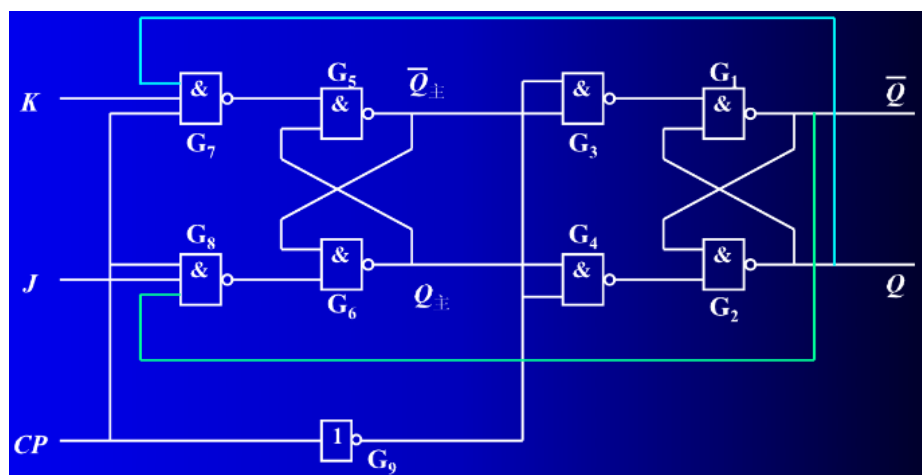
触发器的主从结构：【输入到主触发器，从触发器输出】

- 【主触发器在CP=1时有效，从触发器在CP=0时有效】

同步RS触发器空翻现象：在时钟信号CP=1的时间间隔内，输出结果Q会随着激励信号比如R和S的变化而变化，引起触发器的输出状态翻转两次或多次的现象

主从JK触发器：存在一次翻转问题

- 主从JK触发器是对RS触发器约束问题的改进，使 $S = J\overline{Q}^n$ 、 $R = \overline{K}Q^n$ ，RS相乘自动满足约束条件
- 但是存在一次翻转问题：
 - 在CP=1时(主触发器有效)，把 S 、 R 表达式带入RS触发器的表达式，当主触发器发生一次翻转后： $Q_{主}^{n+1} = S + \overline{R}Q_{主}^n = J\overline{Q}^n + \overline{K}Q^n \overline{Q}^n = \overline{Q}^n$ ，即：主触发器状态发生一次变化后，将一直保持不变，不在随输入信号的变化而变化。



(12) 触发器有几种？——阐述

按触发方式：基本、同步、边沿

按逻辑功能：RS、JK、D、T、T'

按存储数据的原理：静态：电路状态自锁（SRAM）、动态：MOS管栅极输入电容上存储电荷（DRAM）

基本触发器：（输入信号电平直接控制）

① RS触发器

- 特征方程： $Q^{n+1} = S + \overline{R}Q^{n+1}$ ， $RS = 0$
- S置位端，R复位端，约束条件RS=0（如果都有效的话，输出是一种未定义的状态）

- 特点：在任何时刻，输入电平都能直接改变输出的状态，导致抗干扰能力下降；RS直接存在约束，限制触发器的使用

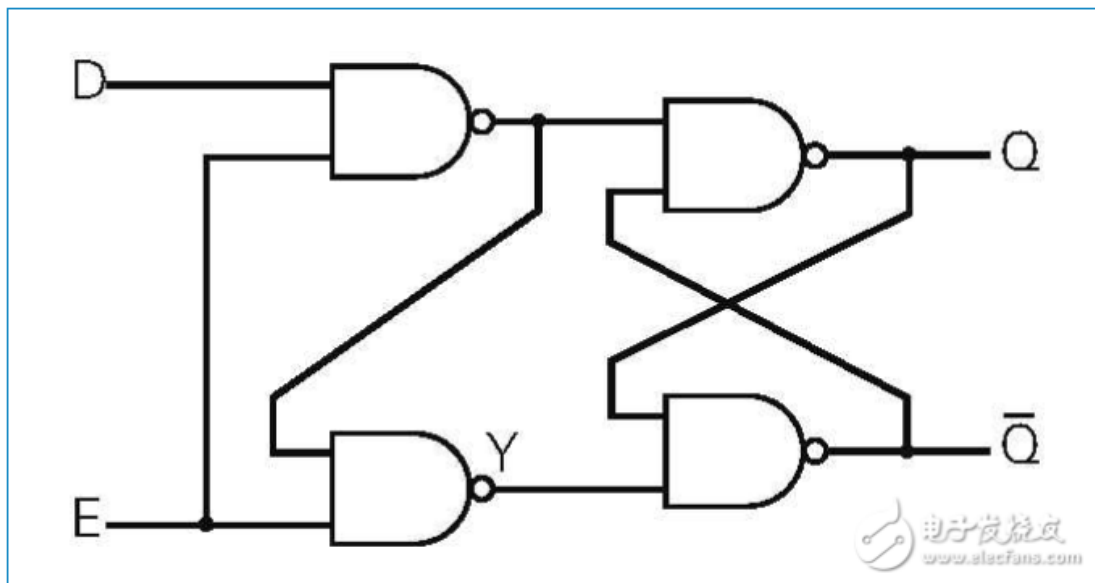
同步触发器：（时钟脉冲控制）

② 同步RS触发器

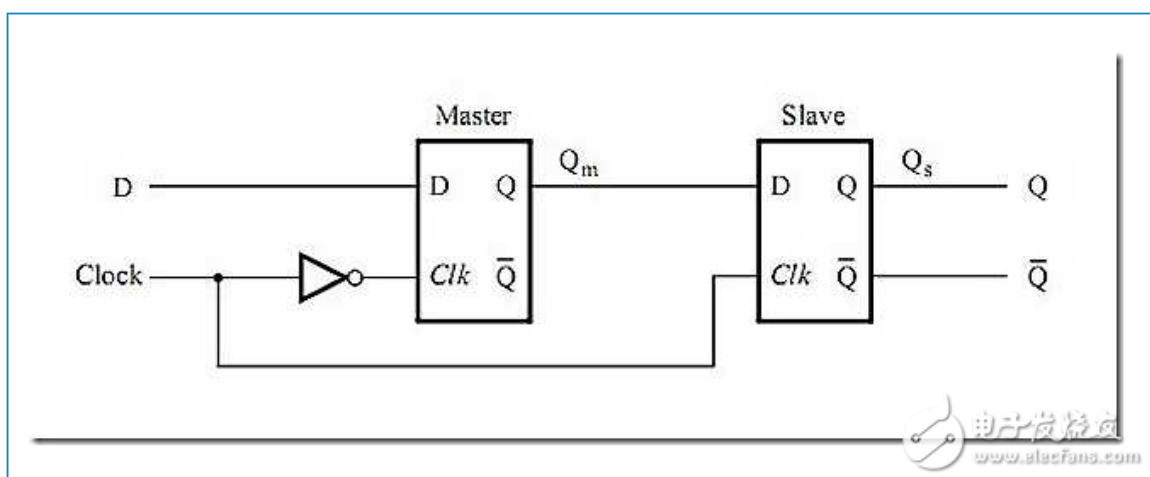
- 特征方程： $Q^{n+1} = S + \overline{R}Q^{n+1}$, $RS = 0$ ($CP = 1$)
- 输入控制信号CLK + 基本RS触发器

③ 同步D触发器（D Latch）

- 输入控制信号CLK + 基本RS触发器 + R/S分别接D/D' (反相器消除RS之间的约束)
- 特征方程： $Q^{n+1} = D$, ($CP = 1$)
- 当CLK为1时，改变Q=D的值；当CLK为0时，状态自锁



边沿触发器（时钟脉冲的上升沿或下降沿控制）



④ 边沿触发的JK触发器

- JK比SR多的是把Q与Q'状态引回了主的首部
- 特征方程： $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$, (时钟边沿)
- JK触发器可以 置1、清0、保持、翻转

⑥ 边沿触发的D触发器

- 用两个电平触发D触发器组成边沿触发器
- 特征方程: $Q^{n+1} = D$, (时钟边沿)
- 边沿处, $Q=D$; 其他保持

⑦ T与T'触发器

- T: T是一个翻转信号, 为1则翻转Q, 为0则保持不变。 $D = T\overline{Q^n} + \overline{T}Q^n$
- T': 随着时钟的到来, 自动翻转Q。 $D = \overline{Q^n}$

(13) 设计过哪些时序逻辑电路?

锁存器、触发器、计数器、寄存器、移位寄存器、存储器RAM、顺序脉冲发生器

组合: 加法器、编码器、译码器、数据选择器、数据分配器、奇偶检验器、数值比较器、存储区ROM

(14) 555定时器

- 中规模集成电路, 可以用于信号产生与变换, 以及控制与检测电路
 - 分为双极型和CMOS型
 - 有8个引脚
- 主要应用 (工作模式)
 - **单稳态触发器 (单稳态模式)**
 - 有一个稳定状态和一个暂稳状态; 在外来触发脉冲到来时, 能够由稳定状态翻转到暂稳状态; 暂稳状态维持一段时间后, 又自动返回稳定状态。
(且暂稳时间只与电路参数相关, $\tau = 1.1RC$)
 - 用于 定时 (产生一定宽度的方波)、整形 (把不规则的波形转换成宽度、幅度都相等的脉冲)、延迟 (将输入信号延迟一定的时间后再输出)
 - **施密特触发器 (双稳态模式)**
 - 把变化非常缓慢的输入脉冲波形, 整形成适合数字电路的矩形脉冲
 - 具有滞回特性, 抗干扰能力很强
 - 用于: 接口与整形、阈值探测与脉冲展宽
 - **多谐振荡器 (无稳态模式)**
 - 是一种自激振荡电路, 只要接通电源, 在输出端就会产生矩形脉冲
 - $t_{w1} = 0.7(R_1 + R_2)C$, $t_{w2} = 0.7R_2C$

它们都是用555定时器构成的

分压器-比较器-RS触发器-输出

(15) 触发器、锁存器、寄存器的原理与区别?

- **触发器 (Flip-Flop、Trigger)**
 - 边沿敏感的存储单元
 - 数据存储的动作 (状态转换) 由时钟信号的上升或者下降沿进行同步的
(在时钟触发时才采样当前的输入, 产生输出)
 - 不易产生毛刺现象
- **锁存器 (Latch)**
 - 由电平触发, 非同步控制 (没有时钟端)
 - 在使能信号EN有效时锁存器相当于通路, 在使能信号无效时锁存器保持输出状态
 - 对输入电平敏感, 受布线延迟影响较大, 容易产生毛刺
- **寄存器 (Register)**

- 时钟有效（同步控制）
- 寄存器是cpu内部用来存放数据，偏移地址，段基址等的存储单元
- 【将多个D触发器的时钟相连，就构成了多位的寄存器】

• 区别

- 寄存器与锁存器都是用来暂存数据的器件，在本质上没有区别
- 不过寄存器的输出端平时不随输入端的变化而变化，只有在时钟有效时才将输入端的数据送输出端（打入寄存器）
- 锁存器的输出端平时总随输入端变化而变化，只有当锁存器信号到达时，才将输出端的状态锁存起来，使其不再随输入端的变化而变化

锁存器特点：

（1）对**毛刺敏感**（使能信号有效时，输出状态可能随输入多次变化，产生空翻，对下一级电路很危险），**不能异步复位**，因此在上电后处于不确定的状态。

（2）锁存器会使**静态时序分析变得非常复杂**，不具备可重用性。（首先，锁存器没有时钟参与信号传递，无法做STA；其次，综合工具会将latch优化掉，造成前后仿真结果不一致）

（3）在**FPGA**中基本的单元是由查找表和触发器组成的，若生成锁存器反而**需要更多的资源**。根据锁存器的特点可以看出，在电路设计中，要对锁存器特别谨慎，如果设计经过综合后产生出和设计意图不一致的锁存器，则将导致设计错误，包括仿真和综合。因此，在设计中需要避免产生意想不到的锁存器。如果组合逻辑的语句完全不使用always语句块，就可以保证综合器不会综合出锁存器。

（4）但如果锁存器和触发器两者都由**与非门**搭建的话，锁存器耗用的逻辑资源要比D触发器少（D触发器需要12个MOS管，锁存器只需6个MOS管），锁存器的集成度更高。所以在**ASIC设计**中会用到锁存器。但锁存器对毛刺敏感，无异步复位端，不能让芯片在上电时处在确定的状态；另外，锁存器会使静态时序分析变得很复杂，不利于设计的可重用，所以，在ASIC设计中，除了CPU这高速电路，或者RAM这种对面积很敏感的电路，一般不提倡用锁存器。

目前主流的**FPGA**芯片仍是基于查找表。FPGA芯片主要由以下6部分组成：

- （1）可编程输入输出单元（IOB）
- （2）基本可编程逻辑单元（CLB）
- （3）完整的时钟管理模块
- （4）丰富的布线资源
- （5）**嵌入式**块RAM
- （6）内嵌的底层功能单元和嵌入式专用硬核

(16) RAM与ROM区别

• RAM（Random Access Memory，随机存取存储器）

- 随机存储，掉电不会保存数据
- **与CPU直接交换数据的内部存储器，也叫主存(内存)**。它可以随时读写，所以速度很快

• ROM（Read Only Memory，只读存储器）

- 在掉电的情况下，依然保存原有的数据
- ROM用来嵌入电脑主板或者做移动存储介质就很合适
- 早期ROM无法擦写（名字的由来），后来出现了新的半导体存储介质EPROM和**EEPROM**，这两种可擦写

• 电脑内存（RAM）和硬盘（ROM）

- 内存就是一种RAM技术，而ROM则类似于硬盘技术，两者都是存储器，只是RAM的速度要远远高于ROM的速度
- 在电脑日常操作中，很多程序都将**临时运行的程序命令，存放在内存中**，但一旦关机或者停电，内存里原本临时存储的程序，信息将全部被清空，也就是内存只能临时存储，不能长久保

存

- 而ROM则可以存储，即使掉电后也可以找到之前存储的文件，这也就是硬盘了

- 电脑硬盘和ROM的关系

- ROM和硬盘都可以存储数据而且断电不会丢失
- 硬盘分为两种，一种是机械硬盘（即磁盘HDD），一种是固态硬盘（SSD）
- 磁盘和ROM没什么关系
- 固态硬盘的存储颗粒是ROM技术发展的产物，但不能说ROM就是硬盘

- 手机内存：8GB（RAM）和128GB（ROM）

- RAM运行内存，通常是作为操作系统或其他正在运行程序的临时存储介质，也称作系统内存。就好比计算机中的内存条，如果内存条容量越大，计算机就有更多的内存来存储同时运行的任务，这样系统响应的速度也就越快，RAM在手机中就起到了这个作用
- ROM则是机身存储空间，主要包含自身系统占据的空间和用户可用的空间两部分。ROM相当于PC机上的硬盘，用来存储和保存数据。即使是断电，ROM也能够保留数据。手机中的系统文件，或者图片、音乐、照片等通常是存储在这里面的

(17) 与模拟电路相比，数字电路特点

- 电路结构简单，便于集成化
- 在数字电路中晶体管均工作于饱和区或截止区，工作在开关状态，因而数字电路抗干扰能力强，可靠性高
- 数字信息便于长期保持与加密
- 数字电路产品系列齐全，通用性强，成本低
- 数字电路不仅能完成数值运算，还能进行逻辑判断

(18) DA、AD

DA:

- 电路：倒T形电阻转换网络
- 转换精度：
 - 分辨率 $\frac{1}{2^n-1}$
 - 转换误差：（单位：FSR的百分数、或者LSB）
包括：非线性误差、比例系数误差、漂移误差
- 转换速度：
 - 建立时间
 - 转换速率

AD:

- 转换过程：采样 - 量化 - 保持 - 编码
- 几种电路：
 - 逐次渐进型AD转换器
 - 双积分型AD转换器（最慢）
 - 并联比较型AD转换器（最快）

位数、分辨率、精度:

- 位数决定了分辨率 $\frac{1}{2^n-1}$
- 精度与AD的输入电压范围有关，而且还有一些转换误差

(19) 数字电路延迟的原因

线路传输有延迟

逻辑门有传输延迟 $t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$

触发器状态改变也有传输延迟

(20) 触发器的动态特性

t_{PD}: maximum propagation delay (最大传输延迟)

t_{CD}: minimum contamination delay (最小污染延迟)

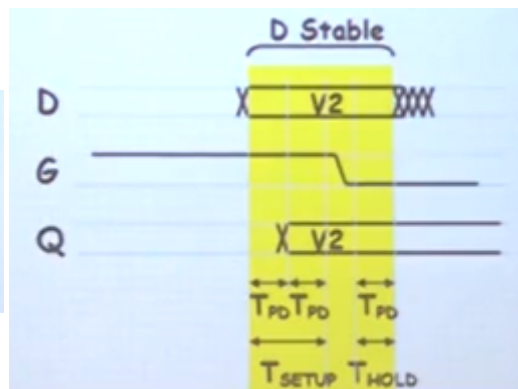
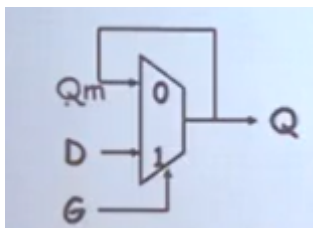
一、建立时间 t_{SETUP} (早来多少)

在时钟输入之前, 输入端数据至少保持的时间

二、保持时间 t_{HOLD} (晚走多少)

在时钟输入之后, 输入端数据至少保持的时间

eg: 锁存器



但这只是定性分析, 实际需要测量这些时间 (器件手册)

总体: 早来晚走

满足了, 才能稳定工作

三、传输延迟时间

从时钟触发沿到来, 到输出端Q、Q'完成状态改变所经历的时间

四、最高时钟频率

由于时钟触发器中每一级门电路都有传输延迟, 因此电路状态的改变总需要一定时间才能完成, 在保证触发器正常翻转的条件下, 时钟信号频率的上限值就是触发器的最高时钟频率。

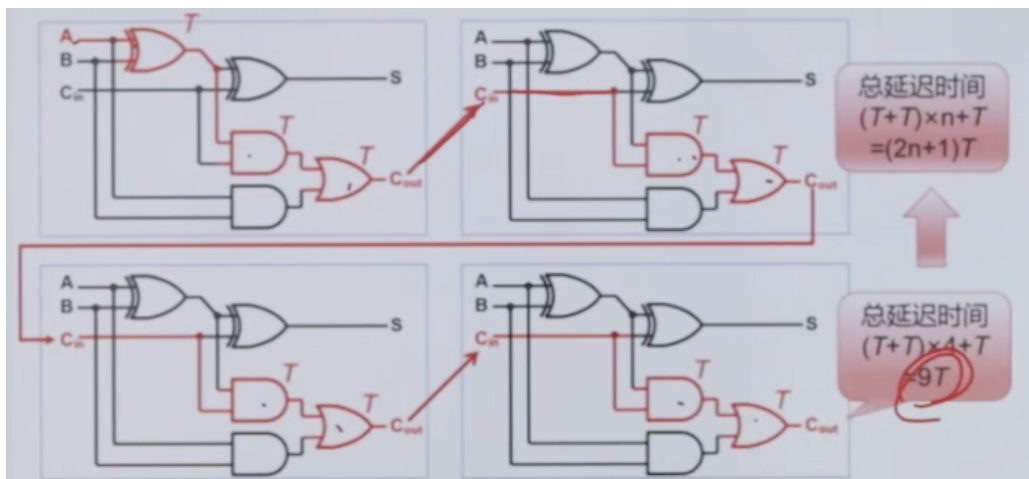
提高系统最高时钟频率?

流水线, 见EDA总结 (16)

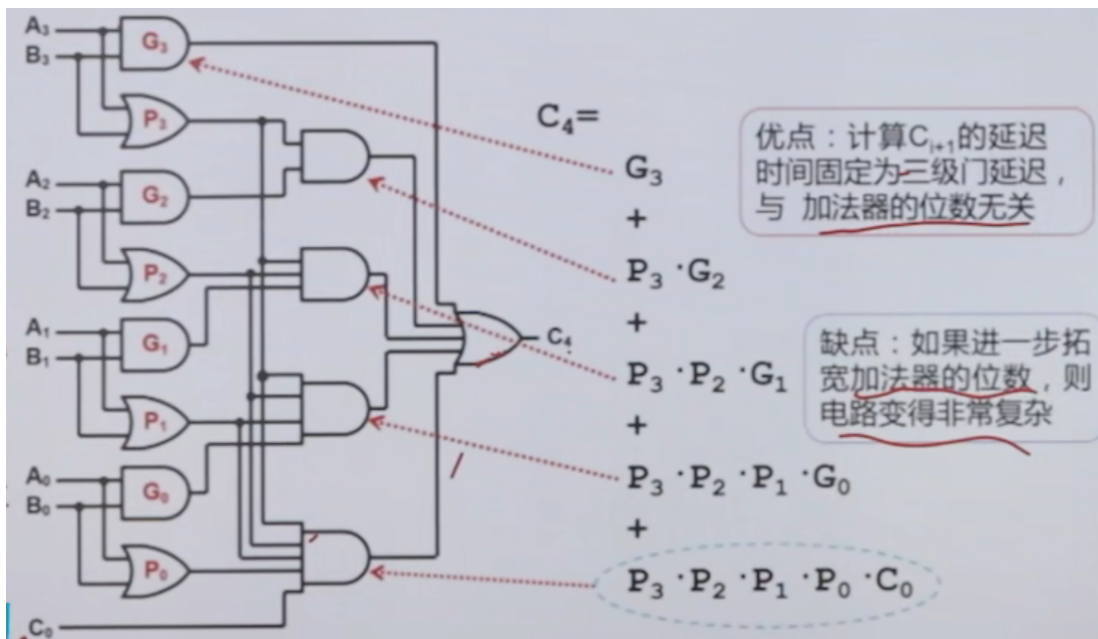
加法器&超前进位加法器(carry look ahead adder)

半加器

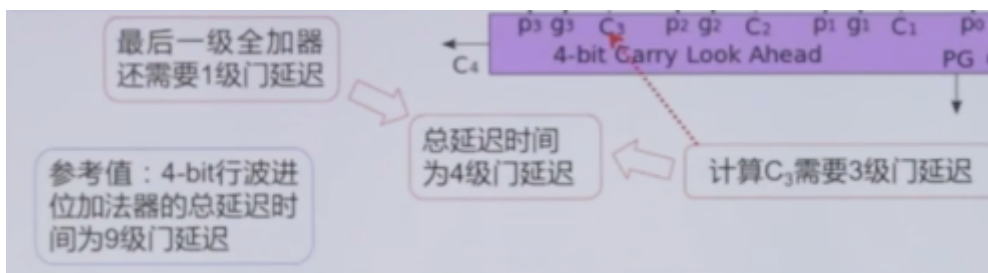
全加器 (ripple carry adder) ——延迟 $(2n+1) T$, T 是一个门电路的传输延迟时间



超前进位全加器 (lookahead carry adder) ——延迟 $4T$ ，但是随着位数的增加，电路会很复杂



	<u>RCA</u>	CLA
结构特点	<u>低位全加器的Cout连接到高一位全加器Cin</u>	每个全加器的进位输入并不来自于前一级的全加器，而是来自超前进位的逻辑
优点	<u>电路布局简单，设计方便</u>	计算 C_{i+1} 的延迟时间固定为三级门延迟，与加法器的位数无关
缺点	高位的运算必须等待低位的运算完成，延迟时间长	如果进一步拓宽加法器的位数，则电路变得非常复杂



同步复位vs异步复位

同步复位	异步复位
<p>所谓同步复位是指当复位信号发生变化时，并不立刻生效，只有当有效时钟沿采样到已变化的复位信号后，才对所有寄存器复位。同步复位的应用要点如下：</p> <ul style="list-style-type: none">指定同步复位时，always 的敏感表中仅有时钟沿信号，仅仅当时钟沿采到同步复位的有效电平时，才会在时钟沿到达时刻进行复位操作。	<p>所谓异步复位是指当复位信号有效沿到达时，无论时钟沿是否有效，都会立即对目标（如寄存器、RAM 等）复位。异步复位的应用要点如下：</p> <ul style="list-style-type: none">指定异步复位时，只需 always 的敏感表中加入复位信号的有效沿即可，当复位信号有效沿到达时，无论时钟沿是否有效，复位都会立即发挥其功能。

这两种复位方式的区别主要看是否需要时钟的参与：异步复位不需要时钟的参与，只要复位信号一有效就立即执行复位操作；同步信号需要时钟参与，只有当时钟有效沿来时，复位信号才有效。

同步复位的最大好处是有效防止复位信号的毛刺引起的误复位操作，只要毛刺不在时钟有效沿附近出现，就不会影响电路正常工作；而若是异步复位，其复位信号的毛刺会立即引起电路复位。

异步复位可以在没有时钟的情况下完成复位，所以可以使电路在上电的时候完成对系统的复位，而且异步复位所消耗的资源比同步复位少。一般的，只要能保证复位信号的稳定，我们建议使用异步复位。

存储器的特点比较

sram、dram、flash

原码、反码、补码

- 基础
 - 计算机硬件决定，任何存储于计算机中的数据，其本质都是二级制码存储
 - 计算机中的运算器只有加法运算器
 - 为了利用加法实现减法，引入符号位
 - 原码、反码、补码的产生过程，就是为了解决计算机做减法和引入符号位的问题
- 原码：最高位为符号位，其他位存放该二级制数的绝对值
- 反码：正数的反码=原码，负数的反码为 除符号位外 按位取反
- 补码：正数的补码=原码，负数的补码为 反码+1

数电：

各种电路画图（今年考了 CMOS 与非门还有半加器）

FPGA 和 ASIC 的概念和区别

建立时间与保持时间以及其大小对整个电路参数的影响