# 设计实验报告—函数信号发生器

|  |  |  |  |
| --- | --- | --- | --- |
| 班级 | 08041402 | 班级 | 08041403 |
| 学号 | 2014302065 | 学号 | 2014302096 |
| 姓名 | 黄之鸣 | 姓名 | 颜立韬 |
| 实验成绩 |  | 实验成绩 |  |
| 实验报告成绩 |  | 实验报告成绩 |  |
| 总成绩 |  | 总成绩 |  |

目录

设计实验报告—函数信号发生器 1

摘要 3

第一章 设计任务概述 4

1.1 任务 4

1.2 要求 4

第二章 方案论证与比较 4

2.1 方案一 4

2.2 方案二 5

2.3 方案三 5

2.4 方案四 5

第三章 理论分析与计算 6

3.1 DDS原理 6

3.2 时钟频率，rom存储地址长度N的计算 7

3.3 dac0832电路和低通滤波器电路选择 7

第四章 电路与程序设计 9

4.1 顶层原理图 9

4.2 锁相环 9

4.3 分频器 10

4.4 频率字发生器 11

4.5 相位累加器 12

4.6 频率显示器 13

4.7 波形选择输出模块 14

第五章 测试方案与测试结果 15

5.1 系统仿真 15

5.2 实际电路检测 16

第六章 结论与感想 16

# 摘要

本文主要讨论了基于FPGA的函数信号发生器的设计。从设计要求入手，本文给出了DDS的详细设计过程，包括各个模块的设计思想，电路图，Verilog语言程序代码。其大致思想为通过频率控制字去控制正弦函数的ROM存储表的地址并对应着得到其幅度值，最终达到输出需要波形的目的。QuartusII的仿真工具对设计的DDS进行了仿真，和实际验证。

## 第一章 设计任务概述

#### 1.1 任务

采用DE0-CV开发板，实现函数信号发生器，根据按键选择生产正弦波信号、方波信号、三角信号。频率范围为0khz-300khz，频率稳定度≤10-4，频率最小步进10kHz。提供DAC0832，lm358。

#### 1.2 要求

（1）实现方波，正弦波，三角波输出。

（2）通过按键进行频率控制

（3）频率范围为0kHz~300kHz。

（4）频率可以设置，最小设置单位为10kHz。

（5）可以进行点频测量，幅频测量误差的绝对值≤0.5dB，相频测量误差的绝对值≤5%。

## 第二章 方案论证与比较

函数信号发生器有多种方案，在设计过程中，我们综合考虑了以下三种实现方案：

#### 2.1 方案一

 采用分立元件模拟直接合成法。这种方法转换速度快，频率分辨率高，但其转换量程靠手动来实现，不仅体积大难以集成，而且可靠性和准确度很难进一步提高。

#### 2.2 方案二

 采用MAX038芯片来产生正弦波信号。该集成块的输出波形种类多，频率覆盖范围广。它采用的是RC充放电振荡结构。第一，由于模拟器件元件分散性太大，外接的电阻、电容对

参数的影响很大，因而产生的频率稳定度差，只能达到431010。

第二，它的频率控制是通过充放电流的大小来实现。因而要达到步进100HZ，所需的电流变化量非常小，精度要求很高。所以采用MAX038芯片难以实现设计要求

#### 2.3 方案三

采用锁相环合成方法。采用该方案设计输出信号的频率可达到超高频甚至微波段，且输出信号频谱纯度较高。由于锁相环技术是一个不间断的负反馈控制过程，所以该系统输出的正弦信号频率可以维持在一个稳定状态，频率稳定度高。但由于它是采取闭环控制的，系统的输出频率改变后，重新达到稳定的时间也比较长。所以锁相环频率合成器要想同时得到较高的频率分辨率和转换率非常困难，频率转换一般要几毫秒的时间[1]，同时频率间隔也不可能做得很小。

#### 2.4 方案四

 采用直接数字合成器（DDS），可用硬件或软件实现。即用累加器按频率要求对相应的相位增量进行累加，再以累加相位值作为地址码，取存放于ROM中的波形数据，经D/A转换，滤波即得到所需波形。

以EDA技术为基础，用FPGA实现DDS模型的设计。电路的规模大小和总线宽度可以由设计者根据自己的需要而设定可将波形数据存入FPGA的ROM中。同时外部控制逻辑单元也可在FPGA中实现。方法简单，易于程控，便于集成。用该方法设计产生的信号频率范围广，频率稳定度高，精度高，频率转换速度快。 分析以上四种方案，显然第四种方案具有更大的优越性、灵活性。所以采用方案四进行设计。

## 第三章 理论分析与计算

#### 3.1 DDS原理

频率控制字K

ROM

LPF

D/A

波形控制字W

加法器

相位控制字P

累加器

加法器

参考信号fc

图 1 DDS原理图

DDS主要由相位累加器、 幅度变换器、D/A转换器DAC 和低通滤波器LPF等组成其核心部件是相位累加器如图1 所示。在系统时钟的作用下由相位累加器完成频率累加并将每次累加结果作为取样地址周期性地扫描正弦波的波形存储器并通过D/A 转换器把结果变换成电压波形。

相位累加器在参考信号时钟fc的控制下以步长K（频率控制字）作累加，输出N位二进制码与相位控制字P、波形控制字W相加后作为波形ROM的地址，对波形ROM进行寻址，波形ROM输出D位的幅度码Sn经D/A转换器变成电压波形，再经过低通滤波器平滑后就可以得到合成的信号波形。合成的信号波形形状取决于波形ROM中存放的幅度码，因此用DDS可以产生任意的波形。

DDS产生波形的频率由下面公式决定



公式 1 DDS输出波形频率公式

f0是输出频率，fc为时钟频率。当K足够大时，DDS输出最低频率（也即频率分辨率）为fc／2^N ，而DDS最大输出频率由Nyquist采样定理决定，即fc/2，也就是K的最大值为 。因此，只要N足够大，DDS可以得到足够细的频率间隔。要改变DDS的输出频率，只要改变频率控制字即可。

#### 3.2 时钟频率，rom存储地址长度N的计算

由要求知频率范围为0kHz~300kHz。 频率可以设置，最小设置单位为10kHz。由dds原理可知，采样频率必须大于600khz，因为DAC0832的建立时间为1us，故采样频率必须小于1mhz，故我们选择采样频率为640khz，选择rom地址长度为1024，即N取10，则k每增加16，输出频率就增加10khz。

#### 3.3 dac0832电路和低通滤波器电路选择

DAC0832有三种工作模式，我们选择了直通工作模式，即 CS\*，XFER\* ，WR1\* ，WR2\* 均接地，ILE接高电平，如图所示

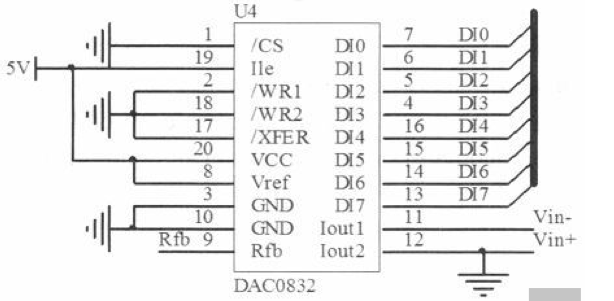


图 2 dac0832直通工作模式

11，12分别输入运放负端口和正端口，输出反馈于0832的9端口，将电流信号转化为电压信号。我们设计了2阶巴特沃斯低通滤波电路，如下图所示

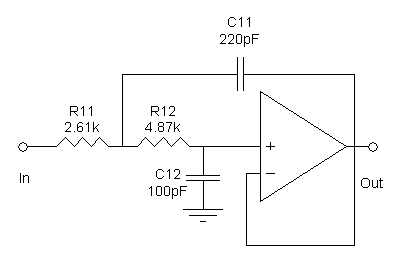
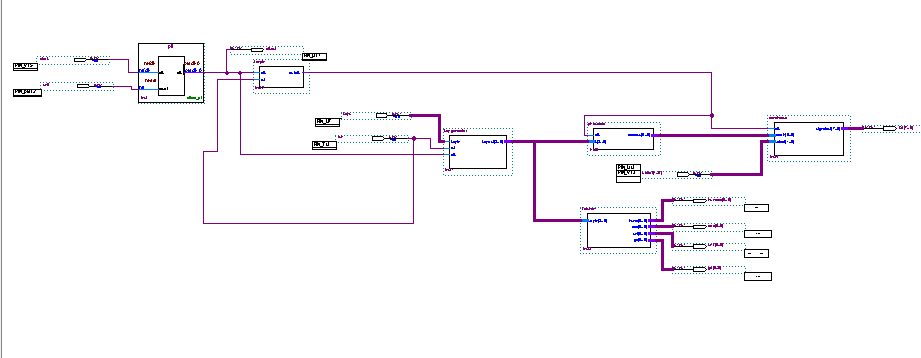


图 3 二阶低通巴特沃斯低通滤波器

## 第四章 电路与程序设计

#### 4.1 顶层原理图



电路由6大模块构成：锁相环、分频器、频率控制字发生器,相位累加器，输出波形频率显示模块，波形选择输出模块

#### 4.2 锁相环

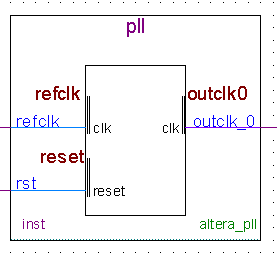
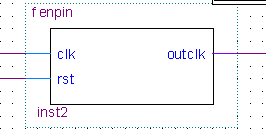


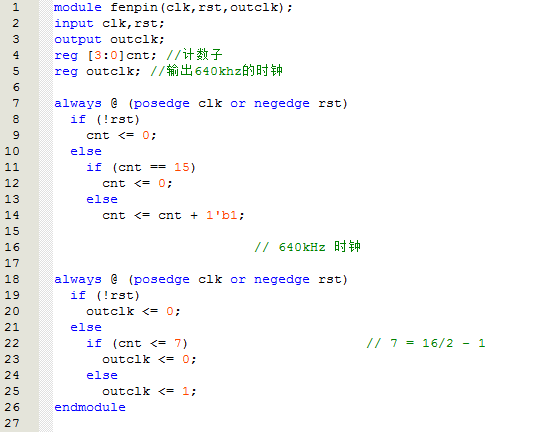
图 4锁相环

锁相环是一个ip核，输入50Mhz的时钟频率，输出10.24Mhz的时钟频率，之所以用锁相环是因为其可以方便准确输出10.24Mhz频率，通过16的偶分频器就可以得到640khz的采样频率。

#### 4.3 分频器



这是一个分频系数为16的分频器，主要作用是把10.24Mhz的时钟分频到640khz，具体实现代码如下：



#### 4.4 频率字发生器

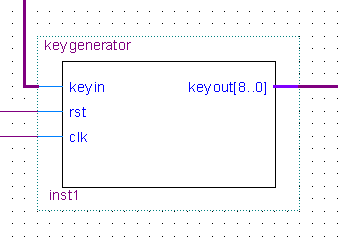


图 5 频率控制字发生器

我们使用按键，每按一下k增加16，即输出波形频率步进10khz，程序中用了一个分频器进行了消抖，程式如下



#### 4.5 相位累加器

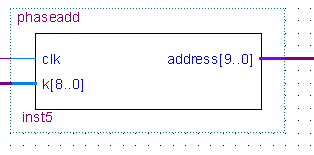
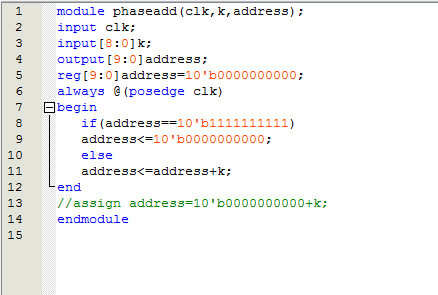


图 6 相位累加器

此模块作用就是将不断累加k并输出地址，代码如下所示



#### 4.6 频率显示器

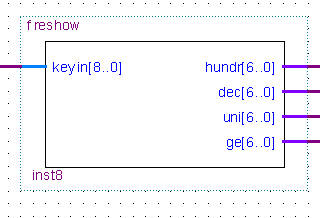
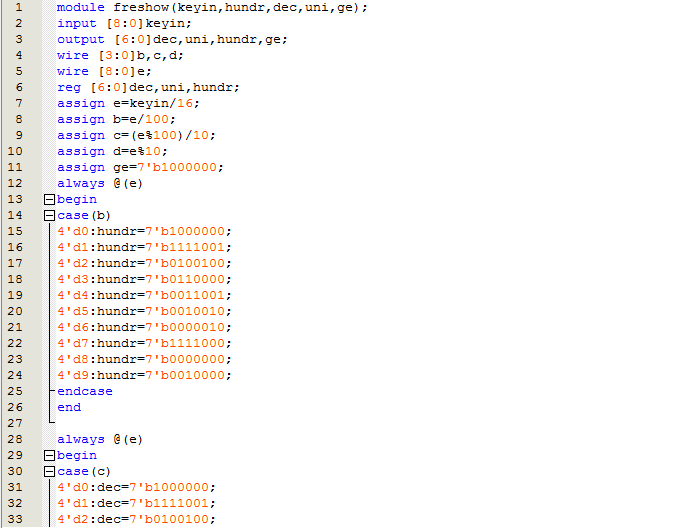


图 7 频率显示器

此模块作用就是将输出波形频率显示到数码管上，原理很简单，将k除以16然后取其个位十位百位的数分别输出显示即可



#### 4.7 波形选择输出模块

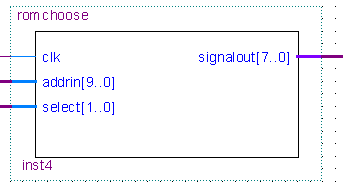
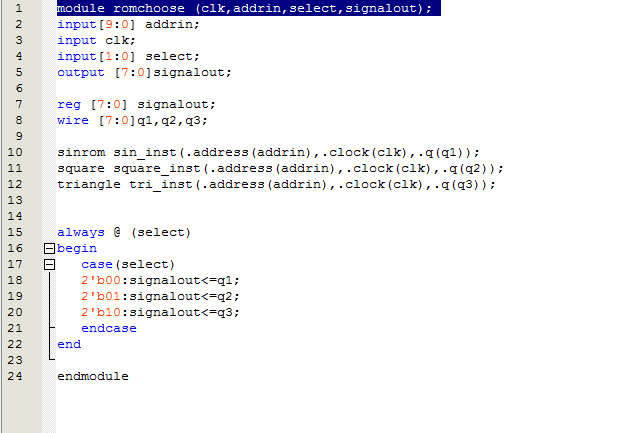


图 8 波形选择输出模块

该模块通过输出2位的信号选择输出三角波，正弦波和方波，程序如下所示



我们将全部代码托管到了github上，可以在github上获取全部源程序

https://github.com/Zhiming-Huang/verilog-DDS-generator

## 第五章 测试方案与测试结果

#### 5.1 系统仿真

我们编写好testbench文件，用modelsim进行仿真，仿真结果如下

正弦波仿真

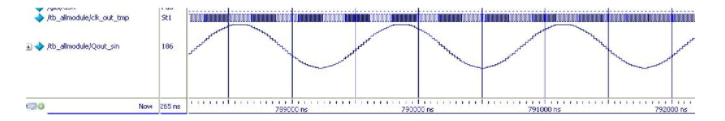


图 9 正弦波仿真

三角波仿真

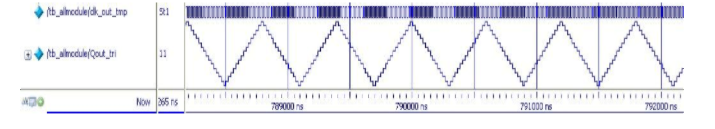


图 10 三角波仿真

方波仿真

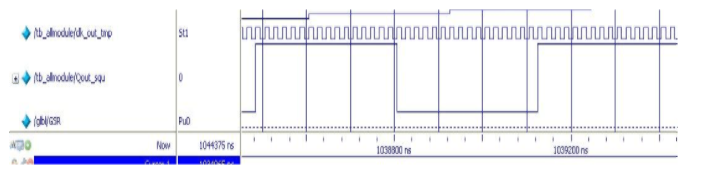


图 11方波仿真

可以看到仿真的结果符合我们预期，能够比较完美的出现正弦波，三角波和方波等波形。

#### 5.2 实际电路检测

实际电路波形效果并不太好，波形有较大失真，不够平滑，且频率越高效果越不太好。若是频率控制字很大，就会造成输出的幅度值点很少，进而产生波形的不平滑。所以，不可能真正地实现任意频率的控制。要解决这些问题，一方面可以结合系统时钟来控制输出波形的频率；另一方面，还可以把这些数字化的幅度值进行数模转换。从模拟波形的角度去进行频率的控制。

## 第六章 结论与感想

与传统的频率合成方法相比，DDS合成信号具有频率切换时间短、频率分辨率高、相位变化连续等诸多优点。使用单片机灵活的控制能力与FPGA器件的高性能、高集成度相结合，可以克服传统DDS设计中的不足，从而设计开发出性能优良的DDS系统。我们自主完成了基于DDS的调频波形发生器的设计，拓宽了知识面，也增进了对FPGA 及Verilog进行电路开发的理解。

通过此次实验我们锻炼了动手能力，在一个短时间内对verillog进行了学习和使用，感觉收获良多，对电子设计的总体规划有了进一步的认识，真正体会到了设计二字的重要性。