

杨志远

Zhiyuan Yang



Address

北京市海淀区学院路 37 号

☎ 86-13050073637

✉ buaazy@buaa.edu.cn

🌐 <https://zhiyuan-yang.github.io>

教育经历

- 2018.9-2022.6 北京航空航天大学, 电子信息工程学院, 工学学士, 电子信息工程.
- 2022.9- 北京航空航天大学, 电子信息工程学院, 专业硕士, 信号与信息处理.

奖项

- 2022 北京航空航天大学新生学业奖学金, 北京航空航天大学, 一等奖.
- 2022 北京航空航天大学新生奖学金, 北京航空航天大学, 30/400.
- 2019 北京航空航天大学学习优秀奖学金, 北京航空航天大学, 二等奖.

技能

- 编程语言 MATLAB, PYTHON, C++
- 目标跟踪 卡尔曼滤波器, JPDA/MHT 滤波器, 雷达点云聚类, 航迹分配
- 信号处理 雷达波形仿真, DOA 估计, DSP, CFAR 检测

项目经历

- 2022.12 - 基于 PHD 滤波器的扩展目标跟踪, 目标跟踪, 航迹匹配.
- 2023.3 该项目采用不同的方法包括高斯过程回归、高斯混合模型和随机矩阵对扩展目标建模, 与 PHD 滤波器、扩展卡尔曼滤波器等跟踪方法结合对车辆扩展目标进行跟踪
- 2022.3 - 基于 CNN 的雷达信号开集识别, 雷达波形仿真, 深度学习, 时频分析.
- 2022.6 该项目对十种雷达波形进行仿真, 通过不同时频分析方法获取雷达信号时频图像, 最后采用卷积神经网络对雷达信号进行分类
- 2020.9 - 基于 ZYNQ 的有线通信系统, FPGA、VERILOG、通信系统.
- 2021.1 该项目采用 ZYNQ 作为开发板, 搭建有线通信系统, 完成端到端的图像传输功能, 硬件部分采用了 ZYNQ-7000 FPGA 作为主处理器, 配合使用 DAC5672 和 ADS4246 等芯片完成. 软件程序设计采用 Verilog HDL 硬件描述语言, 使用 Vivado 硬件平台和 Vitis 软件平台进行开发. 项目组使用 Vivado 硬件综合平台编写设计文件和仿真文件, 并生成约束文件和比特流文件实现对 FPGA 的控制. 通过在 Vitis 软件综合平台编写 C 语言文件实现串口通信, 并使用 Matlab 语言编程, 实现图像的前端处理.

课程

- 数据结构
- 矩阵理论
- 现代雷达原理
- 检测、估计和调制理论

语言

Engilsh CET6 589