

# SPI 总线协议及 SPI 时序图详解

SPI，是英语 **S**erial **P**eripheral **I**nterface 的缩写，顾名思义就是串行外围设备接口。**SPI**，是一种高速的，全双工，同步的通信总线，并且在芯片的管脚上只占用四根线，节约了芯片的管脚，同时为 **PCB** 的布局上节省空间，提供方便，正是出于这种简单易用的特性，现在越来越多的芯片集成了这种通信协议。

**SPI** 是一个环形总线结构，由 **ss(cs)**、**sck**、**sdi**、**sdo** 构成，其时序其实很简单，主要是在 **sck** 的控制下，两个双向移位寄存器进行数据交换。

上升沿发送、下降沿接收、高位先发送。

上升沿到来的时候，**sdo** 上的电平将被发送到从设备的寄存器中。

下降沿到来的时候，**sdi** 上的电平将被接收到主设备的寄存器中。

假设主机和从机初始化就绪：并且主机的 **sbuff=0xaa (01010101)**，从机的 **sbuff=0x55 (01010101)**，下面将分步对 **spi** 的 8 个时钟周期的数据情况演示一遍(假设上升沿发送数据)。

脉冲		主机 sbuff	从机 sbuff	sdi	sdo
0	00-0	10101010	01010101	0	0
1	0--1	0101010x	10101011	0	1
1	1--0	01010100	10101011	0	1
2	0--1	1010100x	01010110	1	0
2	1--0	10101001	01010110	1	0
3	0--1	0101001x	10101101	0	1
3	1--0	01010010	10101101	0	1
4	0--1	1010010x	01011010	1	0
4	1--0	10100101	01011010	1	0
5	0--1	0100101x	10110101	0	1
5	1--0	01001010	10110101	0	1
6	0--1	1001010x	01101010	1	0
6	1--0	10010101	01101010	1	0
7	0--1	0010101x	11010101	0	1
7	1--0	00101010	11010101	0	1
8	0--1	0101010x	10101010	1	0
8	1--0	01010101	10101010	1	0

这样就完成了两个寄存器 8 位的交换，上面的 0--1 表示上升沿、1--0 表示下降沿，**sdi**、**sdo** 相对于主机而言的。根据以上分析，一个完整的传送周期是 16 位，即两个字节，因为，首先主机要发送命令过去，然后从机根据主机的名准备数据，主机在下一个 8 位时钟周期才把数据读回来。

**SPI** 总线是 **Motorola** 公司推出的三线同步接口，同步串行 3 线方式进行通信:一条时钟线 **SCK**，一条数据输入线 **MOSI**，一条数据输出线 **MISO**;用于 **CPU** 与各种外围器件进行全双工、同步串行通讯。**SPI** 主要特点有:可以同时发出和接收串行数据;可以当作主机或从机工作;提供频率可编程时钟;发送结束中断标志;写冲突保护;总线竞争保护等。

**SPI** 总线有四种工作方式(**SP0**, **SP1**, **SP2**, **SP3**)，其中使用的最为广泛的是 **SPI0** 和 **SPI3** 方式。

**SPI** 模块为了和外设进行数据交换，根据外设工作要求，其输出串行同步时钟极性和相位可以进行配置，时钟极性(**CPOL**)对传输协议没有重大的影响。如果 **CPOL=0** 串行同步时钟的空闲状态为低电平，如果 **CPOL=1**，串行同步时钟的空闲状态为高电平。时钟相位(**CPHA**)

能够配置用于选择两种不同的传输协议之一进行数据传输。如果 CPHA=0，在串行同步时钟的第一个跳变沿(上升或下降)数据被采样；如果 CPHA=1，在串行同步时钟的第二个跳变沿(上升或下降)数据被采样。 SPI 主模块和与之通信的外设时钟相位和极性应该一致。

SPI 时序图详解---SPI 接口在模式 0 下输出第一位数据的时刻

SPI 接口有四种不同的数据传输时序，取决于 CPOL 和 CPHL 这两位的组合。图 1 中表现了这四种时序，时序与 CPOL、CPHL 的关系也可以从图中看出。

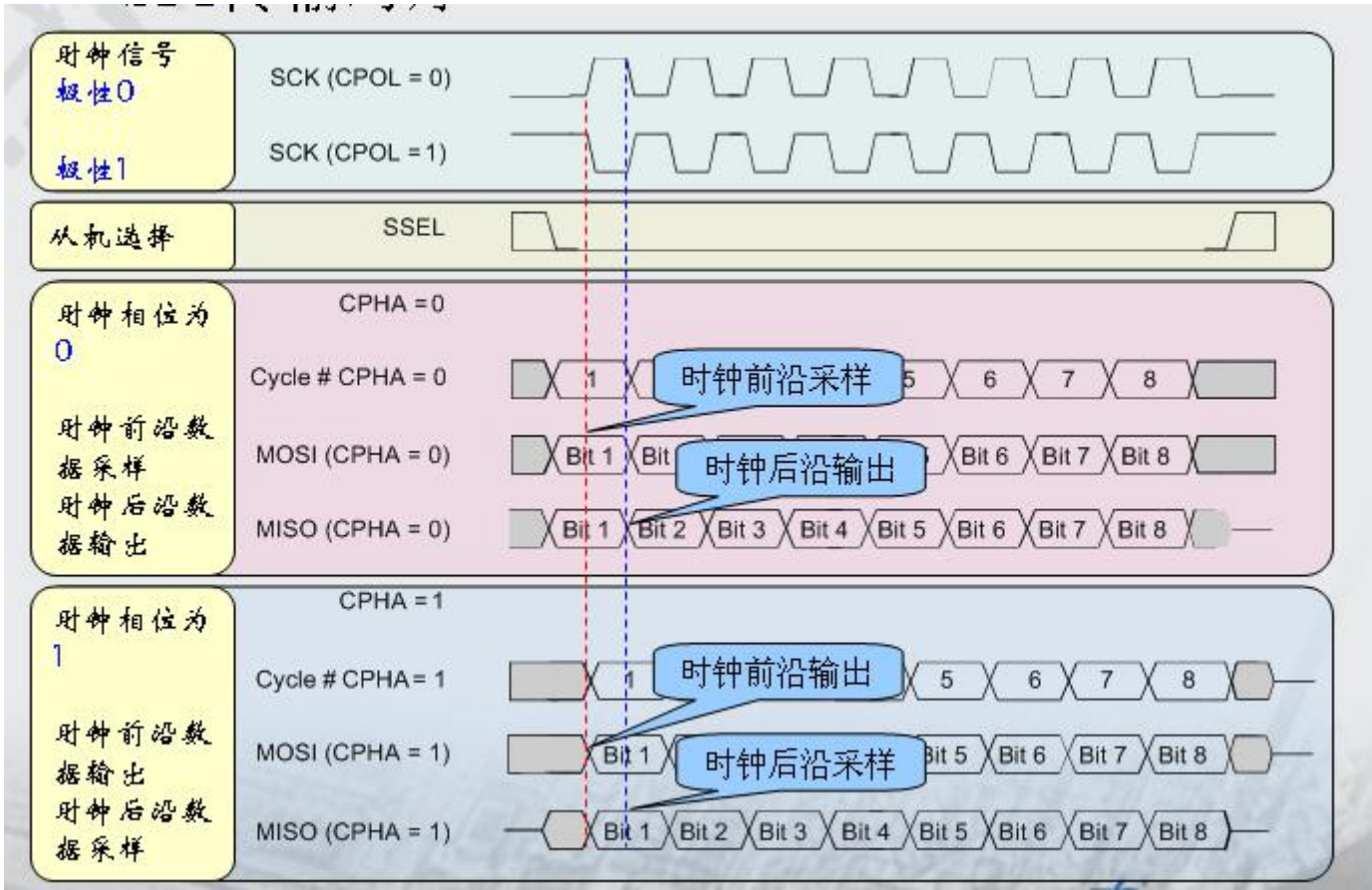


图 1

CPOL 是用来决定 SCK 时钟信号空闲时的电平，CPOL=0，空闲电平为低电平，CPOL=1 时，空闲电平为高电平。CPHA 是用来决定采样时刻的，CPHA=0，在每个周期的第一个时钟沿采样，CPHA=1，在每个周期的第二个时钟沿采样。

由于我使用的器件工作在模式 0 这种时序（CPOL=0，CPHA=0），所以将图 1 简化为图 2，只关注模式 0 的时序。

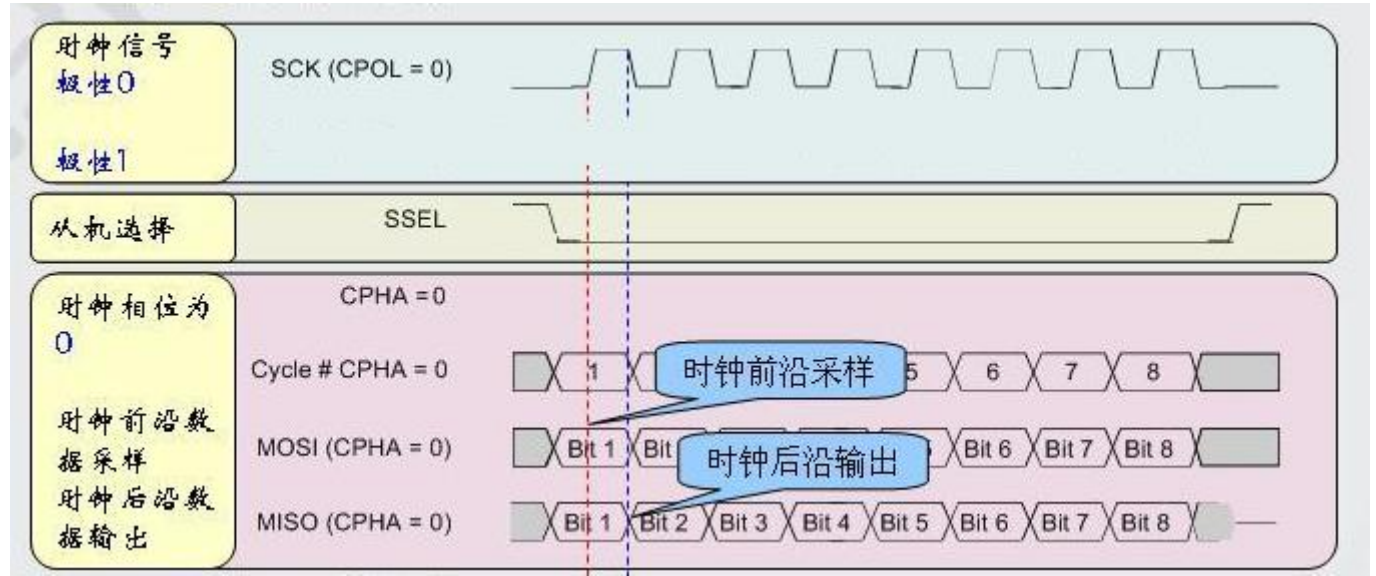


图 2

我们来关注 SCK 的第一个时钟周期，在时钟的前沿采样数据（上升沿，第一个时钟沿），在时钟的后沿输出数据（下降沿，第二个时钟沿）。首先来看主器件，主器件的输出口（MOSI）输出的数据 bit1，在时钟的前沿被从器件采样，那主器件是在何时刻输出 bit1 的呢？bit1 的输出时刻实际上在 SCK 信号有效以前，比 SCK 的上升沿还要早半个时钟周期。bit1 的输出时刻与 SSEL 信号没有关系。再来看从器件，主器件的输入口 MISO 同样是在时钟的前沿采样从器件输出的 bit1 的，那从器件又是在何时刻输出 bit1 的呢。从器件是在 SSEL

信号有效后，立即输出 bit1，尽管此时 SCK 信号还没有起效。关于上面的主器件和从器件输出 bit1 位的时刻，可以从图 3、4 中得到验证。

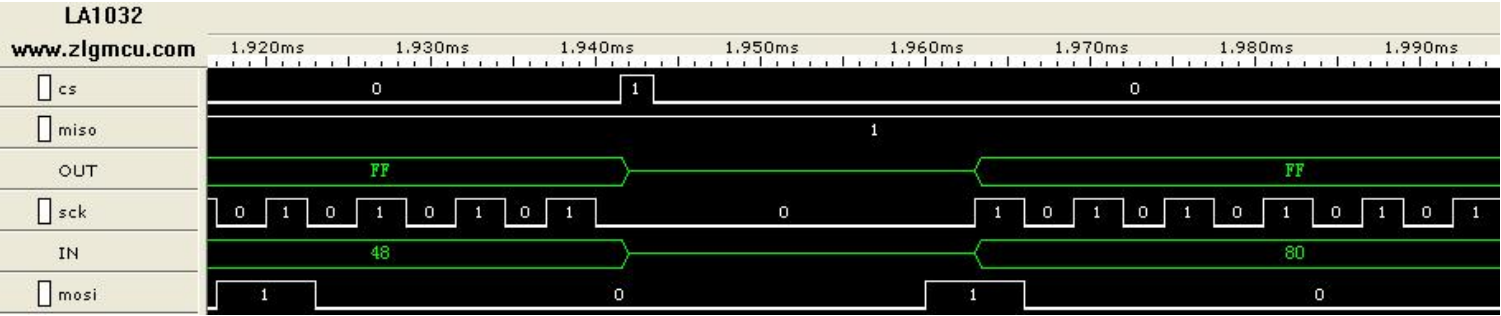


图 3

注意图 3 中，CS 信号有效后（低电平有效，注意 CS 下降沿后发生的情况），故意用延时程序延时了一段时间，之后再向数据寄存器写入了要发送的数据，来观察主器件输出 bit1 的情况（MOSI）。可以看出，bit1（值为 1）是在 SCK 信号有效之前的半个时钟周期的时刻开始输出的（与 CS 信号无关），到了 SCK 的第一个时钟周期的上升沿正好被从器件采样。

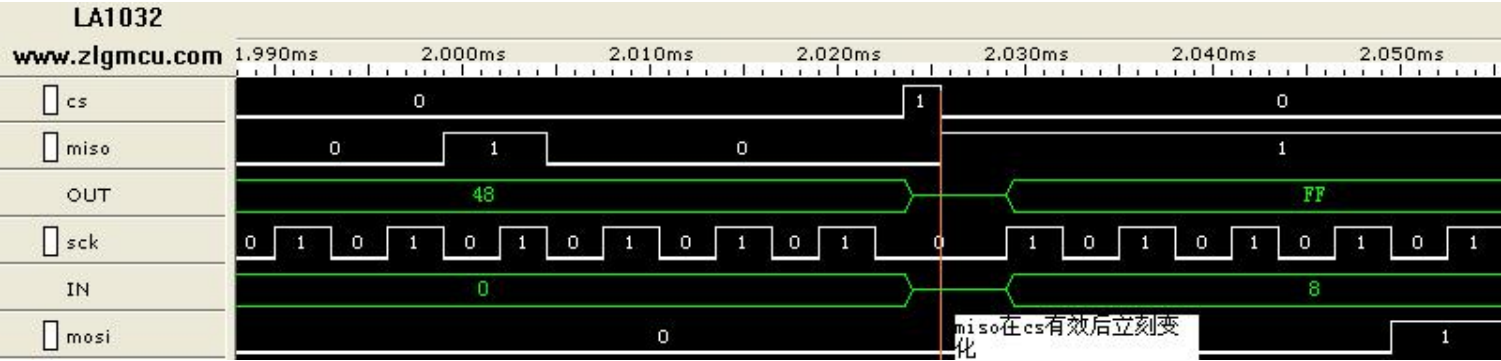


图 4

图 4 中，注意看 CS 和 MISO 信号。我们可以看出，CS 信号有效后，从器件立刻输出了 bit1（值为 1）。通常我们进行的 spi 操作都是 16 位的。图 5 记录了第一个字节和第二个字节间的相互衔接的过程。第一个字节的最后一位在 SCK 的上升沿被采样，随后的 SCK 下降沿，从器件就输出了第二个字节的第一位。



## SPI 总线协议介绍（接口定义,传输时序）

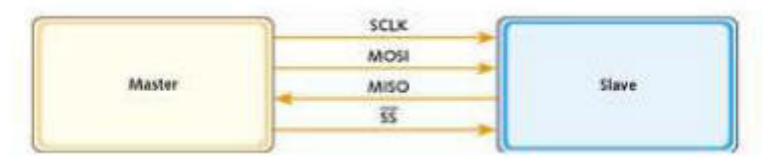
### 一、技术性能

SPI 接口是 Motorola 首先提出的全双工三线同步串行外围接口，采用主从模式（Master Slave）架构；支持多 slave 模式应用，一般仅支持单 Master。

时钟由 Master 控制，在时钟移位脉冲下，数据按位传输，高位在前，低位在后（MSB first）；SPI 接口有 2 根单向数据总线，为全双工通信，目前应用中的数据速率可达几 Mbps 的水平。

### 二、接口定义

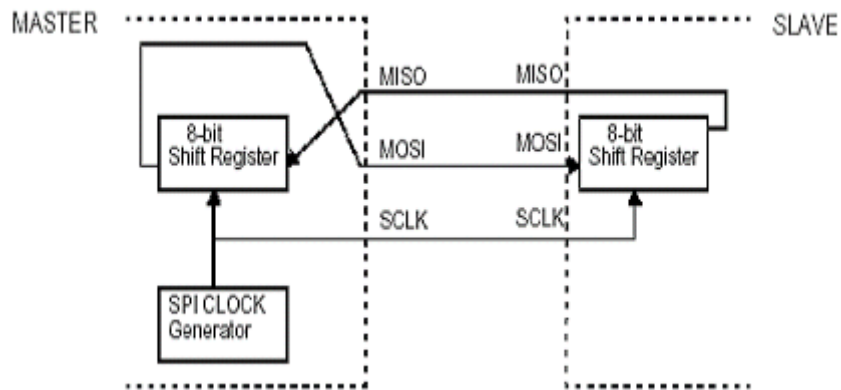
SPI 接口共有 4 根信号线，分别是：设备选择线、时钟线、串行输出数据线、串行输入数据线。



(1) MOSI: 主器件数据输出，从器件数据输入

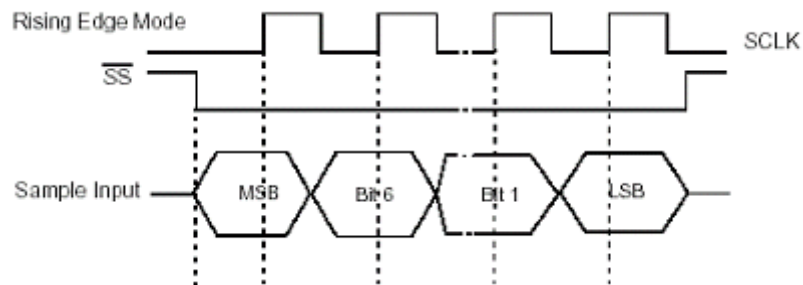
- (2) **MISO**: 主器件数据输入, 从器件数据输出
- (3) **SCLK** : 时钟信号, 由主器件产生
- (4) **/SS**: 从器件使能信号, 由主器件控制

### 三、内部结构



### 四、传输时序

**SPI** 接口在内部硬件实际上是两个简单的移位寄存器, 传输的数据为 8 位, 在主器件产生的从器件使能信号和移位脉冲下, 按位传输, 高位在前, 低位在后。如下图所示, 在 **SCLK** 的下降沿上数据改变, 上升沿一位数据被存入移位寄存器。



**SPI** 接口没有指定的流控制, 没有应答机制确认是否接收到数据。