**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ**

**ОДЕССКИЙ НАЦИОНАЛЬНЫЙ УНИВЕРСИТЕТ ИМЕНИ И.И МЕЧНИКОВА**

**ИНСТИТУТ МАТЕМАТИКИ, ЭКОНОМИКИ И МЕХАНИКИ**

**КАФЕДРА МАТЕМАТИЧЕСКОГО ОБЕСПЕЧЕНИЯ КОМПЬЮТЕРНЫХ**

**СИСТЕМ**

# ЛАБОРАТОРНАЯ РАБОТА​

**по дисциплины**

**«Компьютерная электроника»**

**на тему:**

# “Проектирование комбинационных схем”

студента IІ курса группы \_\_I​\_\_​ специальности «Компьютерные системы и сети»

\_\_Жужи Георгия Юрьевича​ \_\_\_\_\_\_\_\_\_​

\_ ​ ​ (Фамилия, имя и отчество)

Руководитель: Гунченко Ю.А.

Защищено «\_\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_201\_\_ г. с оценкой \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Одесса – 2018**

Лабораторная работа №1 (Вариант 4)

Цель работы: провести проектирование комбинационной схемы, логика работы которой задана таблицей истинности. Разработать варианты комбинационной схемы с использованием элементной базы:

1. заказных или полузаказных микросхем;
2. микросхем малой степени интеграции, содержащих базовые логические элементы;
3. микросхемы средней степени интеграции – дешифратора;
4. микросхемы средней степени интеграции – мультиплексора;
5. микросхемы большой степени интеграции – программируемой логической матрицы.

Качество каждого варианта (кроме первого) оценить по критериям:

N – Числом используемых микросхем;

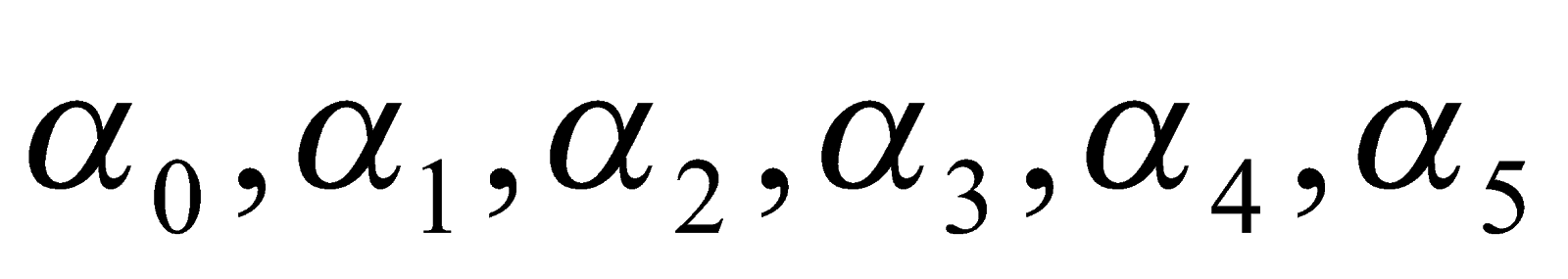
Т – Временем задержки распространения сигнала;

W – Потребляемая мощность.

Результат работы по каждому варианту представить в виде принципиальной схемы.

**Таблица истинности.**

Вариант таблицы истинности определяем по таблице 7.1. с параметрами



Параметры определяем по номеру варианта.

Номер варианта 4.

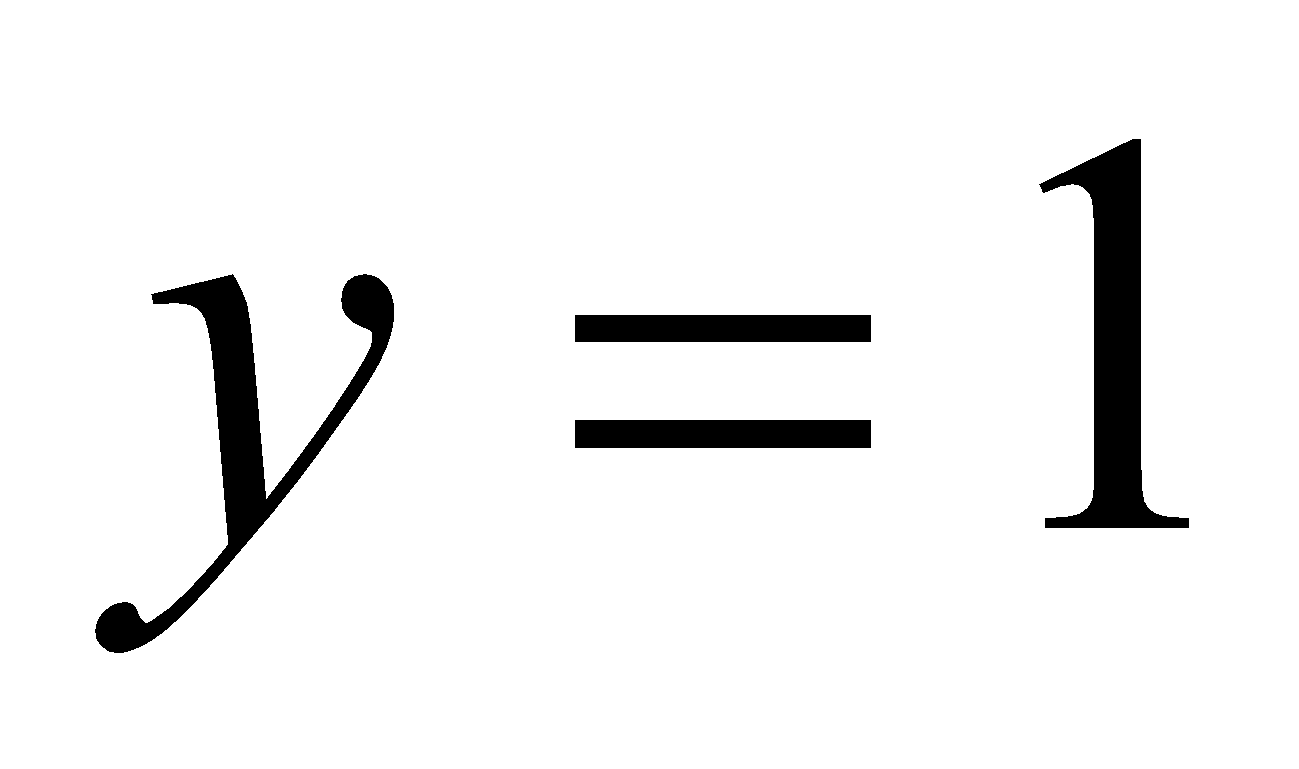
Из 4(10) = 000100(2), находим *a*0 = 0, *a*1 = 0, *a*2 = 1, *a*3 = 0, *a*4 = 0, *a*5 = 0.

Подставляя эти параметры в таблицу 7.1, получим таблицу истинности (Табл.1).

Таблица 1.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 |
| 2 | 0 | 0 | 1 | 0 |  |
| 3 | 0 | 0 | 1 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |  |
| 5 | 0 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 |
| 8 | 1 | 0 | 0 | 0 |  |
| 9 | 1 | 0 | 0 | 1 |  |
| 10 | 1 | 0 | 1 | 0 | 1 |
| 11 | 1 | 0 | 1 | 1 | 0 |
| 12 | 1 | 1 | 0 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 |  |
| 15 | 1 | 1 | 1 | 1 |  |

**Запись логической функции в совершенной дизъюнктивной нормальной форме (СДНФ).**

Образуем все минтермы, на которых .

*mt*0 =*,* *mt*3 =, *mt*5 =, *mt*8 =, mt10 =,

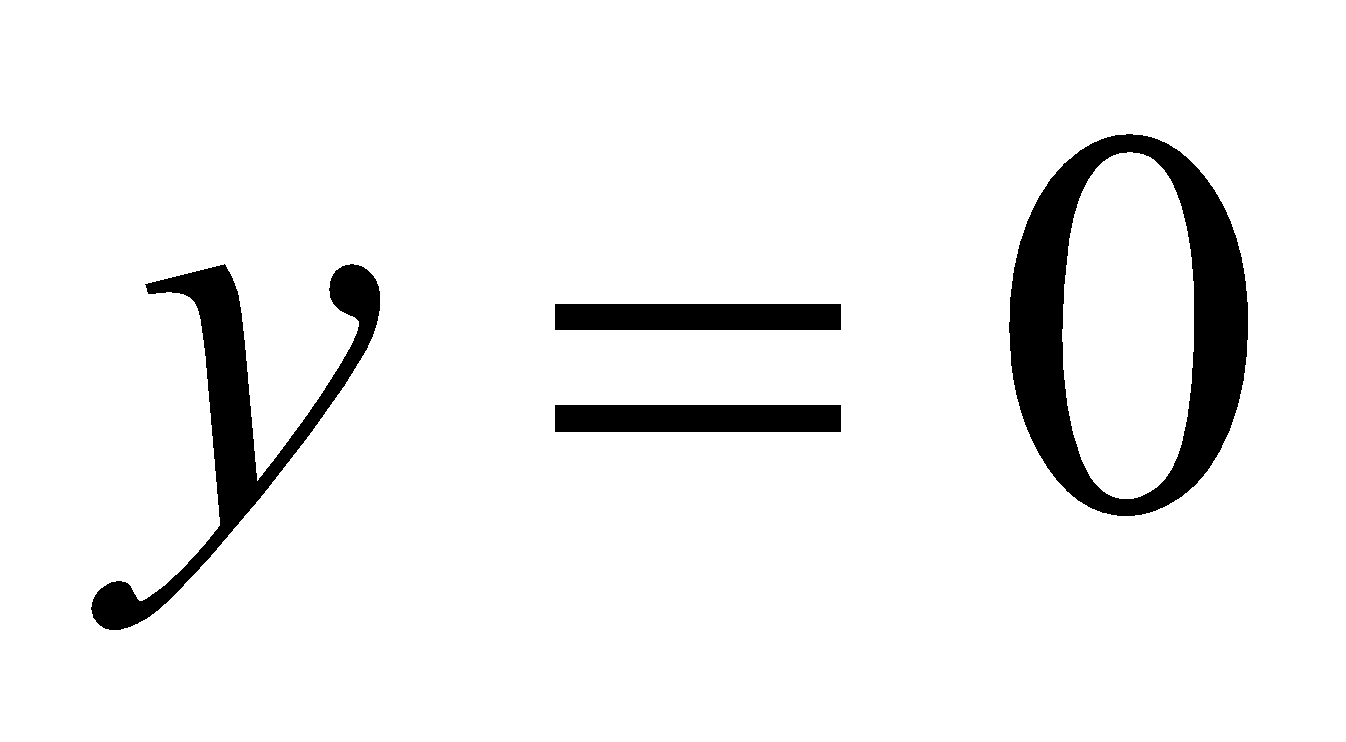
*mt*13 =.

Запишем функцию в СДНФ. w

СДНФ(*y*) = *mt*0  *mt*3 *mt*5 *mt*8 *mt*10 *mt*13 =

= .

**Запись логической функции в совершенной конъюнктивной нормальной форме (СКНФ).**

Образуем все макстермы, на которых .

*mt*1=*,* *mt*2 =, *mt*4 =, *mt*6 =, *mt*7 =, *mt*9 =, *mt*11 =,

*mt*12 =, *mt*14 =,

*mt*15 =

Запишем функцию в СКНФ.

СКНФ(*y*) = *mt*1 *mt*2 *mt*4 *mt*6 *mt*7 *mt*9 *mt*11 *mt*12 *mt*14*mt*15

**Минимизация логической функции.**

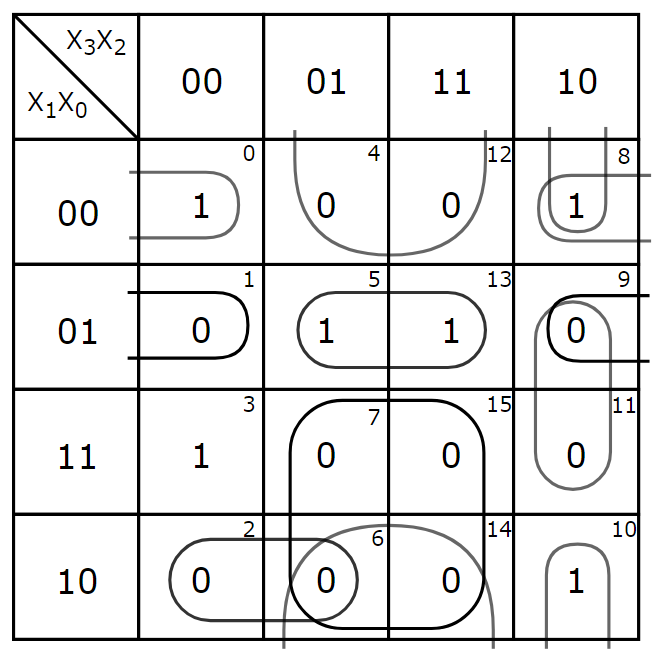
По таблице истинности строим карту Карно:

Рис. 1 – карта Карно для заданной функции

Анализ карты Карно для данного варианта задания показывает, что не существует восьми прилегающих клеток, содержащих 1 (0), но существуют четыре такие клетки в двух экземплярах. Остальные клетки можно сгруппировать только в пары.

Для построения МДНФ группы описываем следующими термами:

пара 8, 0 – ; пара 13, 5 – m;

пара 8, 10 – .

Для изолированной клетки 3 – = .

Минимальная дизъюнктивная нормальная форма в базисе И–ИЛИ имеет вид:

МДНФ(*y*)

Для построения МКНФ группы описываем следующими термами:

четыре 4, 12, 6, 14 – ; пара 2, 6 – ;

пара 9, 11 –; четыре 7, 15, 6, 14 – ,

пара 1, 9 – .

Минимальная конъюнктивная нормальная форма в базисе И–ИЛИ имеет вид:

МКНФ(*y*)

.

**Переход к базису И–НЕ.**

МДНФ(*y*) МДНФ(*y*)

МКНФ(*y*) МКНФ(*y*)

**Переход к базису ИЛИ–НЕ.**

МДНФ(*y*) МДНФ(*y*)

МКНФ(*y*) МКНФ(*y*)

**Составление принципиальной схемы.**

**Реализация на заказных или полузаказных микросхемах.**

На рисунке 2 и 3 представлена реализация функции в базисе И/ИЛИ/НЕ:

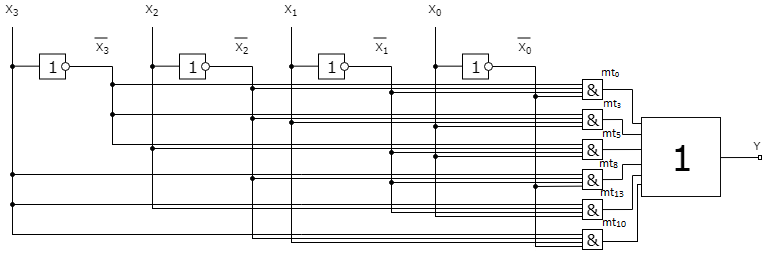


Рис. 2 – Реализация СДНФ

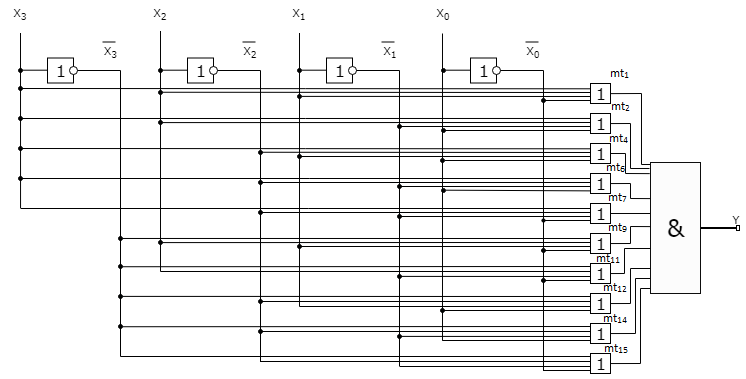


Рис. 3 – Реализация СКНФ

На рисунке 3 и 4 представлена минимизированная функция:

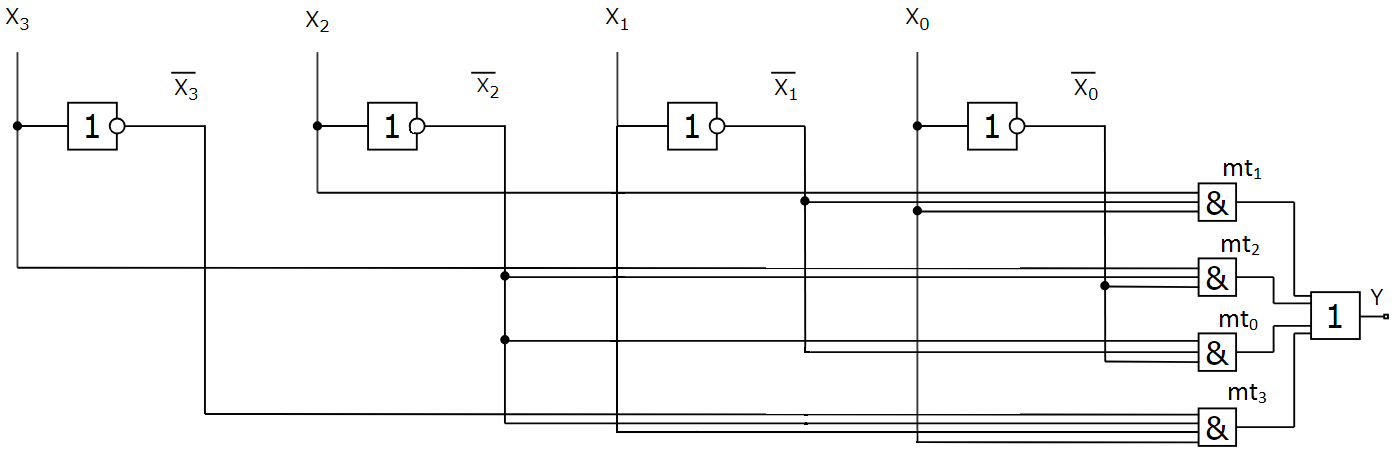


Рис. 4 – Минимальная дизъюнктивная нормальная форма

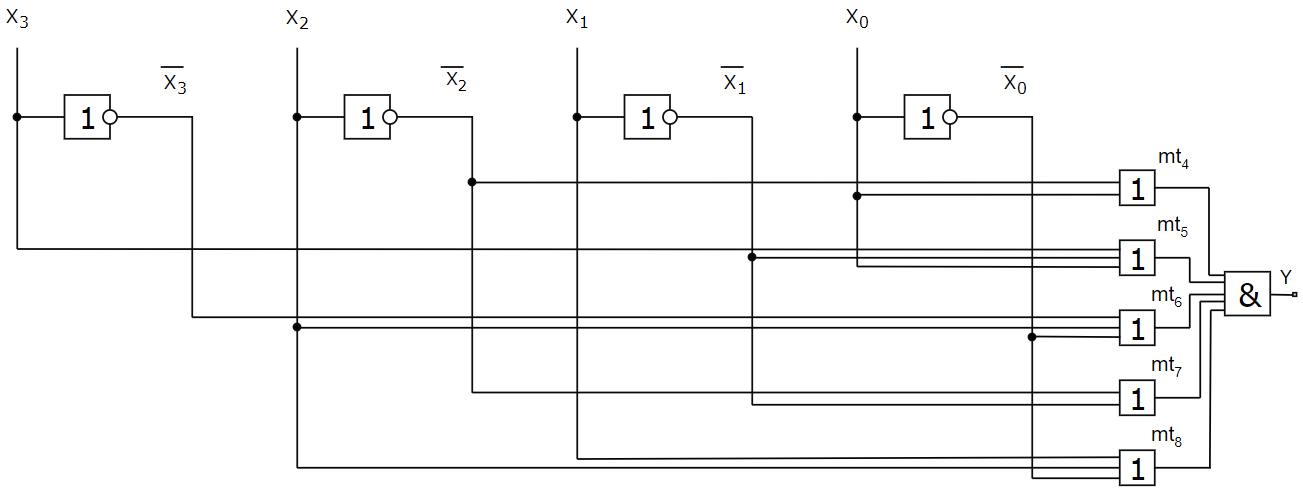


Рис. 5 – Минимальная конъюнктивная нормальная форма

На рисунке 6 и 7 представлена реализация функции в базисе И–НE

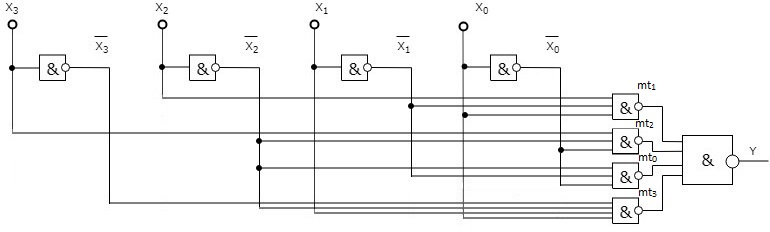
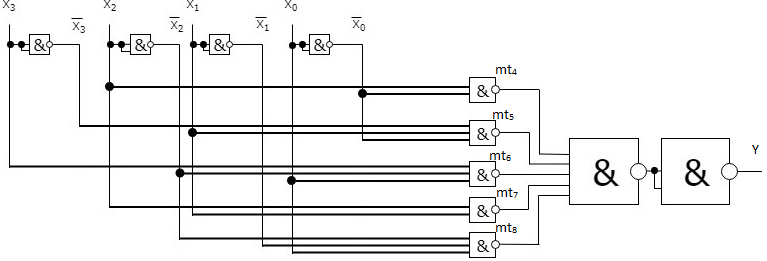


Рис. 6 – Минимальная дизъюнктивная нормальная форма в базисе И–НЕ

Рис. 7 – Минимальная конъюнктивная нормальная форма на базисе И–НЕ

На рисунке 8 и 9 представлена реализация функции в базисе ИЛИ–НЕ.

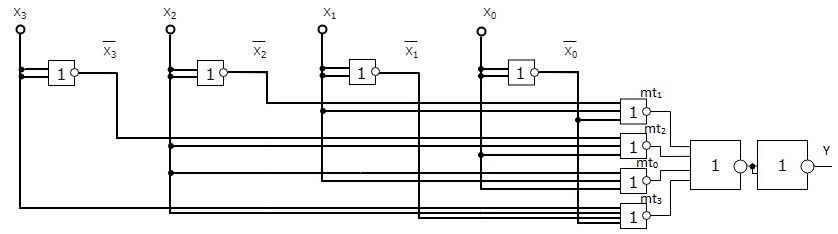


Рис. 8 – Минимальная дизъюнктивная нормальная форма на базисе ИЛИ–НЕ.

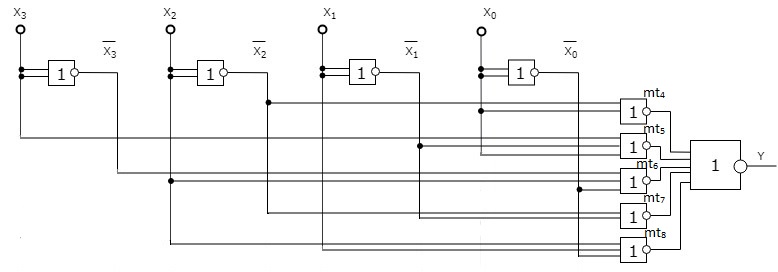


Рис. 9 – Минимальная конъюнктивная нормальная форма на базисе ИЛИ–НЕ.

**Реализация на стандартных микросхемах малой степени интеграции,** содержащих​ базовые логические элементы**.** ​

Исходя из имеющейся номенклатуры микросхем (К555), получим схемы, представленные на рисунках 10 и 11 для базиса И–НЕ и рисунках 12 и 13 для базиса ИЛИ–НЕ. Здесь же указаны параметры N – число микросхем и Т – время задержки распространения сигнала.

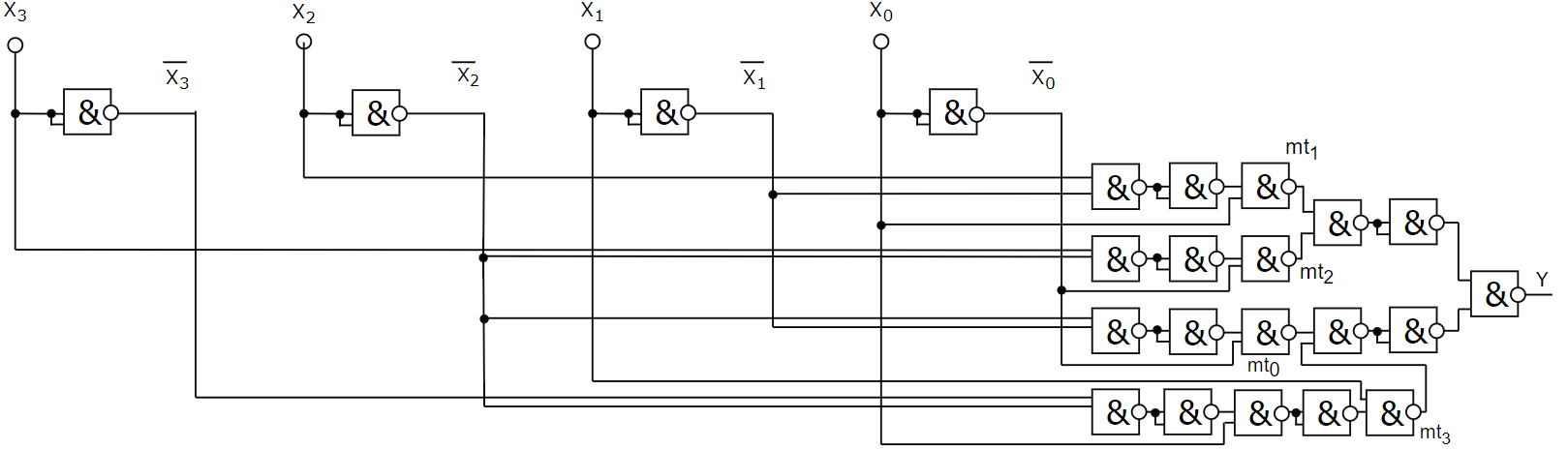


Рис. 10 – МДНФ в базисе И–НЕ на элементах 4-2И-НЕ К555ЛА3

*N* = 6

*T* = 9τ зд.р, *t*ЛА3 = 40нс

*W* = 16,5мВт × 6 = 99мВт

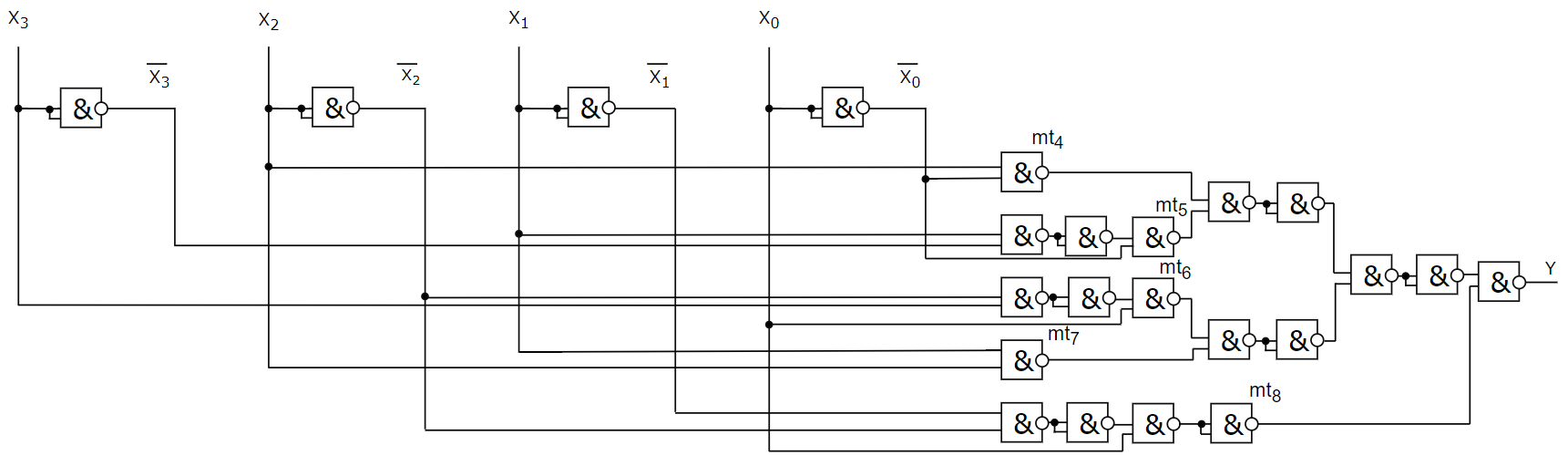


Рис. 11 – МКНФ в базисе И–НЕ на элементах 4-2И-НЕ К555ЛА3

*N* = 6

*T* = 10τ зд.р, *t*ЛА3 = 40нс

*W* = 16,5мВт × 6 = 99мВт

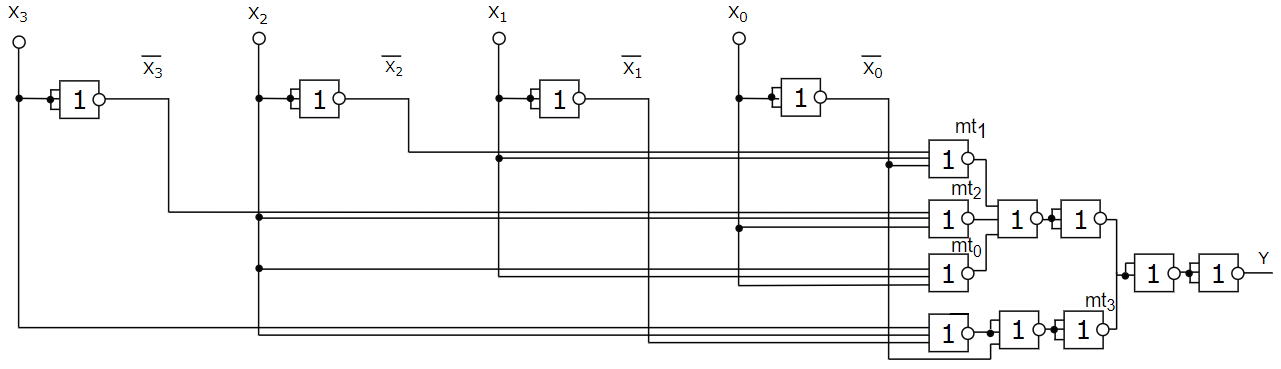


Рис. 12 – МДНФ в базисе ИЛИ–НЕ на элементах 3-3ИЛИ-НЕ К555ЛА4

*N* = 8

*T* = 6τ зд.р, *t*ЛА4 = 20нс

*W* = 13,5мВт × 6 = 108мВт

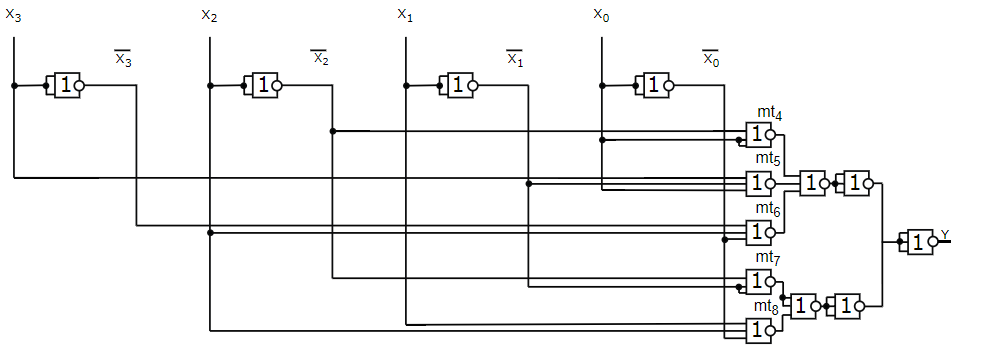


Рис. 13 – МКНФ в базисе ИЛИ–НЕ на элементах 3-3ИЛИ-НЕ К555ЛА4

*N* = 5

*T* = 5τ зд.р, *t*ЛА4 = 20нс

*W* = 13,5мВт × 5 = 67,5мВт

**Реализация на дешифраторе для заказных или полузаказных микросхем** представлена на рисунке 14.

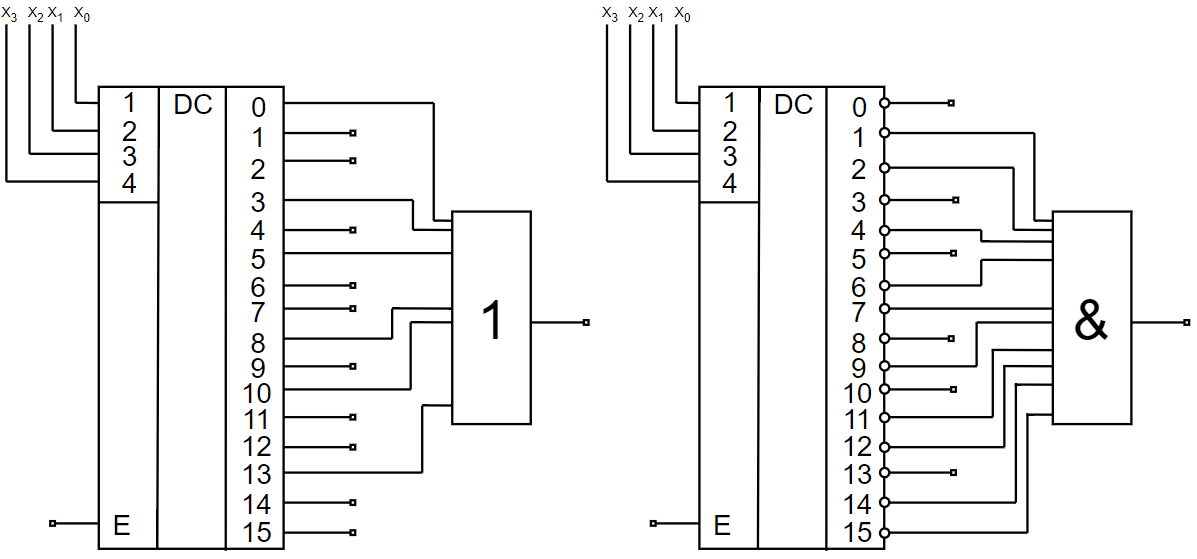


Рис. 14 – Функция на дешифраторе.

**Pеализация на стандартной микросхеме дешифратора.**

Среди микросхем средней степени интеграции дешифратор с 4 адресными входами и 16 выходами может быть представлен в виде каскада 4 дешифраторов К555ИД4 с 2 адресными входами и 4 выходами. Соответствующая схема представлена на рисунке 15.

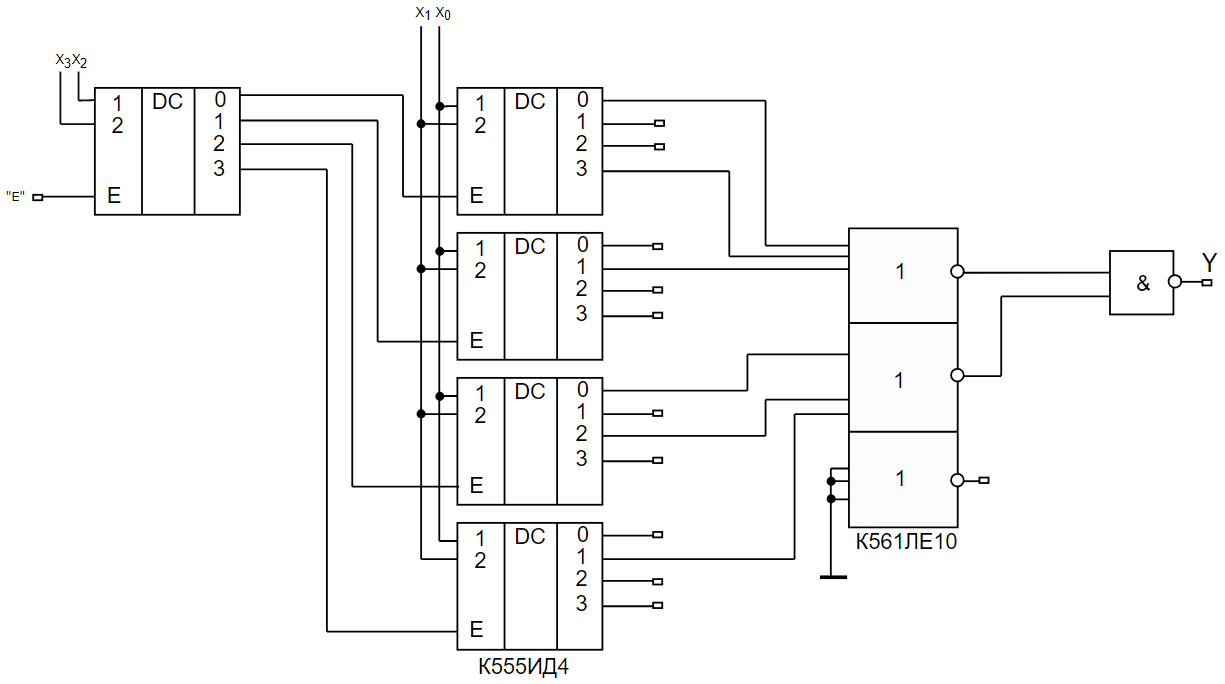


Рис. 15 – Функция на дешифраторе К555ИД4 с инвертором 3-3ИЛИ-НЕ К561ЛЕ10

и элементом 2И–НЕ К176ЛА7.

*N* = 6

*T* = 4*t* зд.р. *t*ИД4 = 30 нс

*W* = 52,5 × 4 + 1,2 + 4 = 215,2 мВт

**Реализация на мультиплексоре для заказных или полузаказных микросхемах** представлена на рисунке 16.

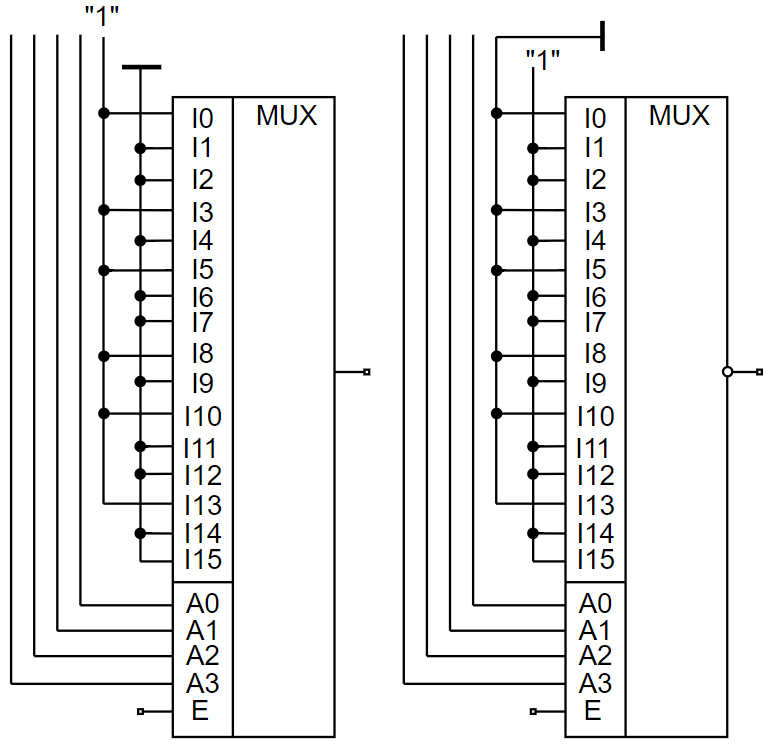


Рис. 16 – Функция на мультиплексоре.

**Реализация на стандартной микросхеме мультиплексора.**

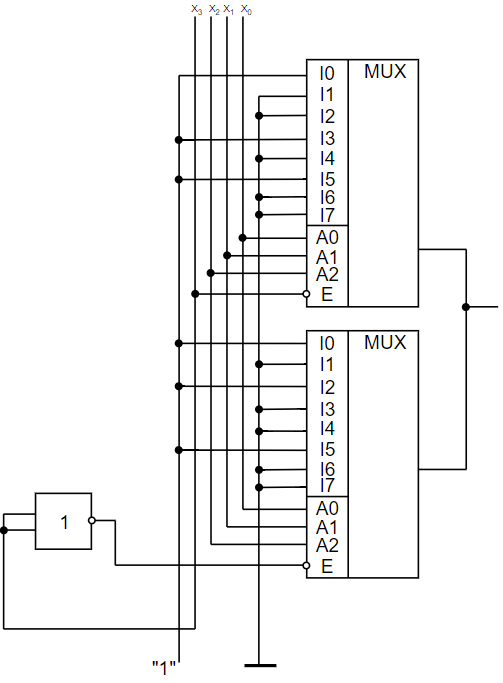
 Среди микросхем средней степени интеграции мультиплексор с 16 информационными входами может быть представлен в виде мультиплексора К555КП7 с 3 адресными и 8 информационными входами. Соответствующая схема представлена на рисунке 17.

Рис. 17 – Функция на мультиплексоре К555КП7 с инвертором К176ЛА7.

N = 2 + 1 = 3

*T = 2τ\_зд.р.*​, t​ЛА7=220​ н.с

*W = 420мВт×4 + 195мВт + 70мВт = 1,945Вт*

**Реализация на программируемой логической матрице.**

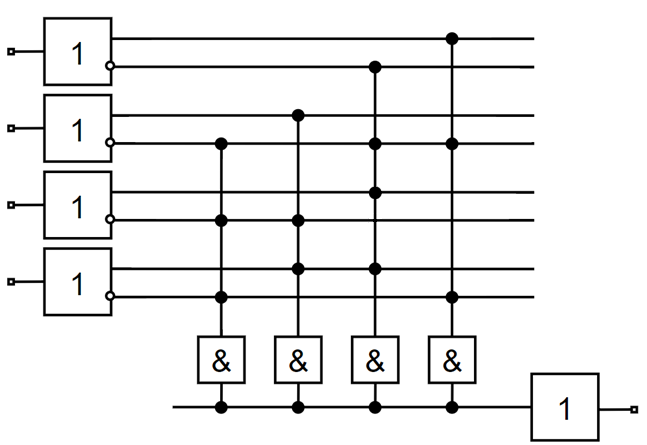
Задание на программирование ПЛМ для функции, заданной в МДНФ(y), представлено на рисунке 18.

Рис. 18 – Программируемая логическая матрица

ВЫВОД

В данной работе было проведено проектирование комбинационной схемы, логика работы которой задана таблицей истинности. Также в соответствии с вариантом разработаны варианты комбинационной схемы с использованием заказных или полузаказных микросхем, микросхем малой степени интеграции, содержащие базовые логические элементы, микросхем средней степени интеграции (дешифратора и мультиплексора), а также микросхема большой степени интеграции (ПЛМ).

Каждый вариант оценен по следующим критериям критериям: N (число используемых микросхем), Т (время задержки распространения сигнала), W (потребляемая мощность).

Результат работы представлен в виде принципиальных схем.

Улучшены навыки в построении комбинационных схем.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. Р.Токхайм «Основы цифровой электроники»-М.: Мир 1988.
2. Р.Токхайм «Микропроцессоры: Курс и упражнения. - М.: Мир, 1997 и последующие издания.
3. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радиои связь, 1989.
4. Калиш Г.Г. Основы вычислительной техники. – М.: Высшая школа, 2000.
5. Н.В.Воробьев, В.Д.Вернер «Элементная база и схемотехника средств сопряжения»
6. М, Высшая школа, 1984.
7. А.В. Кузин, М.А.Жаворонков. – М.: Издательский центр «Академия»,2008.