Notes

1. Makefile 文件编写

详见博文<http://blog.csdn.net/xukai871105/article/details/37083675>

1. gcc -c test.c -o test.o

-c 是compile –o是连接生成可执行文件

1. 一般格式

target: components

[TAB] rule

第一行是声明依赖关系

第二行是具体的规则：当倚赖的对象在目标修改后修改的话，就要去执行规则一行所指定的命令

1. Makefile有三个非常有用的变量。分别是$@，$^，$<代表的意义分别是：$@--目标文件，$^--所有的依赖文件，$<--第一个依赖文件。
2. $(…) 是定义的宏macro <http://www.cs.colby.edu/maxwell/courses/tutorials/maketutor/>
3. makefile %.o:%.c 表示把所有.c文件都编译成 .o

<http://blog.sina.com.cn/s/blog_7c95e5850101b38b.html>