HSPICE 语法& lab1

AC Analysis	交流分析
Behavioral Simulation	行为仿真
Bipolar transistor	双极型晶体管
Body	体
Bulk Si	体硅
Case-insensitive	大小写不敏感
Cell library	单元库
Channel	沟道
Datapath Schematics	数据通路原理图
DC Analysis	直流分析
Design Rule Check（DRC）	设计规则检查
Diode	二极管
Drain	漏
Electrical rule check（ERC）	电气设计规则检查
Equivalent resistance	等效电阻
FinFET	鳍式场效应晶体管
Floorplan	平面规划
Foundary	Fab 芯片代工厂
Gate	栅
Layout	版图
Layout versus schematic（LVS）	版图对照电路图
logarithmic coordinate	对数坐标
Logic Simulation	逻辑仿真
Megacell	兆单元
MetalOxide Semiconductor Field Effect Transistor (MOSFET-FET)	金属-氧化物半导体场效应晶体管
Netlist	网表
Parasitic extraction	寄生参数提取
Piecewise linear (PWL)	分段线性源
Place & Route	布局布线
Predictive Technology Model (PTM)	预测技术模型
Pulsed source	脉冲电源
Register Transfer Level(RTL) abstraction	寄存器传输级抽象
Register Transfer Level(RTL) synthesis	寄存器传输级综合
Simulation Program with Integrated Circuit Emphasis（SPICE）	仿真电路模拟器
Source	源
Subcircuit	子电路
Subthreshold circuit design	亚阈值电路设计
Subthreshold leakage	亚阈值泄露电流
Subthreshold slope（SS）	亚阈值斜率

Subthreshold Swing (SS)	亚阈值摆幅
Synthesis	综合
Threshold voltage（V_T）	阈值电压
Transient analysis	瞬态分析
Tunnel Field-Effect Transistor（TFET）	隧穿场效应管