# TFET model 使用手册

## 1、TFET model 简介

Verilog-A 是一种基于 Verilog 语法,旨在对模拟电路建模的编程语言。不同于 Verilog 对数字电路进行描述,Verilog-A 可以模拟连续时间行为,并被大部分 Spice 仿真器支持。本次实验使用的 TFET 器件模型就是基于 Verilog-A 语言进行建模的,其文件名称由".va"结尾。

本次实验提供的 TFET 模型文件一共包含两大部分: va 文件, tbl 文件, 如 Fig. 1. 所示。 其中 heterotfet.va 和 homotfet.va 中分别定义了异质结和同质结两种 tfet 的仿真入口,这两个文件会进一步调用 tfet\_master.va 求解电路的电流和寄生参数。tfet\_master.va 求解过程主要基于在 tbl 文件中事先存取好的寄生参数和电流电压关系,通过接收仿真器给定的电压输入,在 tbl 中查找得到对应的电流和寄生参数并返回给仿真器。综上文件之间的依赖关系可以由 Fig. 2 所示。

CGD-GaSb-InAs-HNTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	1,067 KB
CGD-GaSb-InAs-HPTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	1,070 KB
CGD-InAs-NTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	609 KB
CGD-InAs-PTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	609 KB
CGS-GaSb-InAs-HNTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	1,067 KB
CGS-GaSb-InAs-HPTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	1,070 KB
CGS-InAs-NTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	609 KB
CGS-InAs-PTFET-Lg-20nm.tbl	$\odot$	9/9/2021 21:36	TBL 文件	609 KB
🔀 heterotfet.va	$\odot$	9/9/2021 21:36	VA 文件	3 KB
🔀 homotfet.va	$\odot$	9/9/2021 21:36	VA 文件	3 KB
ldVg-GaSb-InAs-HNTFET-Lg-20nm.tbl	⊗	9/9/2021 21:36	TBL 文件	1,805 KB
ldVg-InAs-NTFET-Lg-20nm.tbl	⊗	9/9/2021 21:36	TBL 文件	618 KB
★ tfet_master.va	$\odot$	9/9/2021 21:36	VA 文件	5 KB

Fig. 1 TFET 工艺库文件

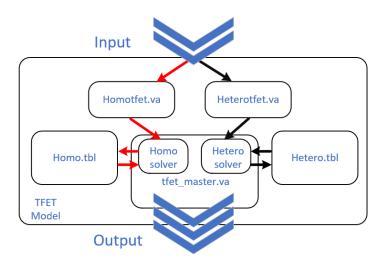


Fig. 2 TFET 模型结构

本次实验中我们将使用异质结 TFET 进行仿真。下面将会对基于 model 使用的异质结的 TFET 进行介绍。

### 2、异质结 TFET 模型

传统的 MOSFET 基于 thermionic emission of electrons 传导电流,存在理想的亚阈值摆幅极限(室温下为 59.5 mV/dec),因此在超低电压应用下传统 MOSFET 的开关特性很难满足高性能和低功耗的需求。Tunneling FET (TFET)与传统的 MOSFET 有不同的导电机制,其源漏存在不对称掺杂,并且通过栅极电压调节本征沟道能带,在源沟间形成电子或者空穴

的隧穿通道,通过能带间的隧穿效应传导载流子。由于 TFET 和传统MOSFET 的工作机理 有本质上的不同,TFET 不受传统 MOSFET 的理想亚阈值摆幅制约,是一类能够在室温下实现亚 60mV/dec 的低功耗器件[4]。

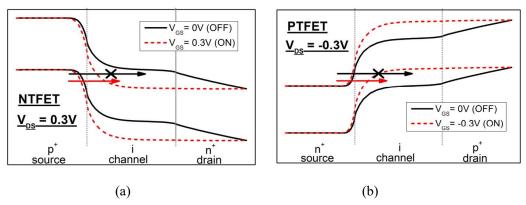


Fig. 3 NTFET 和 PTFET 工作原理 (a) NTFET 由 P<sup>+</sup>IN<sup>+</sup>结构成,其中 P<sup>+</sup>为源区,N<sup>+</sup>为漏区,沟 道为本征区,当栅压为 0 时,源和沟道的势垒宽度较大,电子隧穿概率低,此时管子为关断状态; 当施加栅压为 0.3V 时,本征区形成 N 型反型层,源沟势垒宽度降低,隧穿概率增大,此时为开态;(b) PTFET 同样由 P<sup>+</sup>IN<sup>+</sup>构成,此时 N<sup>+</sup> 为源区,关态时源沟势垒宽度大,开态时,源沟势垒宽度降低,隧穿概率增大[5]

本次实验的模型基于[1][2]进行矫正和验证,图三为器件概图[1],其 UTB (ultral-thin body) 为 5nm,沟道长度为 40nm 同时有 2.5nm 的 HiK 氧化层,漏端、沟道和源端分别是掺杂浓度为  $2 \times 10^{17} \, \mathrm{cm}^3$  的 InAs,本征 InAs 以及掺杂浓度为  $4 \times 10^{19} \, \mathrm{cm}^3$  的 GaSb。通过 OMEN 仿真器 (an atomistic and full-band quantum transport simulator)提取[1]中的实验数据,作为对 TCAD 仿真结果的矫正。为了验证有效性,模型同时利用 OMEN 对[2]中的实验数据进行拟合,与 TCAD 仿真结果在 IV 特性,截止频率(cut-off frequency)等器件特性上进行了比较,且进一步利用 TCAD 对寄生电容进行提取。详细结果请参考[3]。

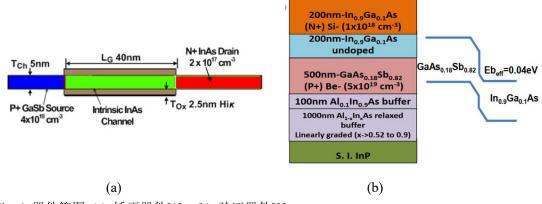


Fig. 4 器件简图 (a) 矫正器件[1] (b) 验证器件[2]

# 3、TFET 模型调用及注意事项

# 引用库文件 库文件路径 .hdl ../../LAB1\_LIB/TFET/heterotfet.va"

上图为调用 TFET 库文件的代码,其中.hdl 代表 va 模型引用,其后跟相应的 va 文件路径。更进一步的,调用 TFET 模型,可以参考下列实例代码。

.param 定义了和器件宽度,寄生电阻,以及电源电压。本次实验使用 TFET 模型基于 20nm,该模型不支持修改沟道长度。同时本模型也不支持多温度仿真,改变.temp 设置不影响 TFET 器件性能。调用期间时,实例代码采用.subckt 包装的方式,将原模型加入寄生电阻,并且引出相应的源漏栅极,以及可修改参数,因此最终在调用模型时采用子电路的调用方式。

# Reference:

- [1] M. Luisier and G. Klimeck, "Performance comparisons of tunneling field-effect transistors made of InSb,carbon, and GaSb-InAs broken gap heterostructures," in *IEEE IEDM Tech. Dig*, pp.1,4, 2009.
- [2] R. Bijesh *et al*, "Demonstration of In0.9Ga0.1As/GaAs0.18Sb0.82 near broken-gap tunnel FET with ION=740μA/μm, GM=700μS/μm and Gigahertz Switching Performance at VDS=0.5V", *IEDM Tech.Digest.*, pp. 28.2.1–28.2.4, Dec. 2013.
- [3] Liu, H., et al. "III-V Tunnel FET Model 1.0.0.".
- [4] https://www.zurich.ibm.com/st/nanophotonics/tunneling.html

[5] C. Chen, Y. Chen, M. Fan, V. P. Hu, P. Su and C. Chuang, "Evaluation of TFET and FinFET devices and 32-Bit CLA circuits considering work function variation and line-edge roughness," 2015 IEEE International Symposium on Circuits and Systems (ISCAS), 2015, pp. 2325-2328.