

IC processing Cost

- NRE
- Yield
- Cost calculating
- Shrinking rate

$$\text{Dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2} \times \text{die area}}$$

DIC spec.

- VTC , VOH,VOL,VIH,VIL,NML,NMH
- Rin, Rout, tpLH,tpHL,tpd, tpr,tpf,trf

DIC hieratichical structure

- CMOS logic function

DIC layout

- Layout and logic function mapping, lambda rule
- Test pattern for suck-at model
- Linear feedback shift register structure

本章知识点

- 是否了解DIC的基本DC和timing 指标？
- 是否了解CMOS组合网络与组合逻辑之间的对应关系
- 是否了解简单逻辑电路到版图的对应关系
- 是否能够阅读版图到数字逻辑的对应映射
- 是否了解StuckAt测试模型
- 提供的测验和作业是否能够帮助学习
- 其他建议