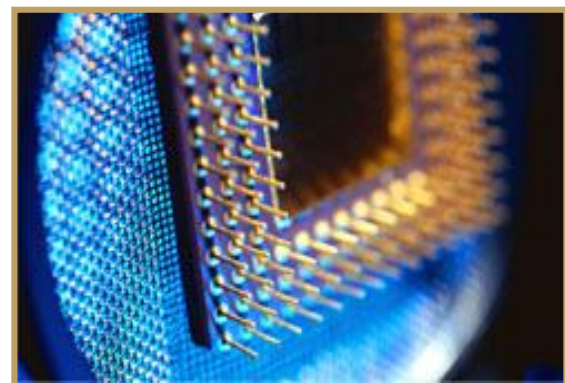
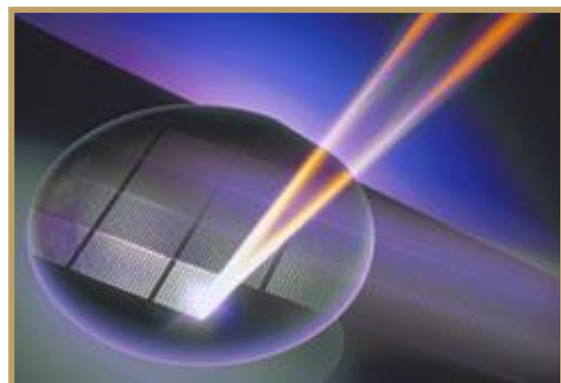
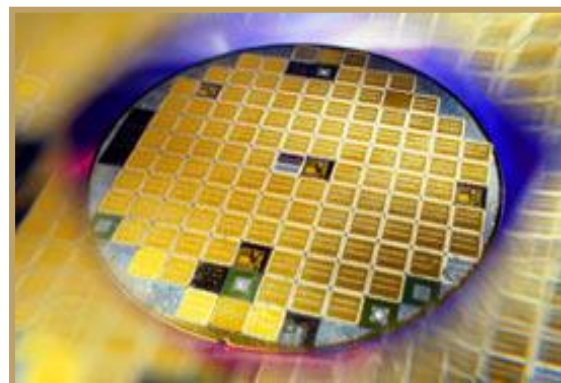




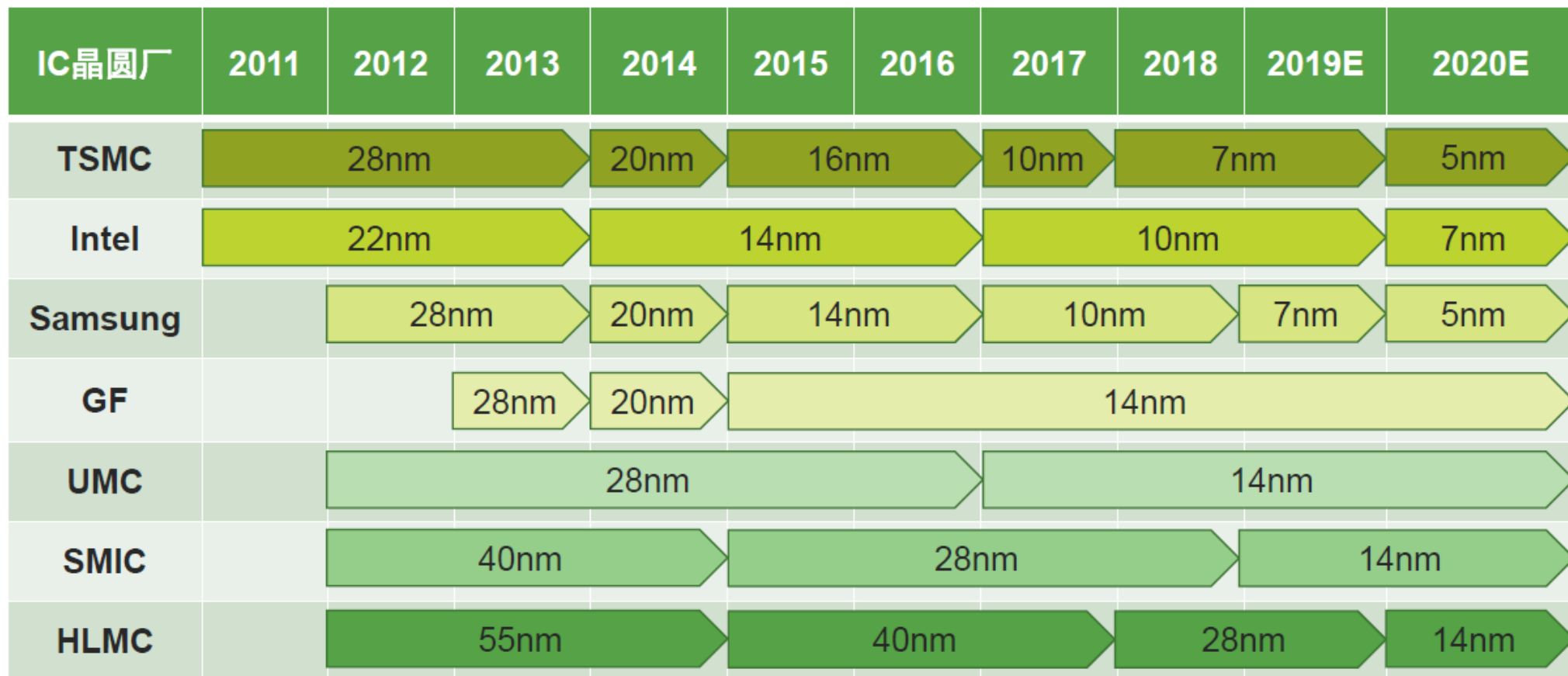
《VLSI数字通信原理与设计》课程

主讲人 贺光辉

VLSI数字通信基本概念



半导体快速发展，先进制程工艺有差异



数据来源：公开资料整理

中美贸易摩擦下的半导体产业

➤ 企业经营压力增加

采购成本上升

客户订单流失

➤ 海外市场开拓受阻

政策不确定性

渠道管理风险增加

➤ 放缓科技发展进程

营收减少从而削减研发投入

5G、物联网应用构建成本增加



➤ 双方国际合作受限

美国高度重视IP保护

CIFUS加大投资审查力度

➤ 引发大量人才回流

优质人才在美职业发展受压制

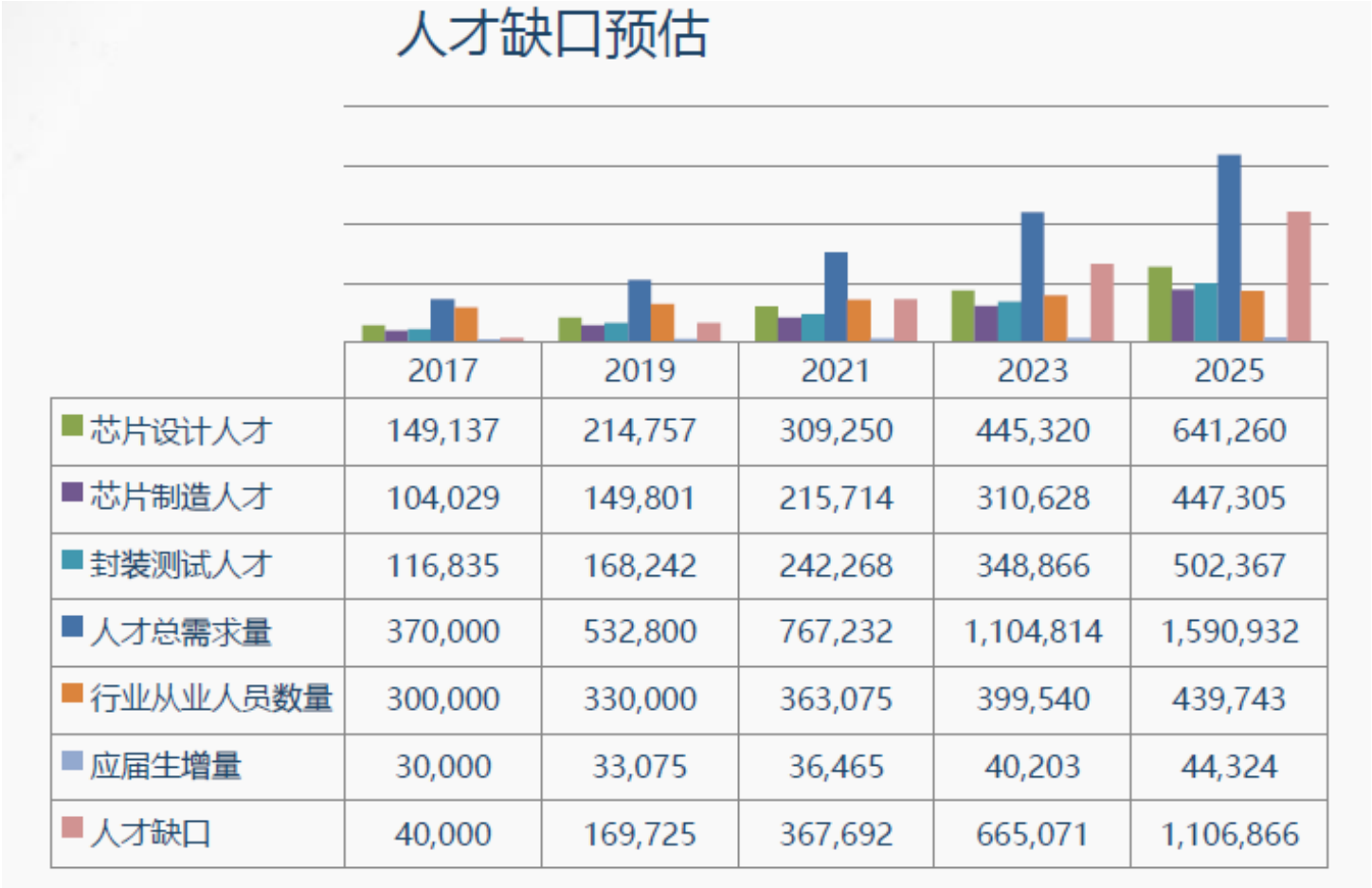
大量留学生回国发展

➤ 倒逼加速国产化进程

倒逼企业减少对海外进口依赖

重视投入自主研发

中国集成电路产业现状—缺人



中国集成电路产业人才白皮书2017—2018





目 录

01 课程简况

02 数字信号处理应用

03 VLSI数字信号处理技术

04 VLSI数字通信系统



课程前身

VLSI数字通信原理
(4学分)

- 上海交通大学优质课程

VLSI数字通信课程设计 (2学分)

- 上海交通大学优秀特色实验课程

VLSI数字通信原理与设计 (3学分)

- 上海市教委重点课程
- 上海市一流课程



■ 授课教师：贺光辉 教授

- Email: guanghui.he@sjtu.edu.cn
- 地点：微电子410房间
- 答疑时间：周二14:00—17:00

■ 2名助教：



李文杰：博士二年级
wenjieli@sjtu.edu.cn



吕嘉鑫：硕士二年级
ljx981120@sjtu.edu.cn

课程概况（1）

■ 开课方式：线上线下混合

- 课前学习课程视频资源
- 课堂通过开展课程内容和难点讲解、分组讨论和习题讲解

■ 你需要准备什么

- 课前：提前学习**视频**+PPT（Canvas）
- 课后：Canvas中查看作业、讨论题和学习资料

■ 课程内容

- 讲解数字信号处理系统的VLSI设计方法和流程；
- 讲解数字通信系统中系统仿真和设计技术。

■ 课程组织

- 理论与实践结合
- 搭建系统仿真平台，培养学生运用数字通信领域的基础理论对通信系统进行仿真和设计的能力；
- 通过对系统中关键模块和关键算法进行VLSI设计，使学生掌握数字信号处理算法到硬件电路映射的方法。

先修课程

- 数学知识：微积分 线性代数 概率论与数理统计
- 电路基础：数字逻辑设计 数字集成电路设计
- 数字信号处理基础：信号与系统 数字信号处理

需要用到的软件

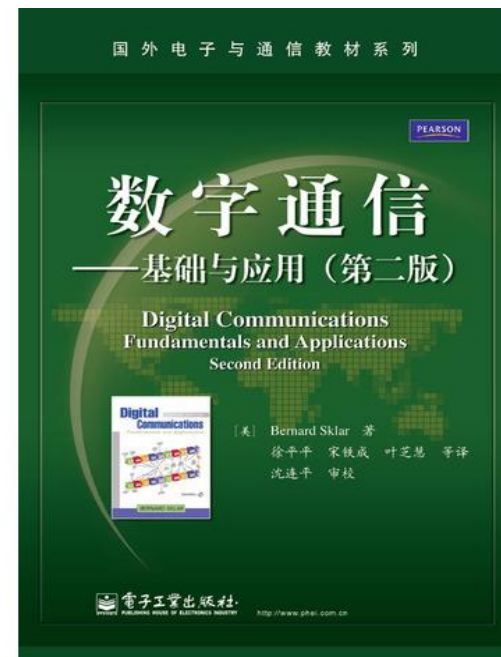
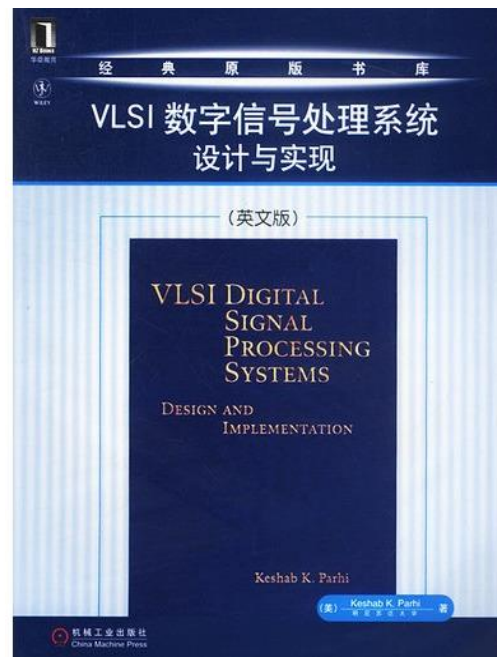
- Modelsim
- Vivado/IC设计工具
- Matlab
- Visual Studio (Option)

■ 学习本门课程后,你将能够

- 掌握数字信号处理VLSI设计的基本技术：流水线、并行处理、折叠、展开、重定时以及脉动阵列等；
- 综合运用数字通信领域的基础理论对典型的通信系统进行设计、仿真，包括调制、解调和信道编解码等；
- 了解VLSI数字通信系统设计流程和方法，获得实际的硬件设计经验，包括：浮点到定点转换，RTL设计以及算法和硬件结构的验证；
- 提高Matlab / C /Verilog HDL的编程能力；
- 了解通信集成电路技术的最新发展方向，能根据技术发展的历程，了解微电子对社会发展的贡献和我国集成电路设计现状。

教材

- VLSI数字信号处理系统——设计与实现, K.K.Parhi著, 机械出版社
- 数字通信—基础与应用, Bernard Skalar著



参考资料

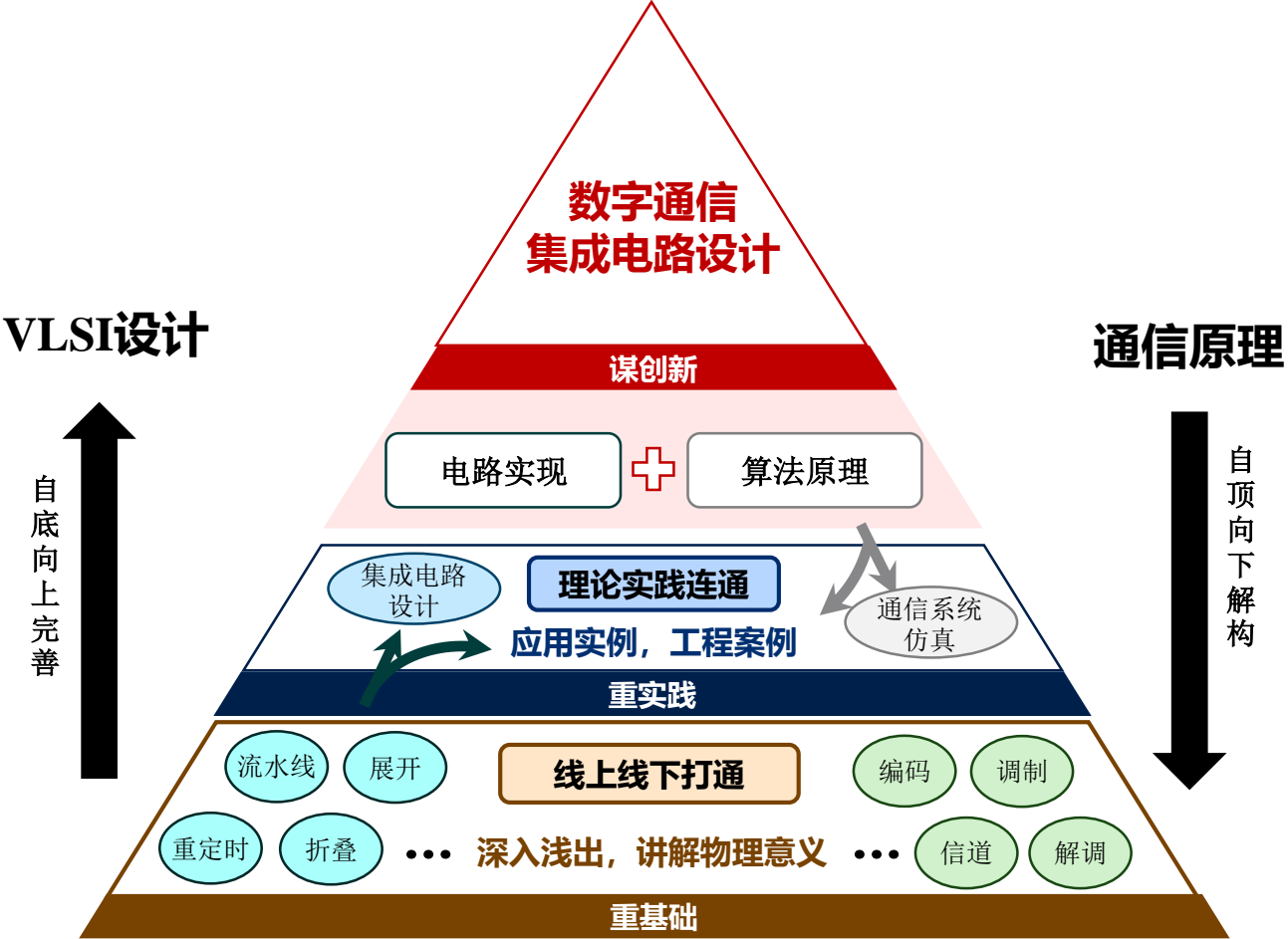
- 无线通信(Wireless Communications), Andrea Goldsmith著, 人民邮电出版社, 2007
- OFDM Baseband Receiver Design for Wireless Communications, Tzi-Dar Chiueh / Pei-Yun Tsai, Wiley, 2007.

课程结构与考试安排

- Lecture+Homework + Labs+Project+Exam
- 报告提交：实验结束两周内提交
- 给分参考
 - 成绩考核由平时作业、Project和期末考试组成：
 - 1、平时作业 (20%)
 - 2、Project (40%)
 - 1) VLSI数字信号处理设计(10%)
 - 2) 调制解调和信道编解码技术 (10%)
 - 3) 综合实验(20%)
 - 3、期末考试 (40%)

课程安排

- VLSI数字信号处理系统介绍与迭代边界
- 流水线与并行处理
- 重定时
- 展开
- 折叠
- 脉动阵列
- 数字基带调制与解调
- 衰落信道
- 带通调制与解调
- 信道编码与解码
- 多天线系统





目 录

01 课程简况

02 数字信号处理应用

03 VLSI数字信号处理技术

04 VLSI数字通信系统



■ 噪声

- 数字信号处理无噪声的累积和传播;
- 数字信号处理对环境噪声不敏感;
- 模拟信号处理过程噪声和信号同等对待;
- 环境条件的变化会对模拟信号处理带来很大的影响。

■ 信号存储与恢复

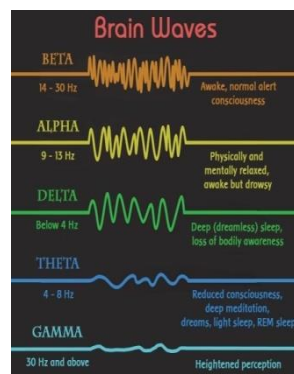
- 数字信号方便且形式多样;
- 模拟信号困难, 特别是高精度条件下;

从模拟到数字信号

模拟信号



图像



脑电波



气温



语音



心电图



血压

数字信号

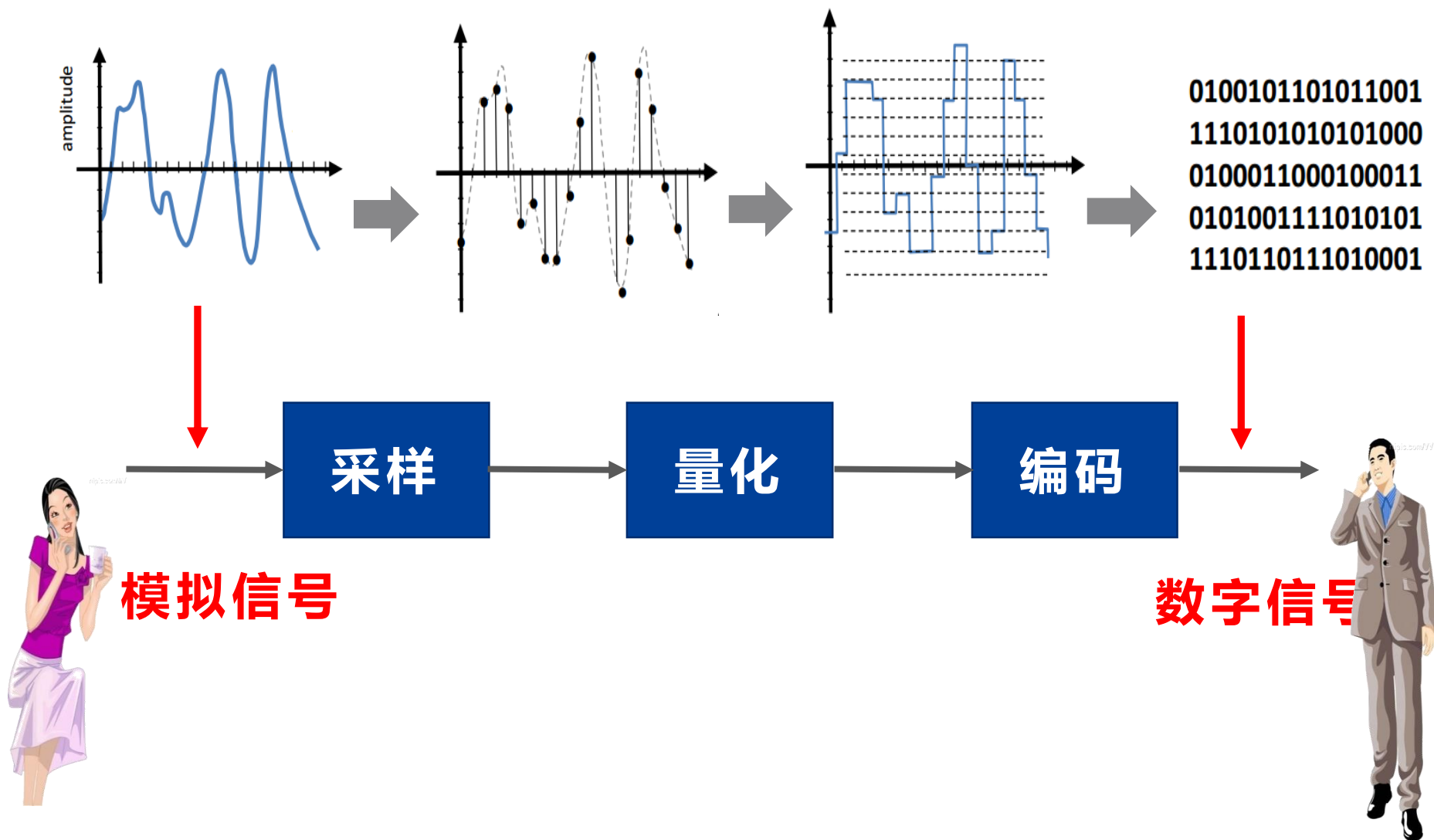
101010011011001.....

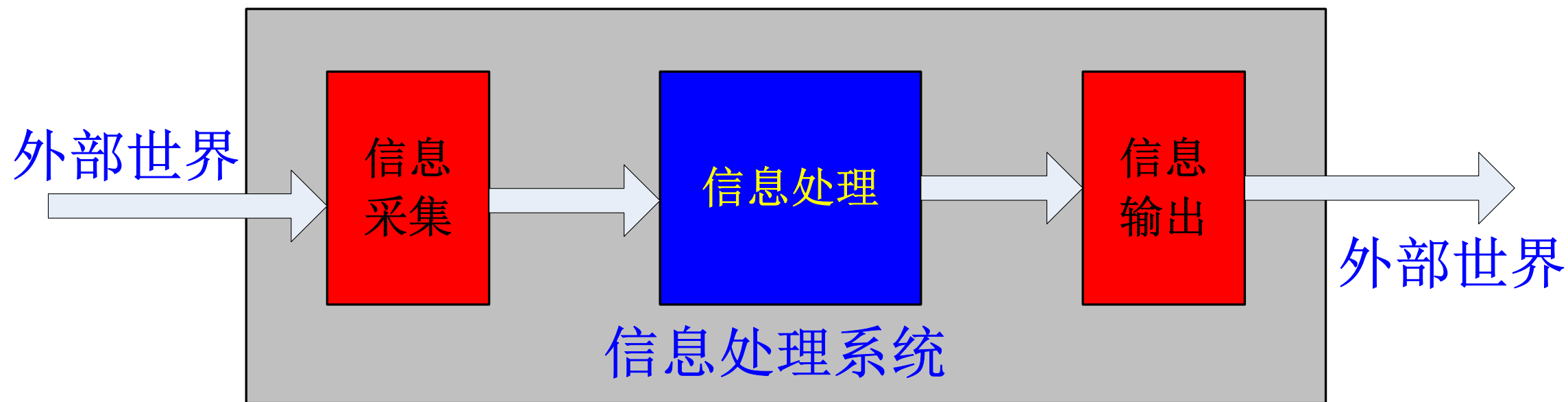


数字信号的好处

- 稳定性好 • 处理简便
- 可靠性高 • 易于存储

模拟信号数字化

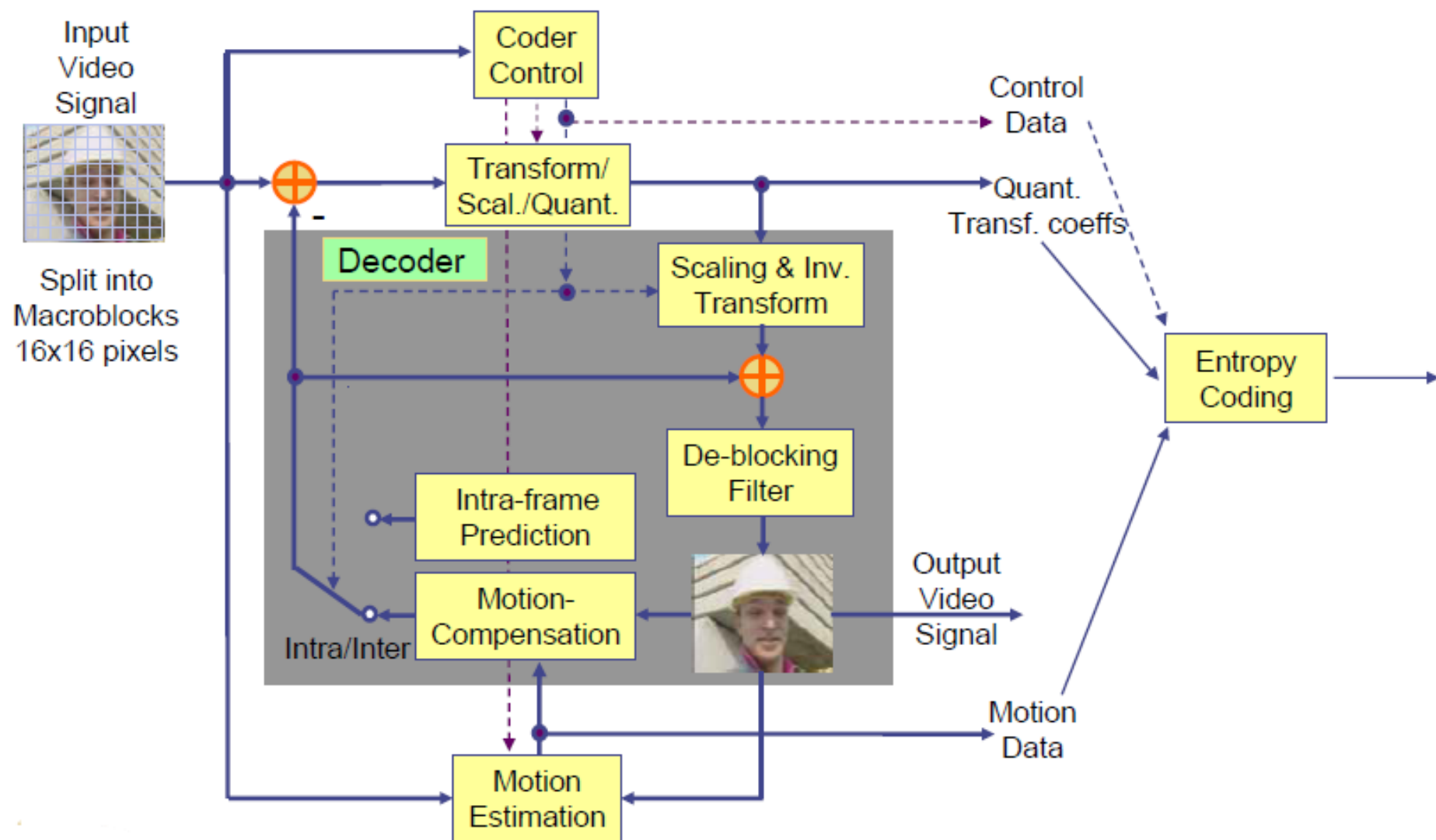


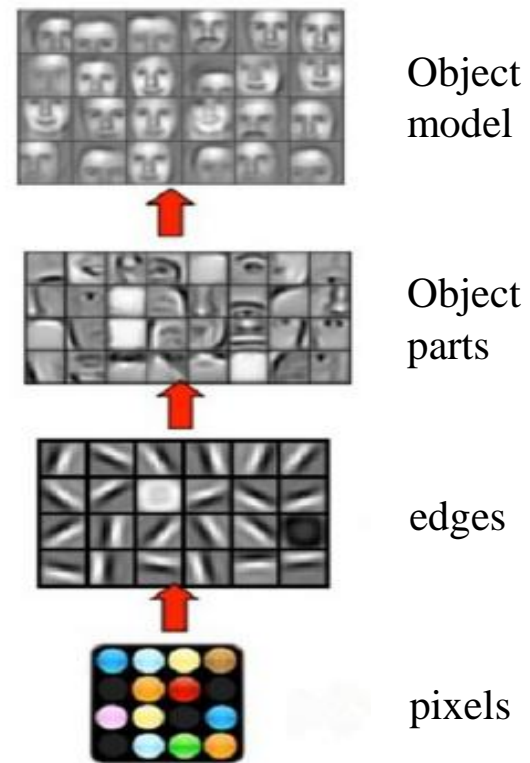
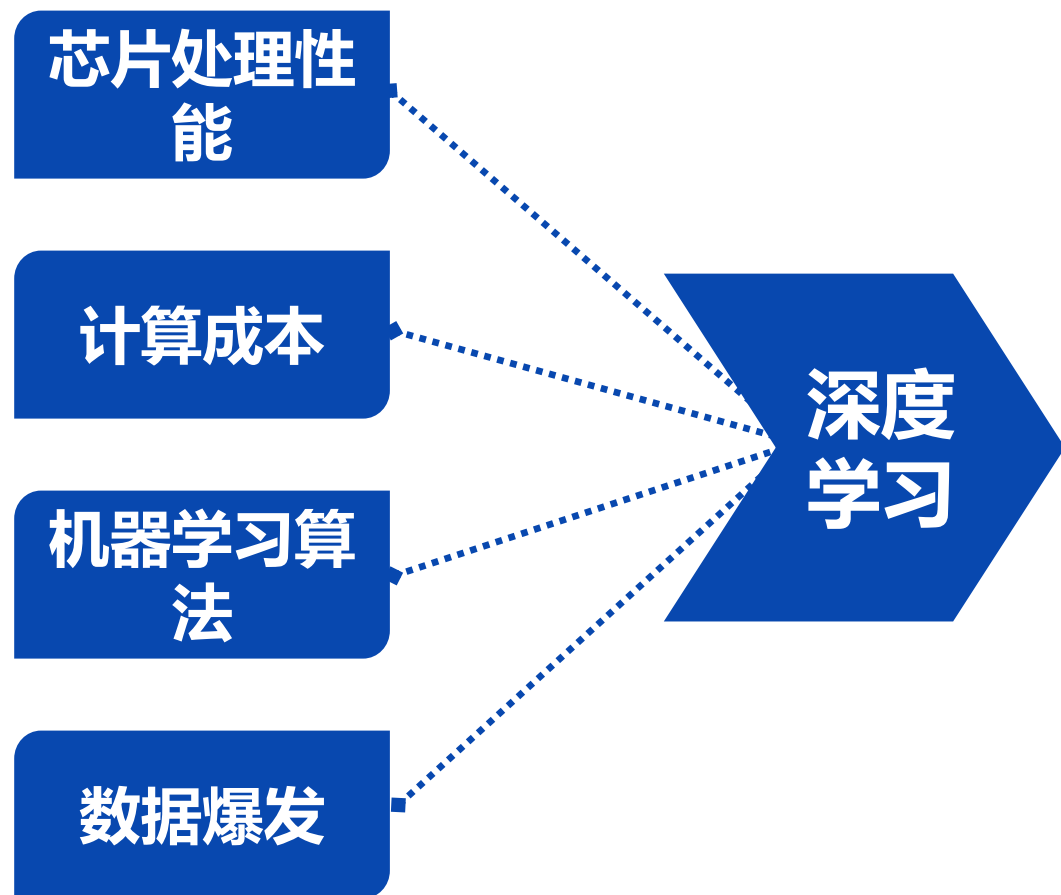


DSP算法应用实例

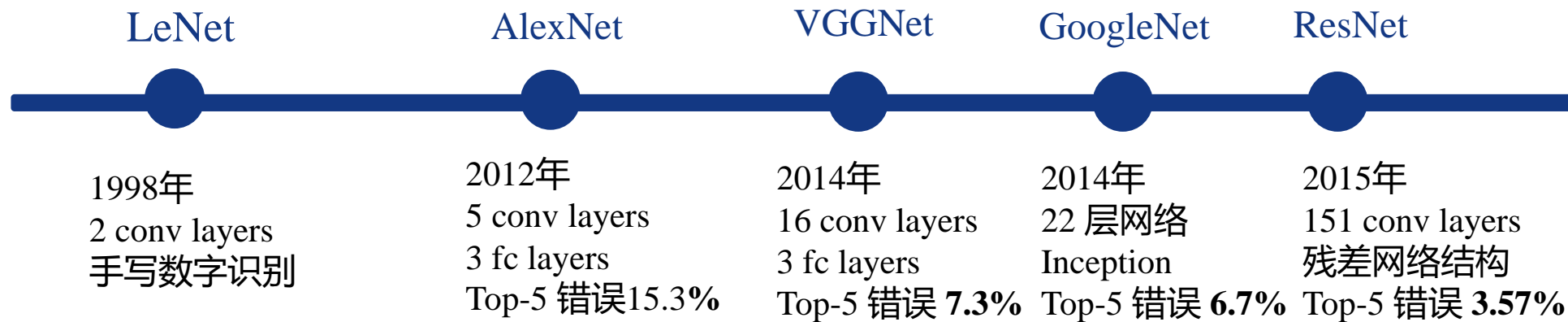
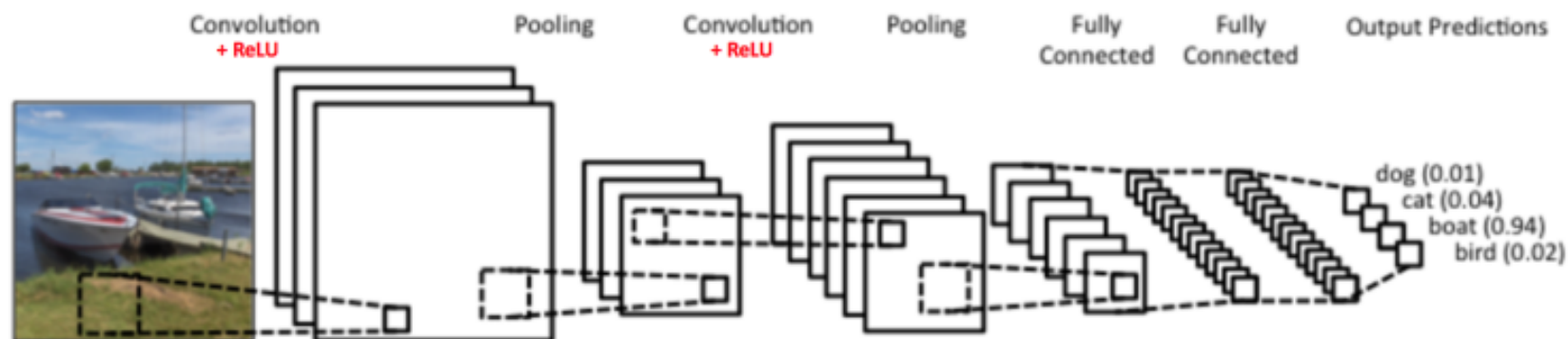
- 语音：合成、编解码(声码器)、识别；音频：编解码
- 图像：编解码、识别；视频：编解码
- 通信：调制与解调、信道编码、检错纠错
- 导航：波束成形
- 信息安全：对称密码、非对称密码、Hash函数、随机数、数字签名

H.264编码器框图





卷积神经网络





目 录

01 课程简况

02 数字信号处理应用

03 **VLSI数字信号处理技术**

04 VLSI数字通信系统



■ 实现形式:

- VLSI (very large scale integrated)
- Programmable Processor DSP

■ 目标:

- 以最低的成本实现最高性能;

■ 指标:

- 硬件资源占用: 逻辑门的数量或面积;
- 执行速度: 时钟频率, 信息吞吐量;
- 功耗: 完成给定任务的功耗;
- 精度: 定点数字信号处理; **有限字长效应(量化噪声和舍入噪声的因素)**

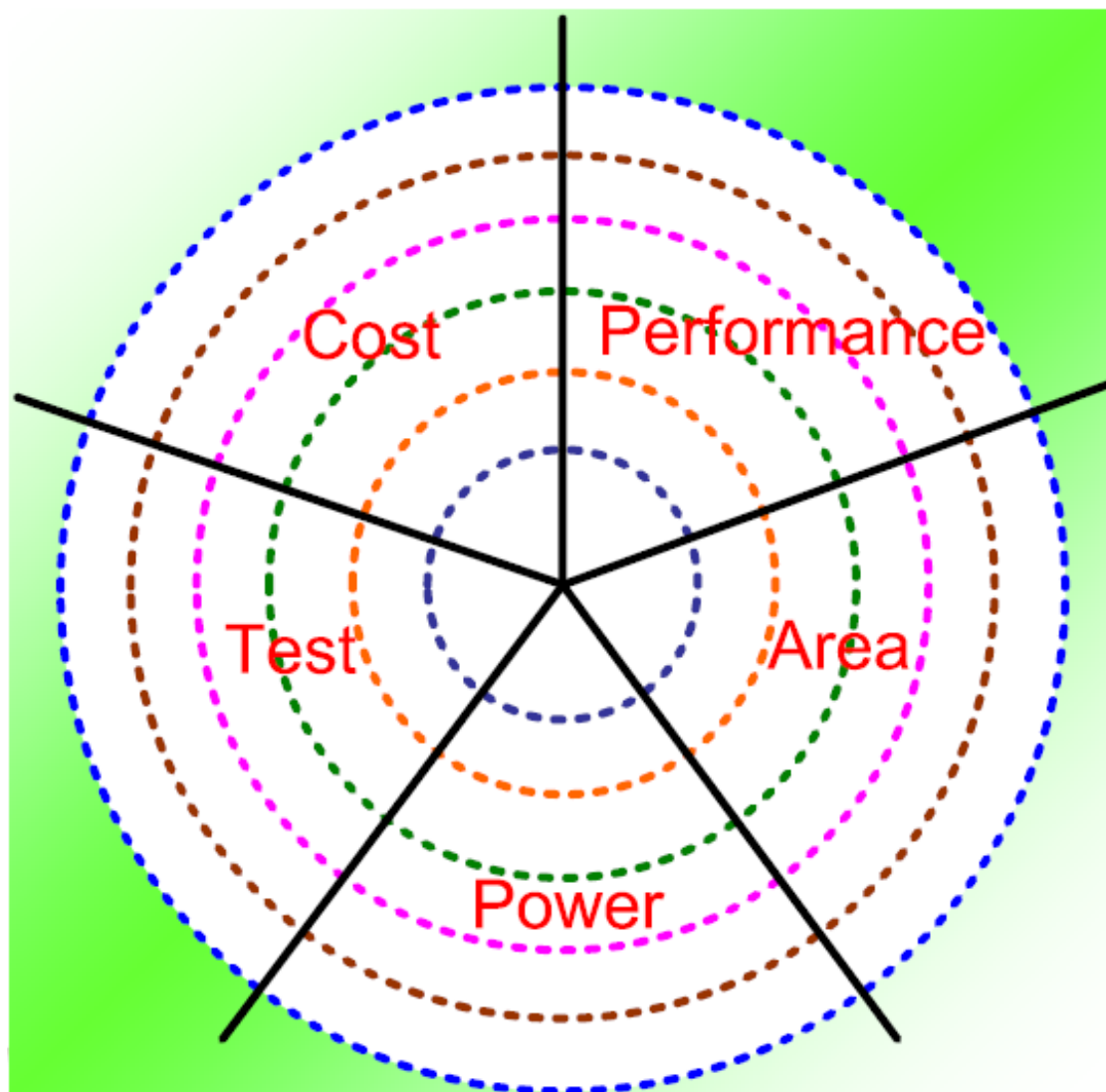
数字信号处理与通用计算的区别

DSP	General purpose computations
Real-time throughput Once the sample rate is met, there is no advantage in making the computation any faster.	Samples are stored firstly and then processing them in batch mode.
Data driven Once all input data are available, computations can be performed.	Synchronized by the system clock.

VLSI数字信号处理系统涵盖的范围

- Computer arithmetic
 - Adder
 - Multiplier
- Digital filter
- Adaptive digital filter
 - LMS based
 - RLS based
- Transform
 - Multiplier-accumulator based
 - ROM-based: CORDIC
 - Butterfly based
- Processor
 - General purposed processor
 - DSP processor
 - Reconfigurable computing processor
- Non-numerical operation
 - Error control coding
 - Viterbi Decoder
 - Turbo Code
 - Dynamic programmable
 - Etc..

VLSI数字信号处理设计空间



- System Level
- Algorithm Level
- Architecture Level
- Logic Level
- Circuit Level
- Process Level



目 录

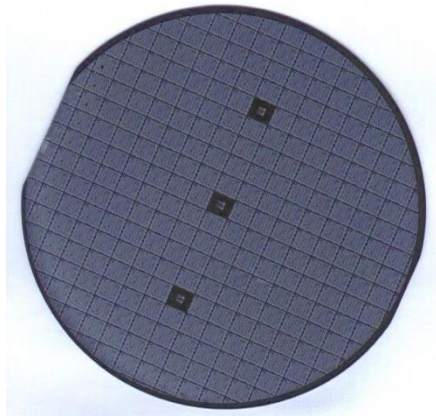
01 课程简况

02 数字信号处理应用

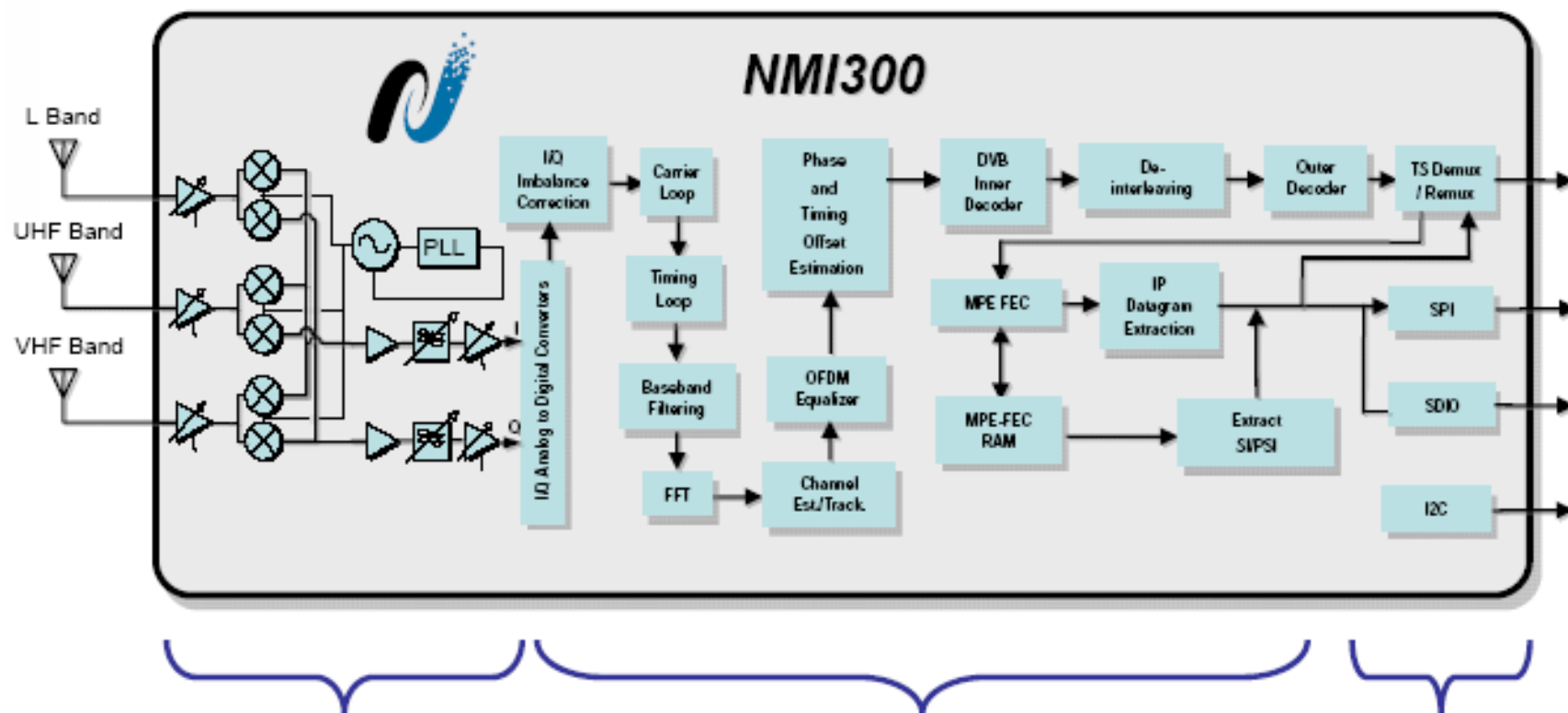
03 VLSI数字信号处理技术

04 VLSI数字通信系统





通信芯片架构

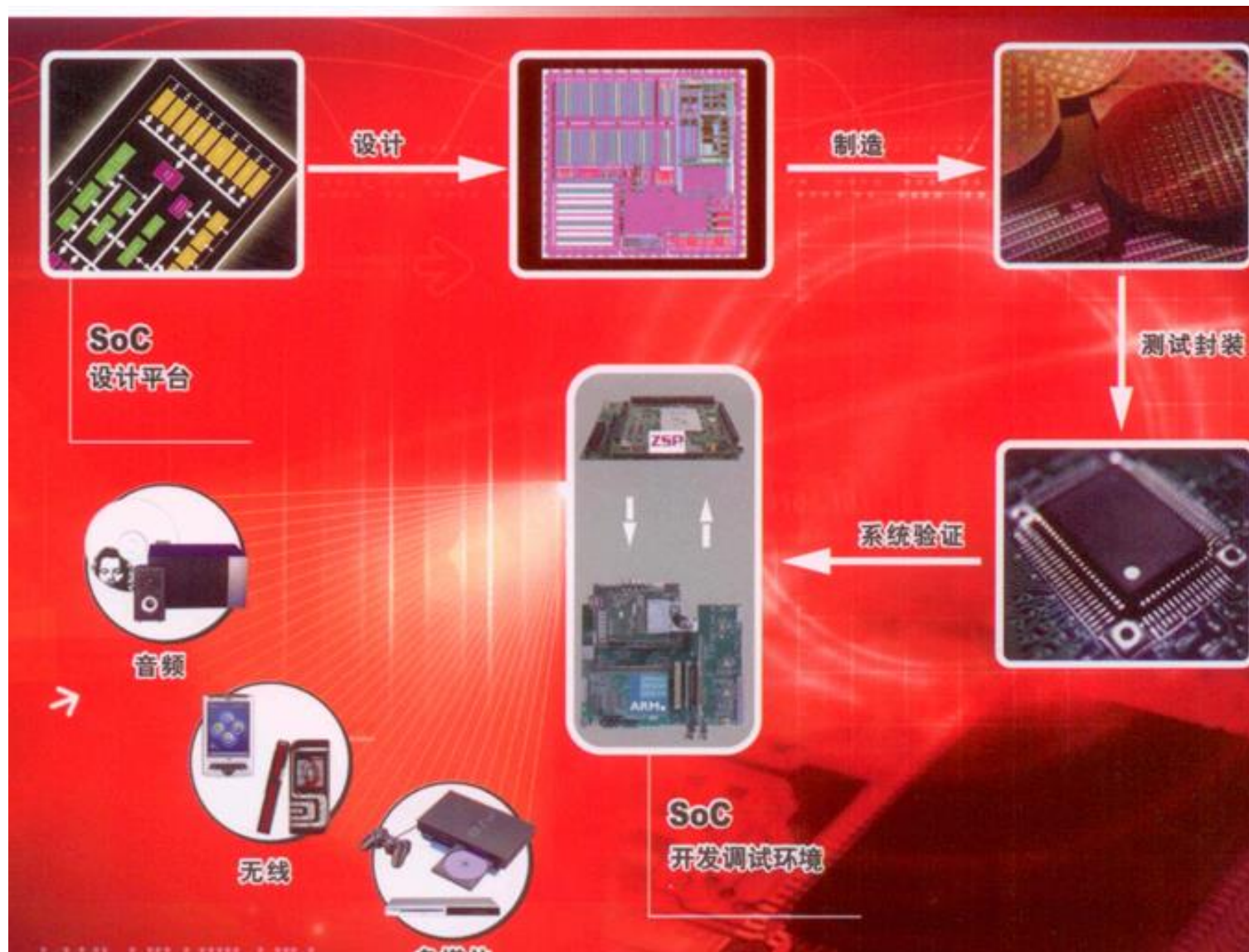


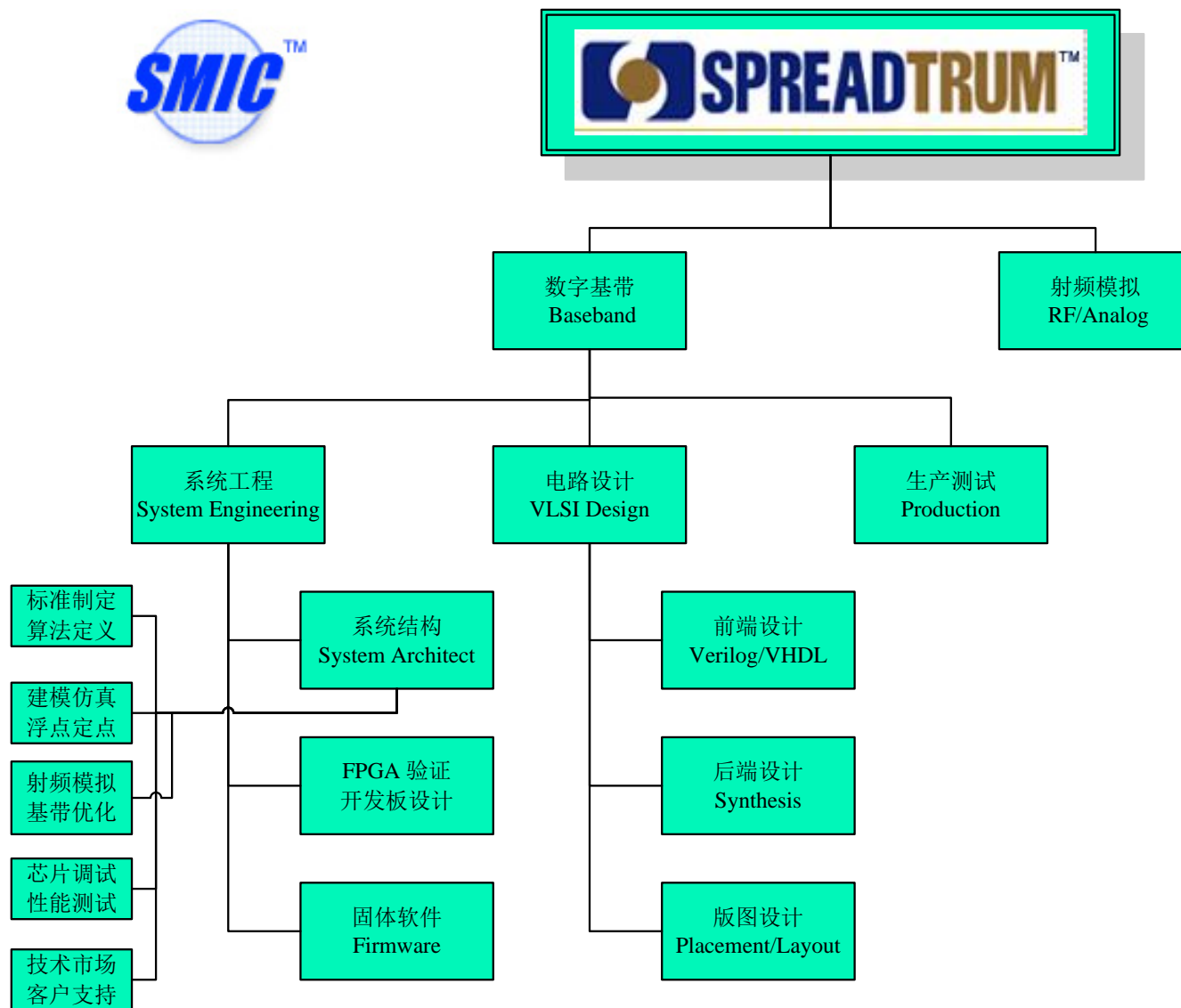
- Very low noise figure: 3.0 dB typical
- Over 100 dB gain range
- 55dB typical adjacent channel selectivity

- Only 3.0 dB SNR required for QPSK mode
- Multi-mode channel support (5, 6, 7, 8Mhz)
- Integrated on-chip memory
- Integrated 11-bit ADC
- Internal clock generation from variety of crystal frequencies

- SPI DVB-H Interface (control via SPI or I2C)
- SDIO DVB-H and Control Interface
- Transport Stream (TS) Interface for DVB-T and DVB-H !

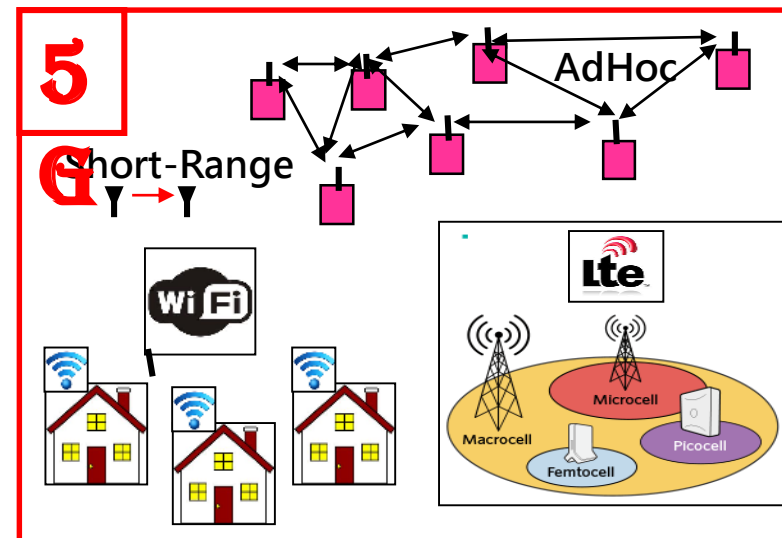
VLSI开发流程





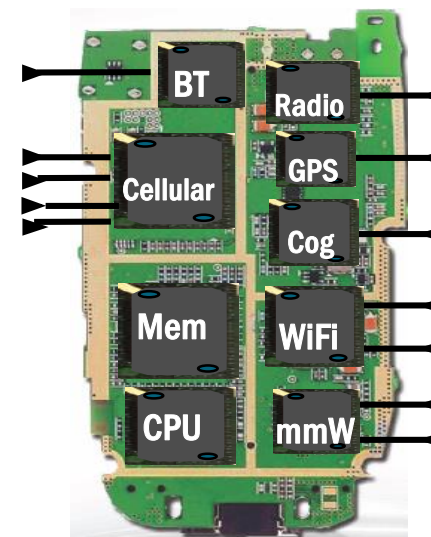
● Network/Radio Challenges

- Gbps data rates with “no” errors
- Energy efficiency
- Scarce/bifurcated spectrum
- Reliability and coverage
- Heterogeneous networks
- Seamless internetwork handoff



● Device/SoC Challenges

- Performance
- Complexity
- Size, Power, Cost
- High frequencies/mmWave
- Multiple Antennas
- Multiradio Integration
- Coexistence



谢谢!

