

数字逻辑实验

《一、系列二进制加法器设计实验》检查表

姓名			班级		学号	
实验题目			一、系列二进制加法器设计			
检查时间				成绩		
实验内容			检查内容	检查结果		检查人签字
实 验 内 容	(1) 一位二进制半加器		电路规范性			
			设计合理性			
	(2) 一位二进制全加器		电路规范性			
			设计合理性			
	(3) 四位二进制串行加法器		电路规范性			
			设计合理性			
	(4) 四位二进制并行加法器		电路规范性			
			设计合理性			
	(5) 将四位二进制并行加法器封装成一个组件		设计合理性			

检查说明：

1. 电路规范性检查主要检查电路中是否出现毛刺较多，线路连接不合理，多余引脚以及封装不符合规范问题。
2. 电路设计合理性检查（1）电路功能是否满足要求；（2）电路是否达到最简；（3）电路运行是否存在 bug（4）是否能够正确回答设计问题等。

评分人签字：