

《数字电路与逻辑设计实验》内容与要求

实验一：系列二进制加法器设计

1. 实验名称

系列二进制加法器设计。

2. 实验目的

采用传统电路的设计方法，设计 4 种二进制加法器（含封装），并利用工具软件 Logisim 的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真和验证 3 个训练过程使学生掌握传统逻辑电路的设计、仿真和调试的方法。

3. 实验所用设备

Logisim2.7.1 软件 1 套，微型计算机 1 台。

4. 课时

课内 4 个课时，课外 4 个课时。

5. 实验内容

设计电路并使用 Logisim 软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用 Logisim 软件提供的逻辑库元件。

具体内容如下：

（1）一位二进制半加器

设计一个一位二进制半加器，电路有两个输入 A、B，两个输出 S 和 C。输入 A、B 分别为被加数、加数，输出 S、C 为本位和、向高位的进位信号。

（2）一位二进制全加器

设计一个一位二进制全加器，电路有三个输入 A、B 和 C_i ，两个输出 S 和 C_o 。输入 A、B 和 C_i 分别为被加数、加数和来自低位的进位，输出 S 和 C_o 为本位和、向高位的进位信号。

（3）串行进位的四位二进制并行加法器

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。输入 $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S=S_3S_2S_1S_0$ 为本位和， C_4 为向高位的进位。

（4）先行进位的四位二进制并行加法器

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。

输入 $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S=S_3S_2S_1S_0$ 为本位和， C_4 为向高位的进位。

(5) 将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号如图 1.1 所示。

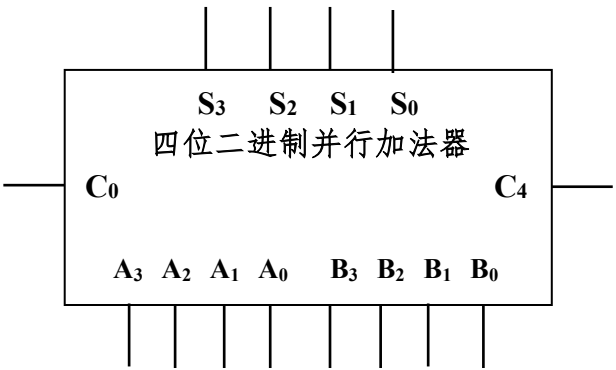


图 1.1 先行进位的四位二进制并行加法器

6. 实验方案设计

要求：(1) 给出函数表达式或逻辑描述；(2) 画出电路图。

7. 实验结果检查与提交

要求：(1) 本次实验的全部电路都在同一个 Logisim 文件中，子电路结构如图 1.2 所示；

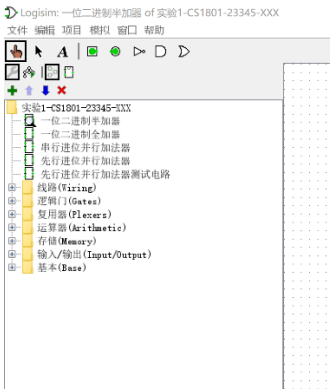


图 1.2 实验一子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

- (2) 打印检查表并填写姓名等相关信息，实验验收完成后当堂提交。
- (3) 上交 Logisim 电路文件，命名格式：实验 1-班级-学号-姓名。