

***2***

***0***

***2***

***0***

**数字电路与逻辑设计**

**课程实验报告**

**多功能电子钟系统**

|  |  |
| --- | --- |
| 姓 名： | 汪宇飞 |
| 学 号： | U202015375 |
| 班 级： | CS2003班 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2020年12月7日 |

**实验五：多功能电子钟系统设计**

**1. 实验名称**

多功能电子钟系统设计。

**2. 实验目的**

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

**3. 实验所用设备**

Logisim2.7.1软件1套，微型计算机1台。

**4．课时**

课内8个课时，课外8个课时。

**5．实验内容**

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

**（1）具有校准计数值的六十进制计数器电路**

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

**（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路**

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

**（3）显示“上午”、“下午”的电路**

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

**（4）电子钟整点报时电路**

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

**（5）秒计时脉冲产生电路**

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

**（6）闹钟（选做）**

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

**（7）多功能数字钟电路**

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“**Alarm**”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

**6. 实验方案设计**

1. **具有校准计数值的六十进制计数器电路**

利用实验二中所设计的四位二进制可逆计数器，设计模十部分以及模六部分，并将它们连接。模十部分满10进位1并清零，模六部分满6进位1并清零。当Adj=1时，可以通过CPU和CPD进行加减调节，加至60时会产生进位信号并清零；Adj=0时CPD信号不再有效，此时只能由CPU进行加。当产生CLR信号时两个计数器都会清零。

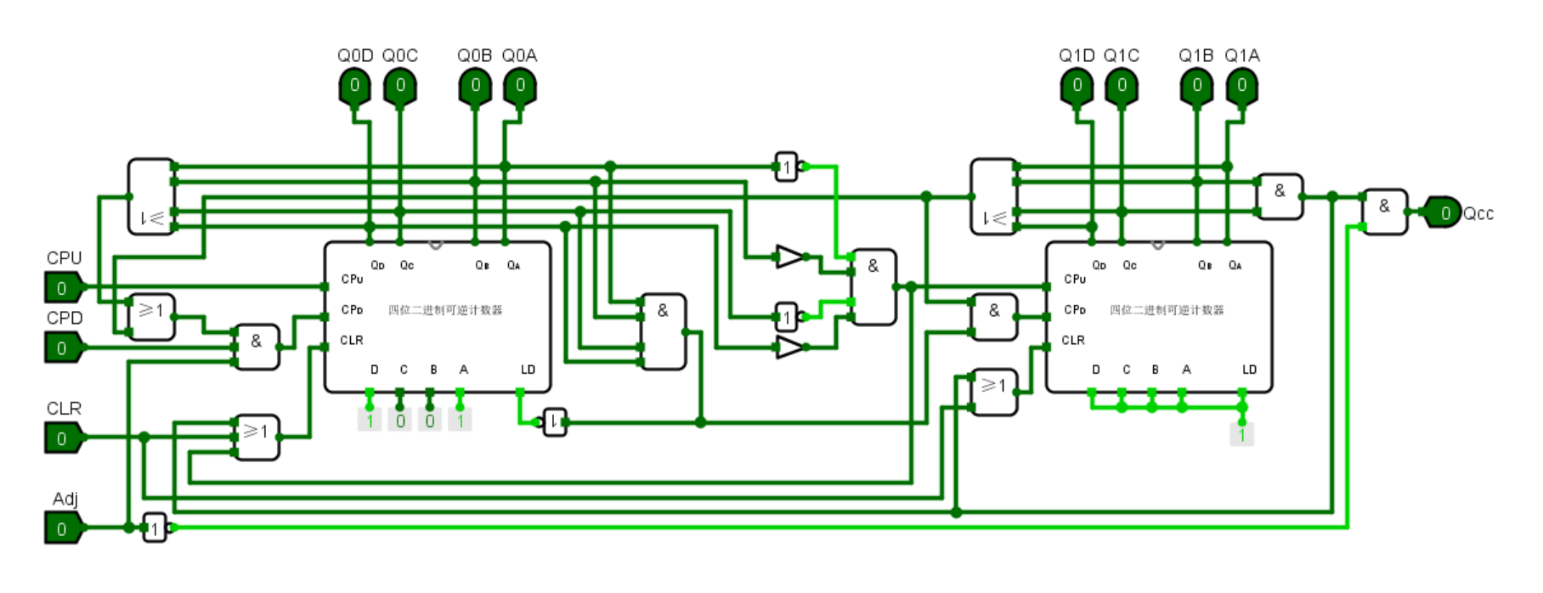


图 6.1 具有校准计数值的六十进制计数器电路

1. **具有校准计数值的十二进制计数器或二十四进制的计数器电路**

对（1）中所示的具有校准计数值的六十进制计数器电路进行改造，分别得到具有校准计数值的十二进制计数器电路和具有校准计数值的二十四进制计数器电路，连接后使用多路选择器根据SET的值进行输出。

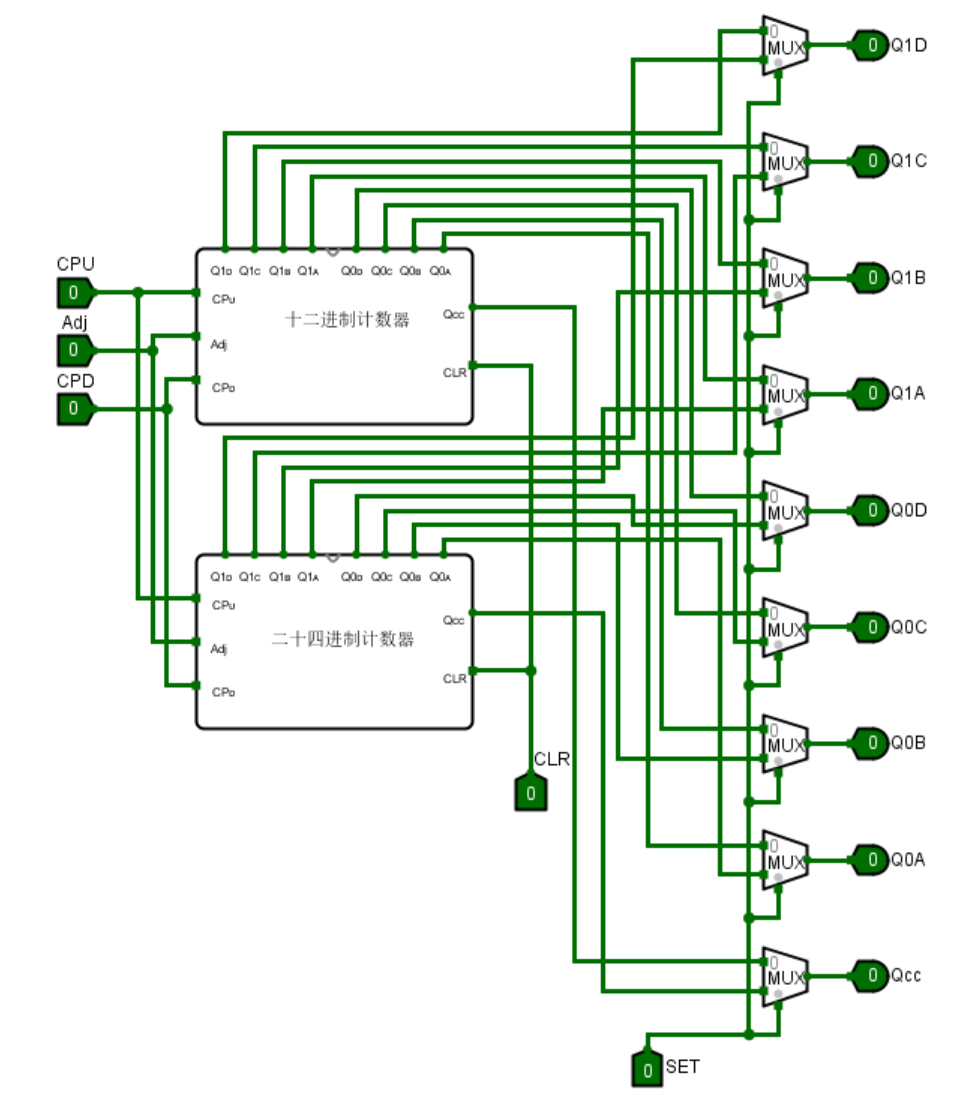


图 6.2 具有校准计数值的十二进制计数器或二十四进制的计数器电路

1. **显示“上午”、“下午”的电路**

根据LED点阵输出“上”和“下”字样时的输入，得出“0fca1”和“87e90”两个数字作为常量，加入多路选择器对这两个常量以及“00000”进行选择后输出对应值。

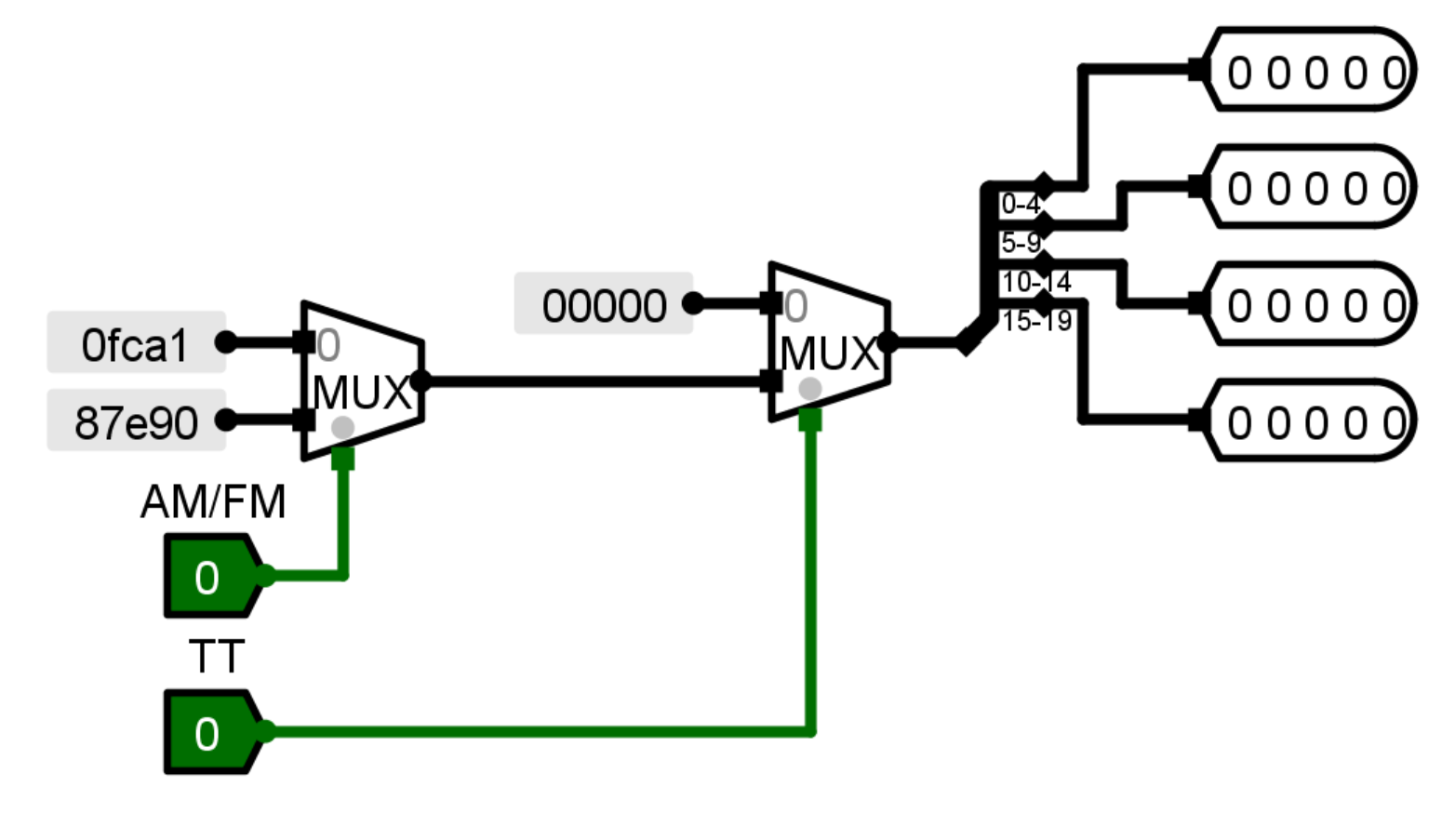


图 6.3 显示“上午”、“下午”的电路

1. **电子钟整点报时电路**

由（1）和（2）中所设计的计数器分别设计时、分、秒三个计数部分组成，当分钟为59、秒钟的十位为5时开始报时。

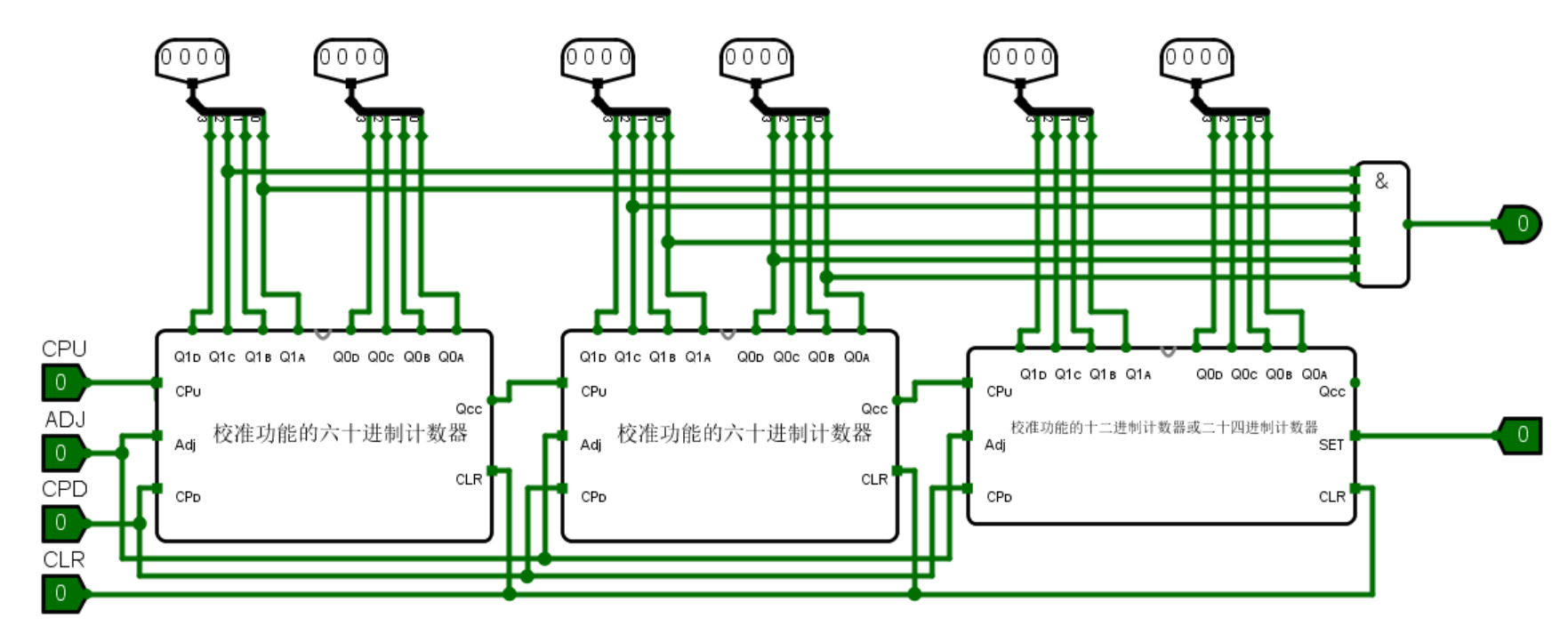


图 6.4 电子钟整点报时电路

1. **秒计时脉冲产生电路**

按照要求，将8Hz信号转换为1Hz信号的方法是，通过四位二进制可逆计数器，对处于7和15的状态时，再收到一次CPU信号时输出脉冲信号。

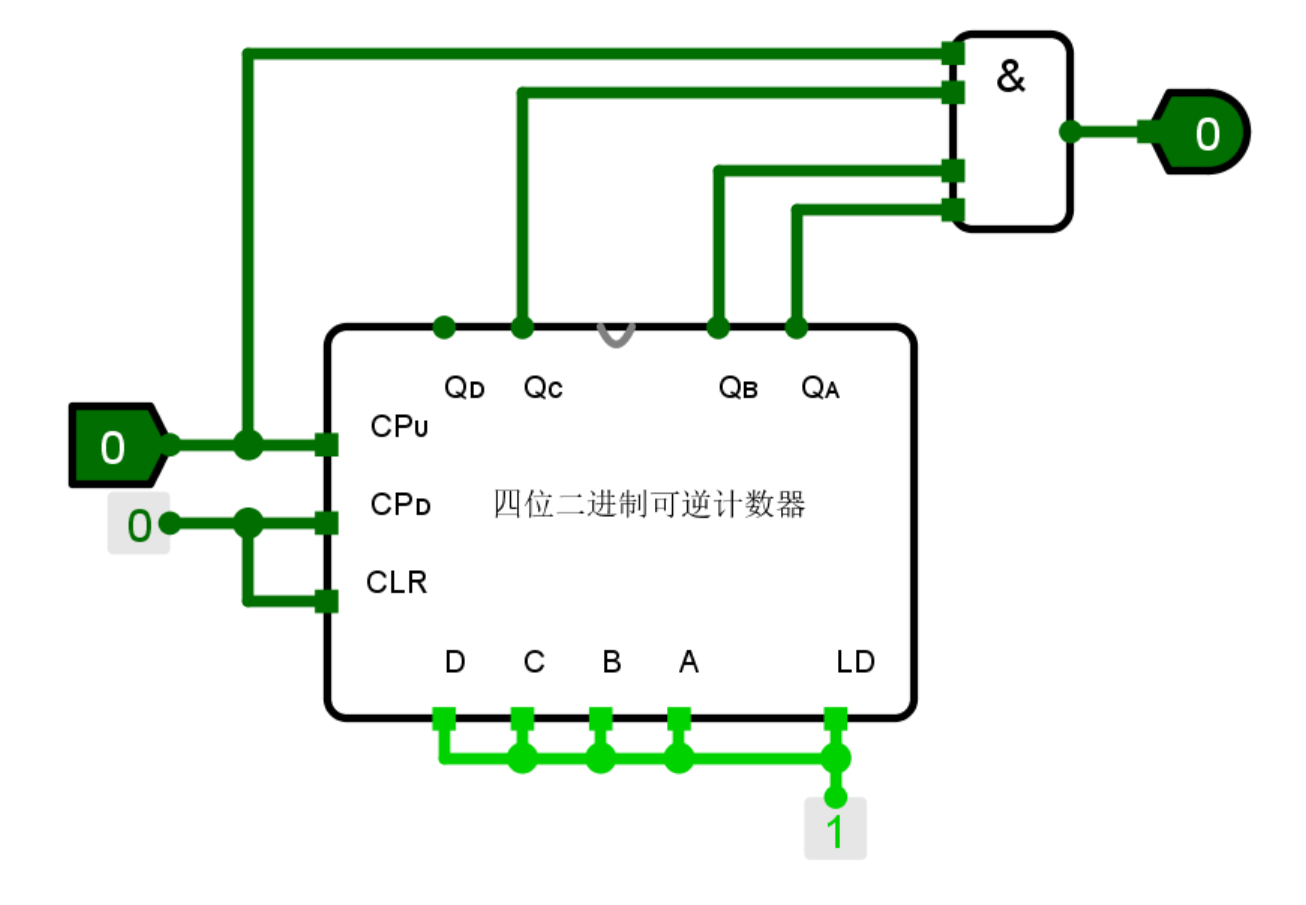


图6.5 秒计时脉冲产生电路

1. **多功能数字钟电路**

通过（1）-（5）中所设计并且封装好之后的电路器件进行连接组合，设计出这一多功能数字钟电路。该电路通过六十进制计数器和十二进制或二十四进制计数器来记录时、分、秒，并通过T触发器来实现12小时进制与24小时进制相转换时的时间不变的要求。

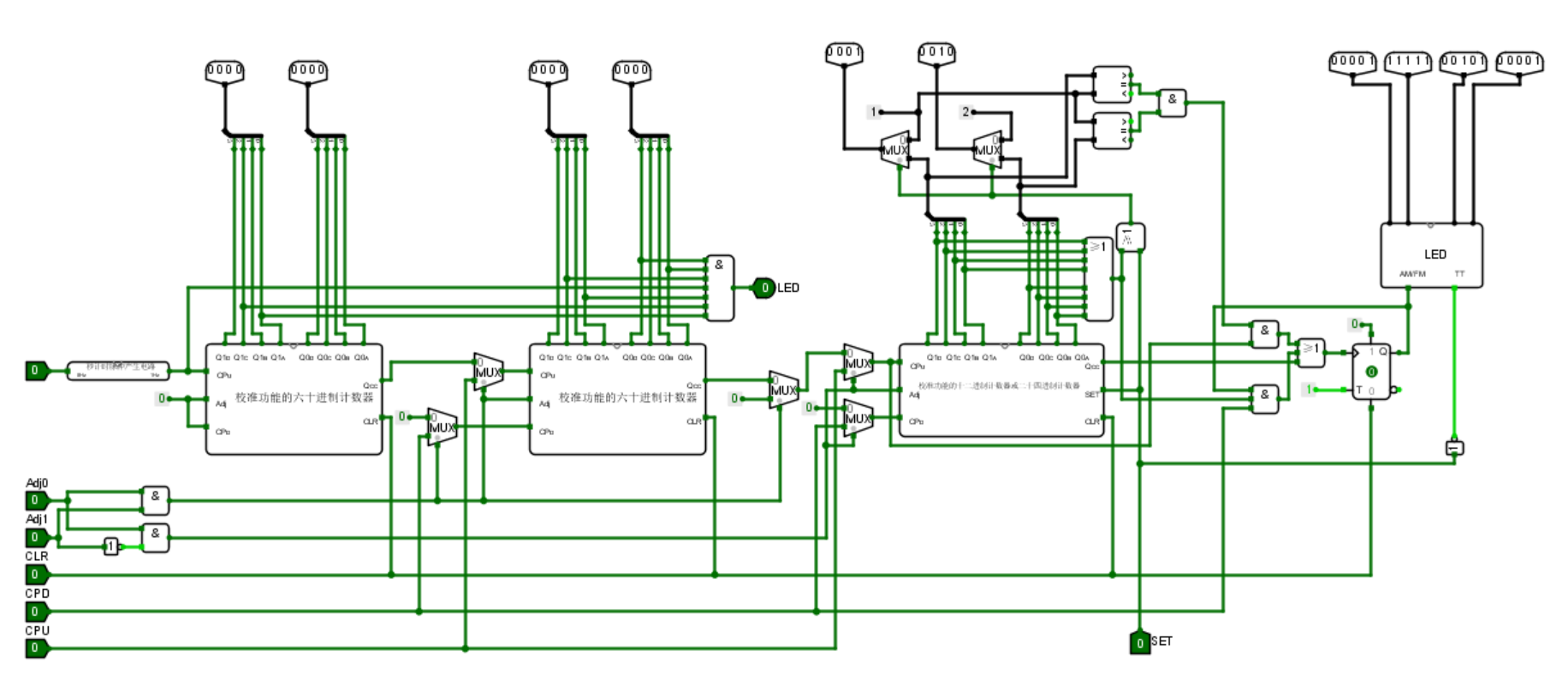


图6.6 多功能数字钟电路

**7. 实验结果记录**

1. **具有校准计数值的六十进制计数器电路测试**

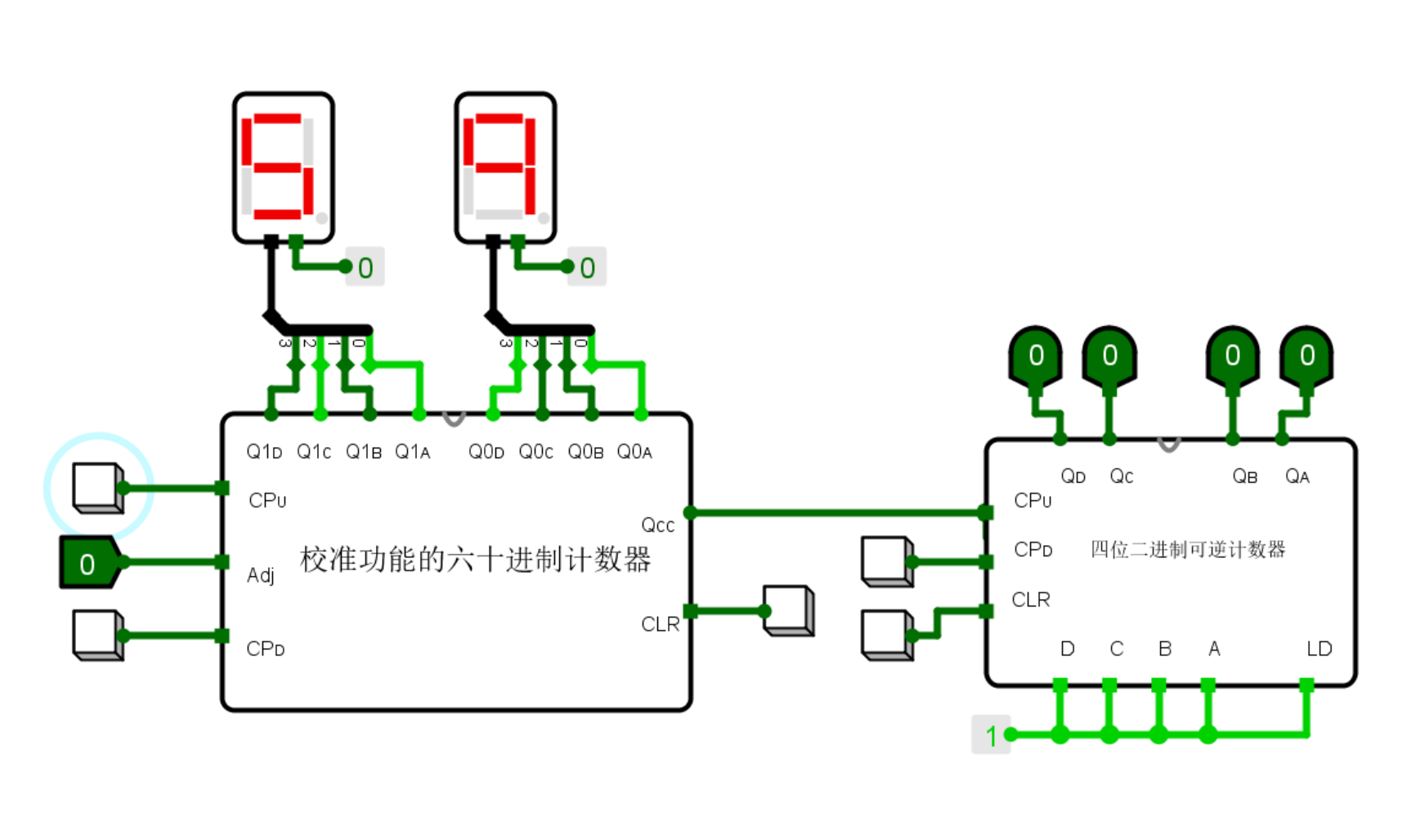


图7-1 具有校准计数值的六十进制计数器电路测试

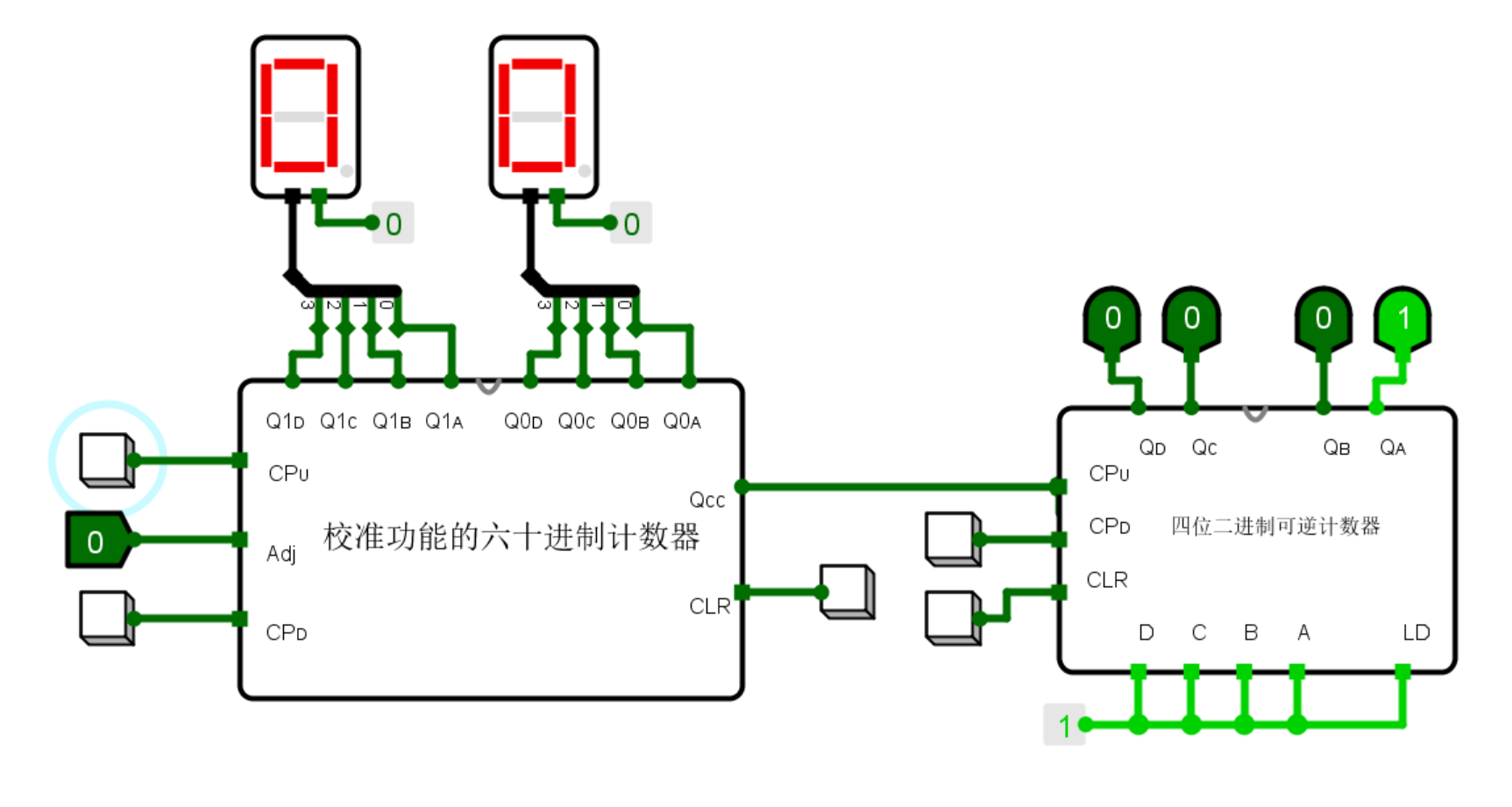


图7-2 具有校准计数值的六十进制计数器电路测试

1. **具有校准计数值的十二进制计数器或二十四进制的计数器电路测试**

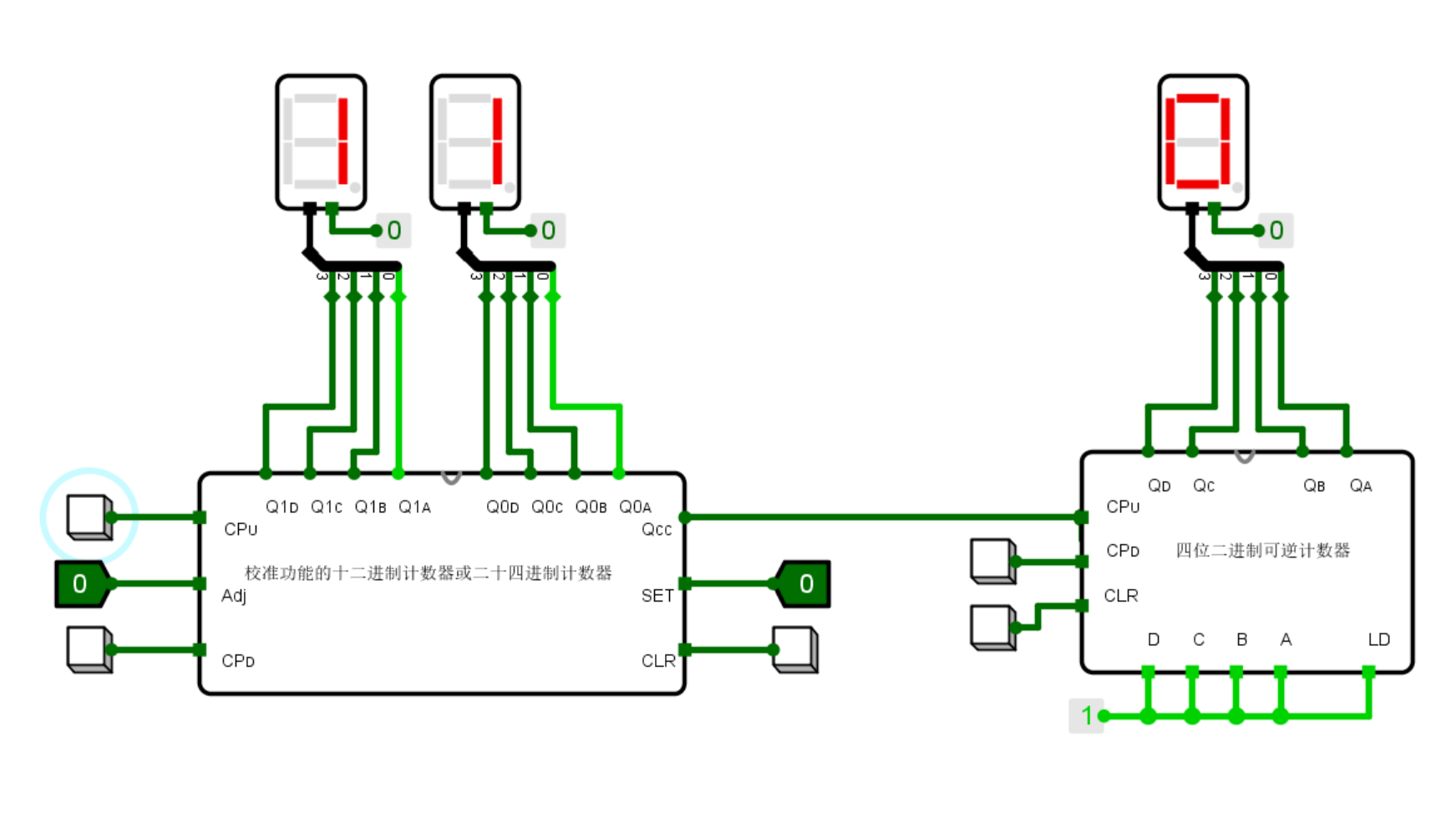


图7-3 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试

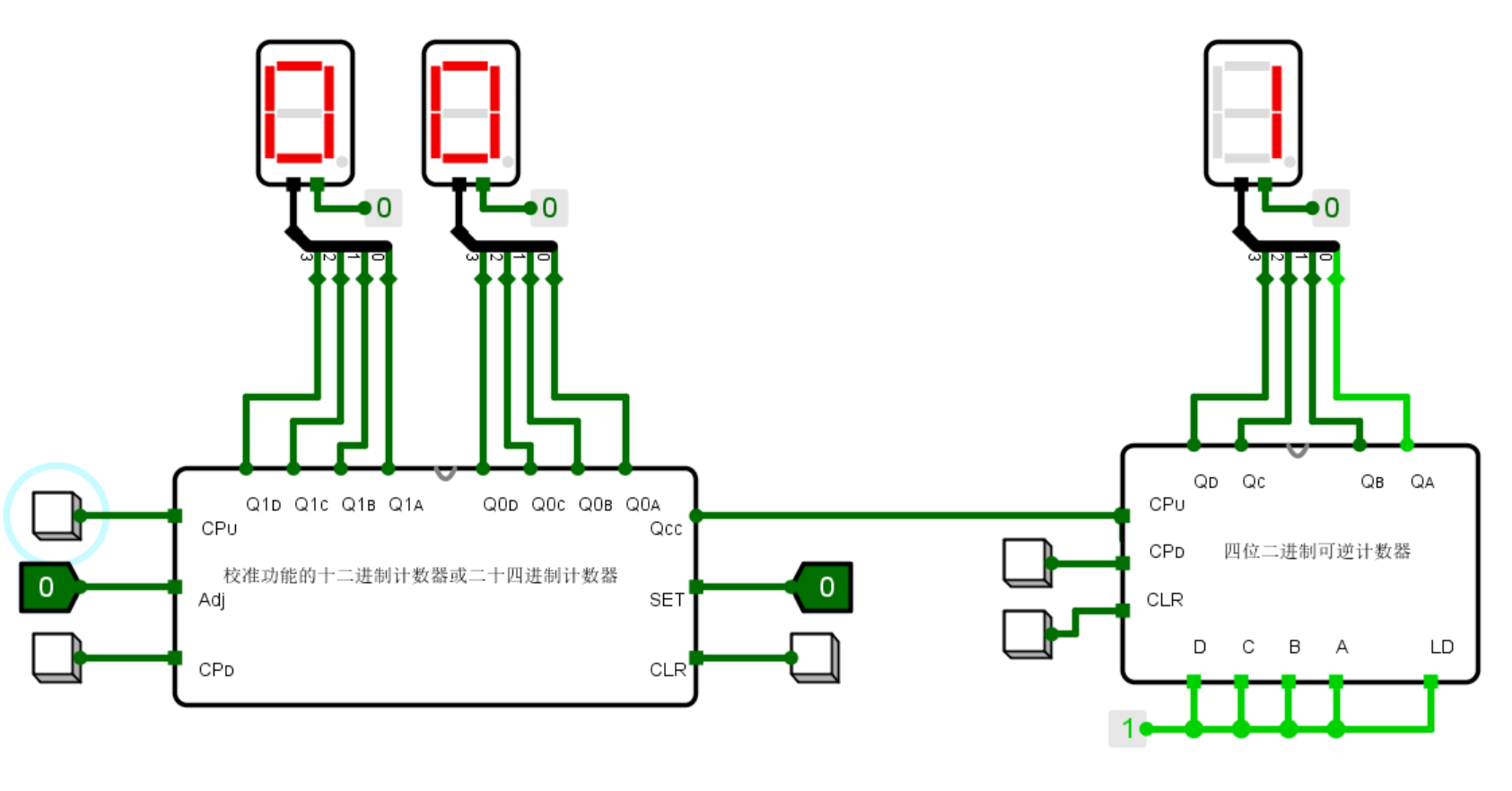


图7-4 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试

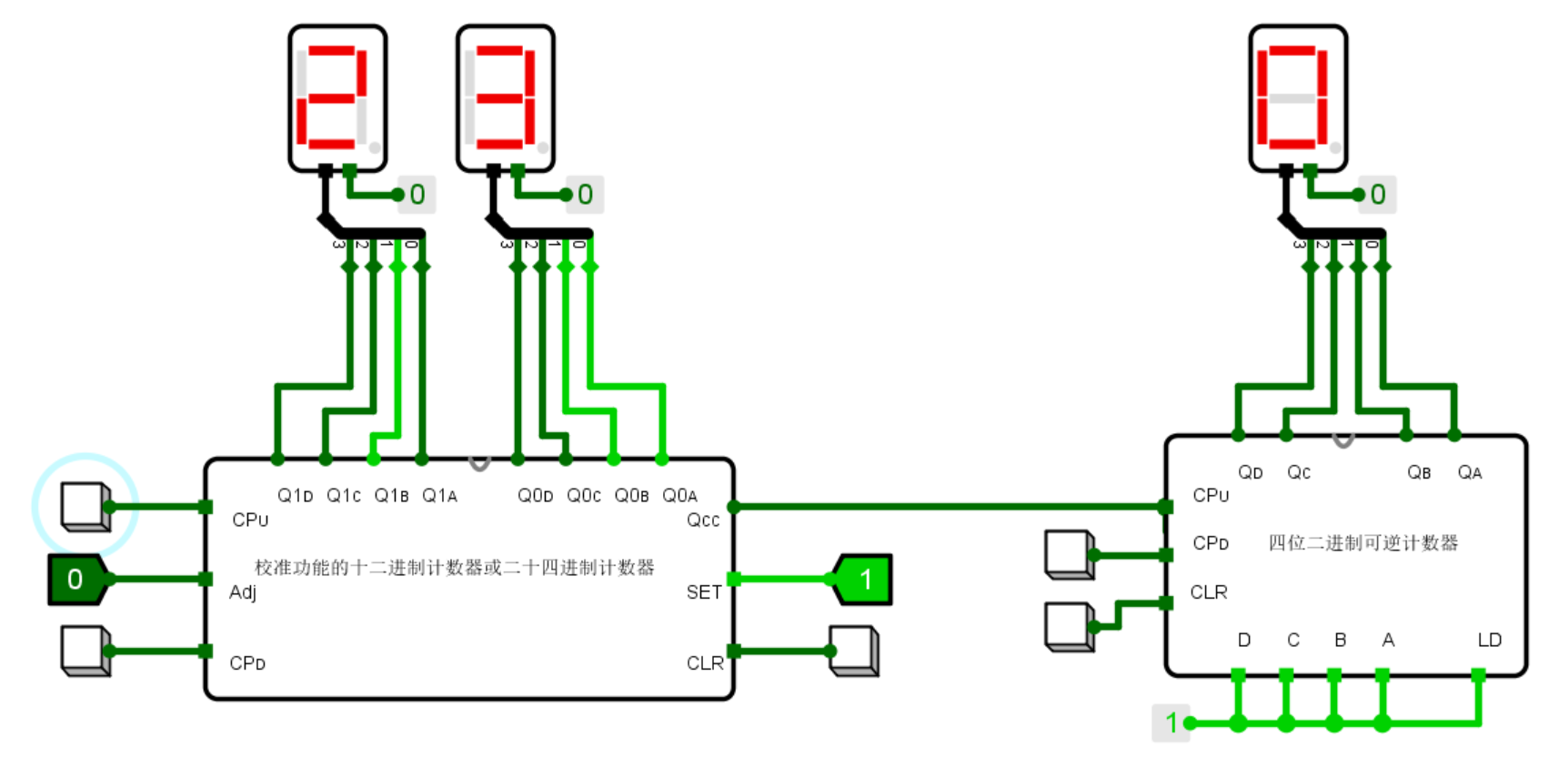


图7-5 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试

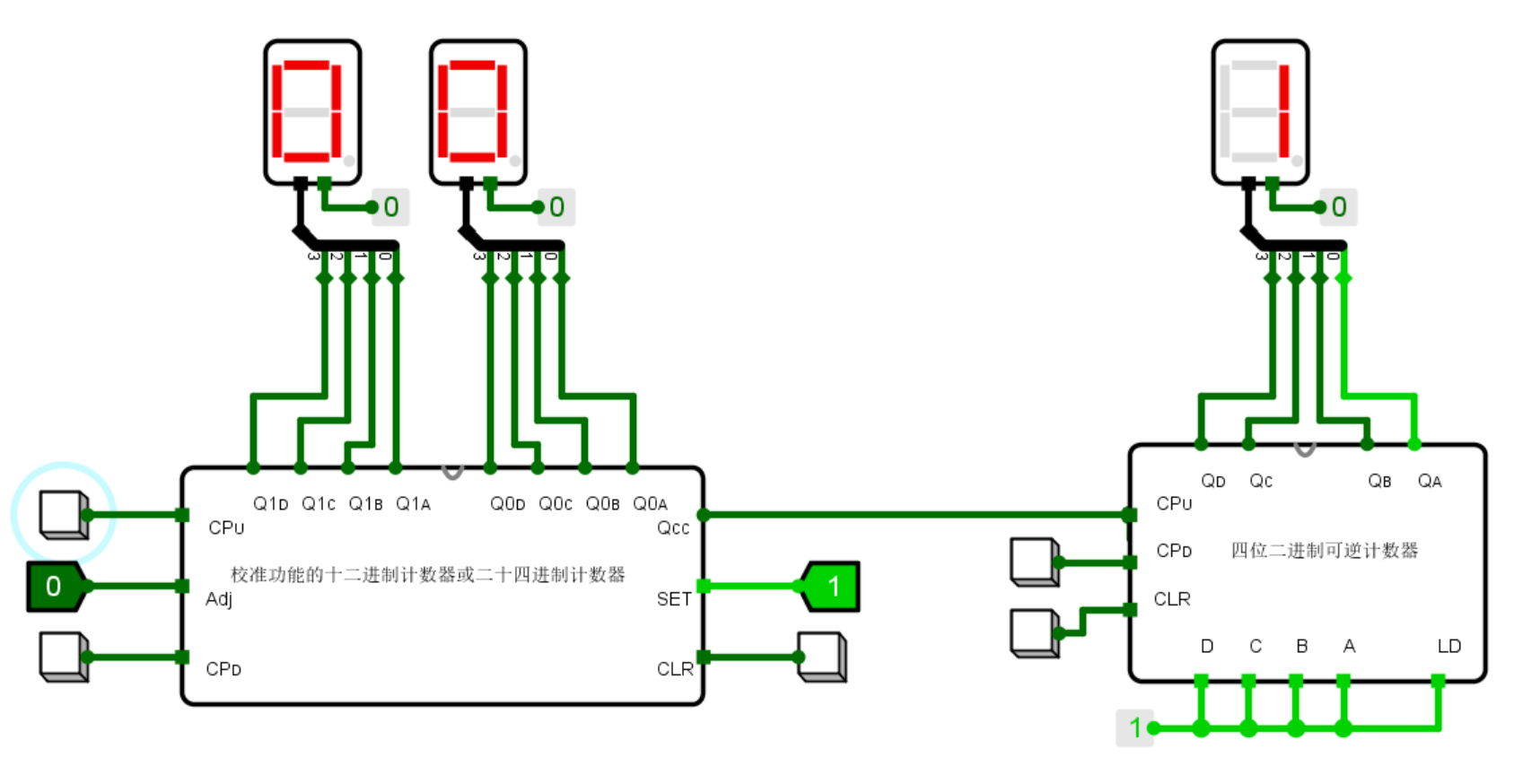


图7-6 具有校准计数值的十二进制计数器或二十四进制的计数器电路测试

1. **显示“上午”、“下午”的电路测试**

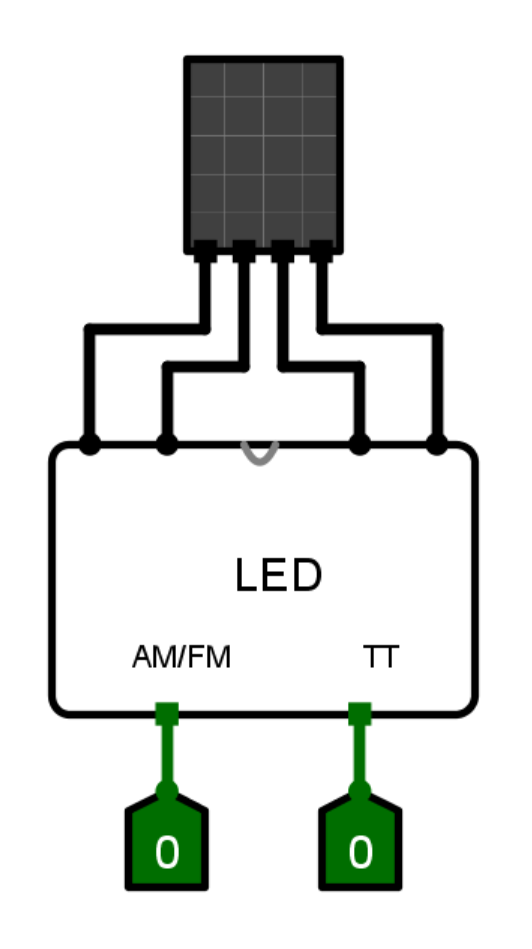


图7-7 显示“上午”、“下午”的电路测试

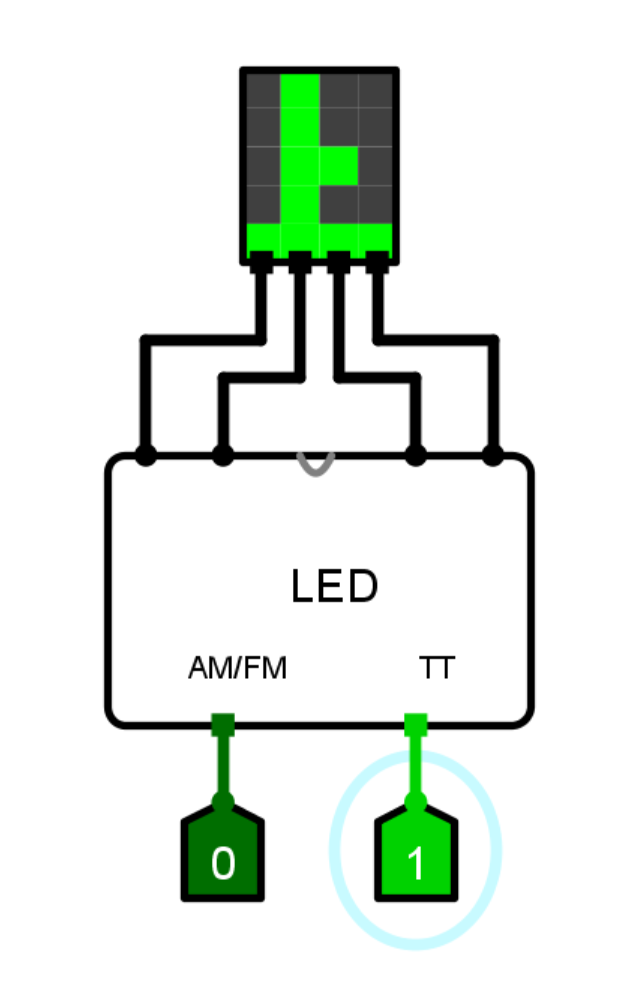


图7-8 显示“上午”、“下午”的电路测试

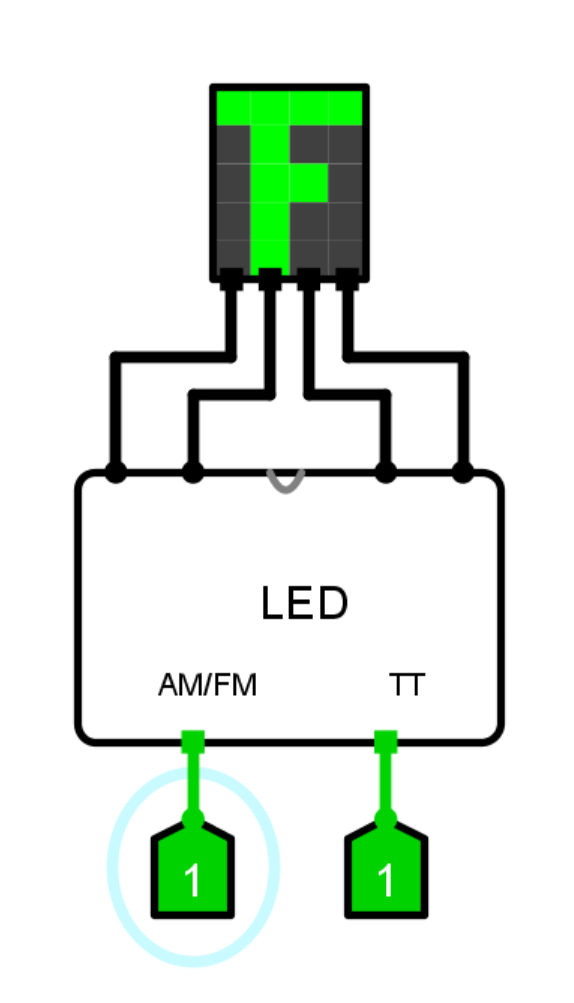


图7-9 显示“上午”、“下午”的电路测试

1. **电子钟整点报时电路测试**

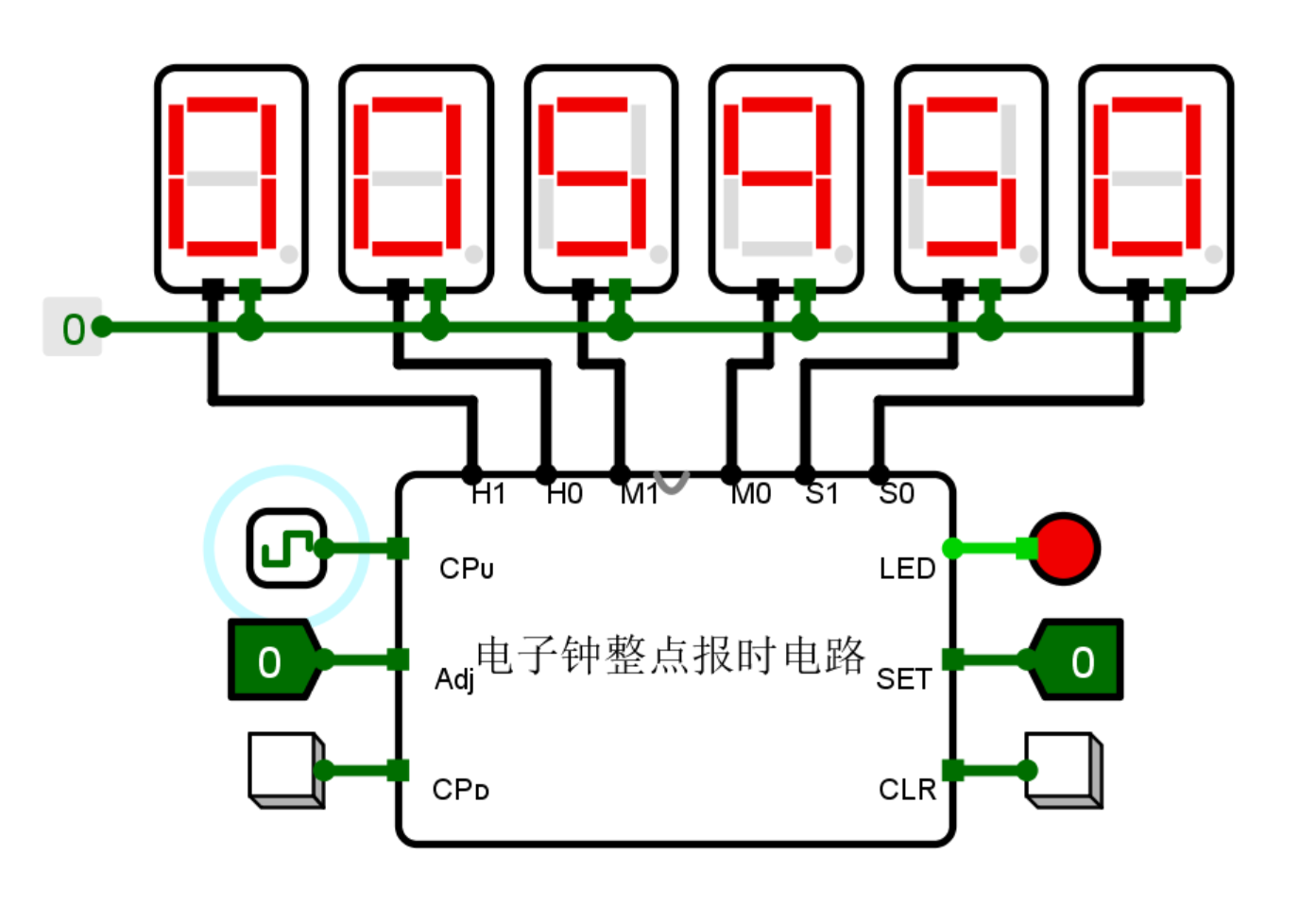


图7-10 电子钟整点报时电路测试 开始报时

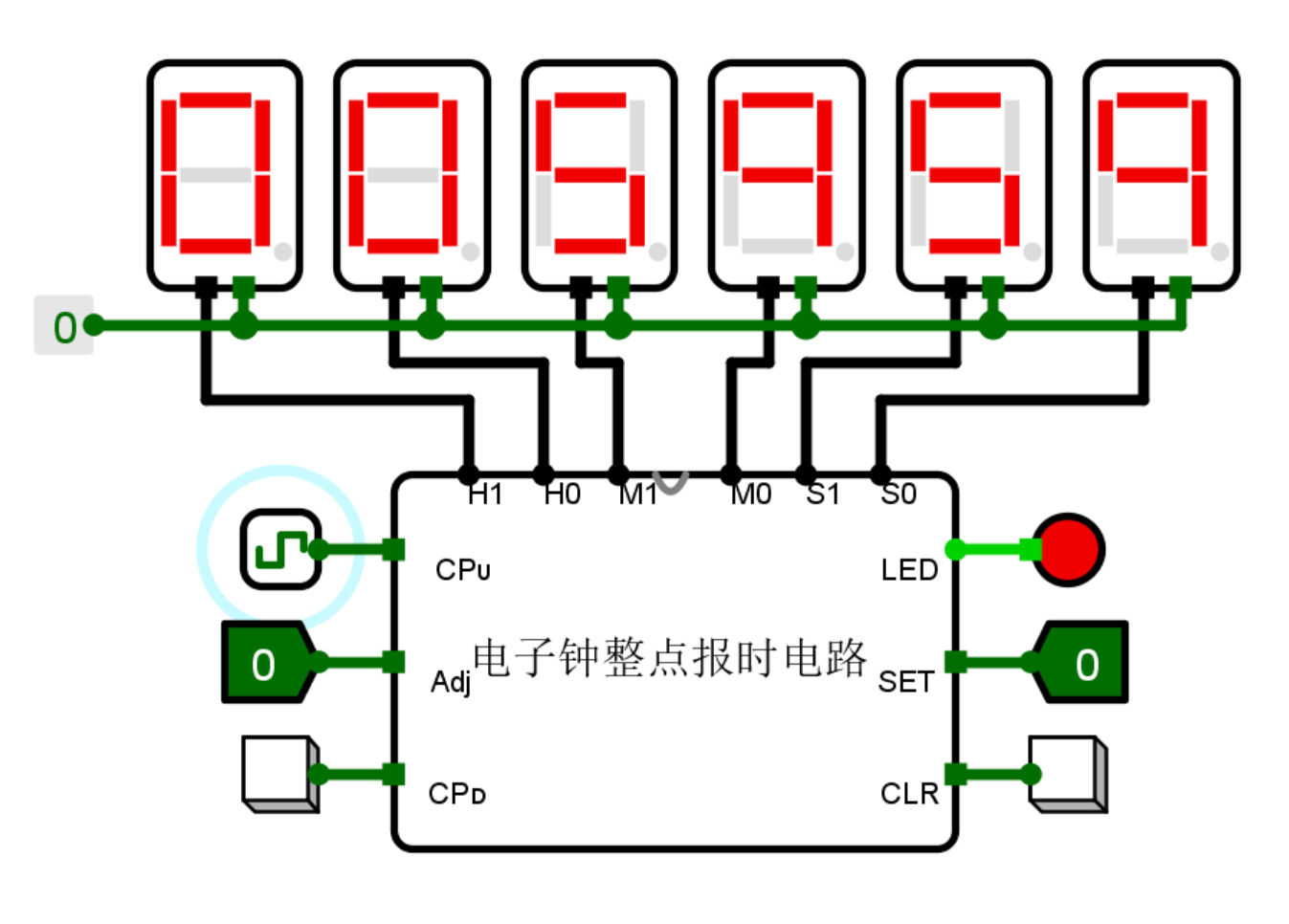


图7-11 电子钟整点报时电路测试 报时十秒

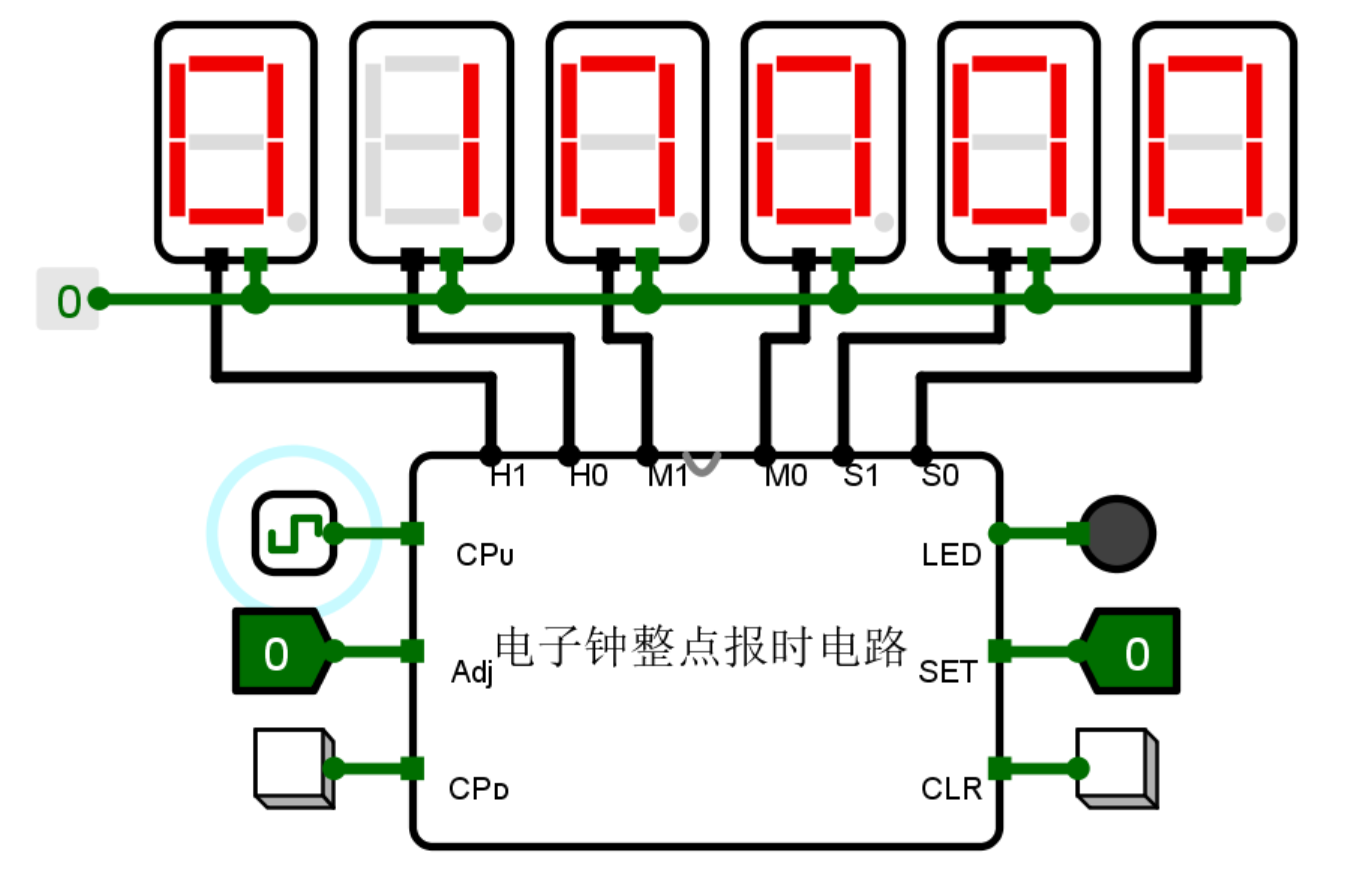


图7-12 电子钟整点报时电路测试 报时结束

1. **多功能数字钟电路测试**

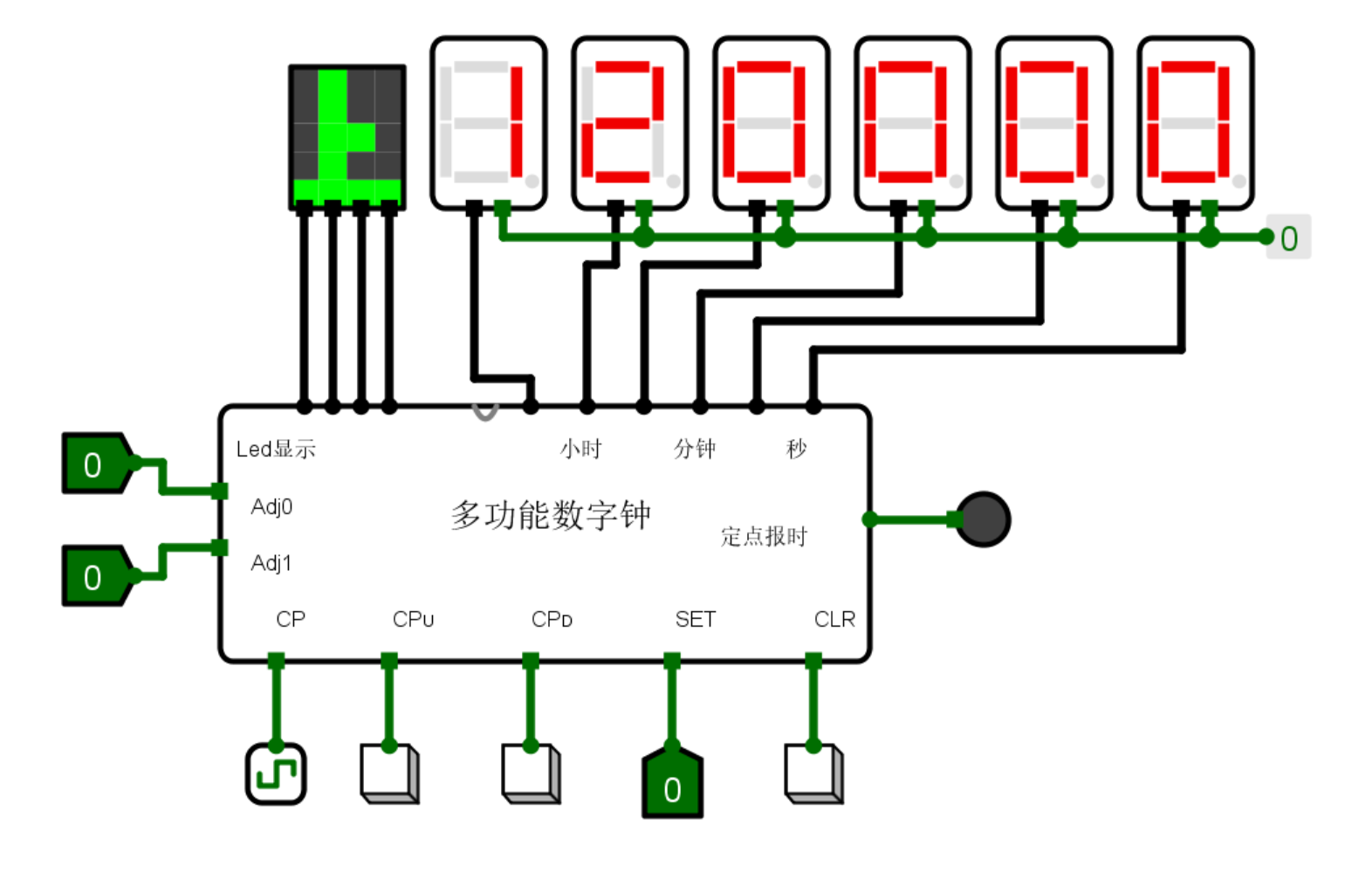


图7-13 多功能数字钟12小时制上午0时

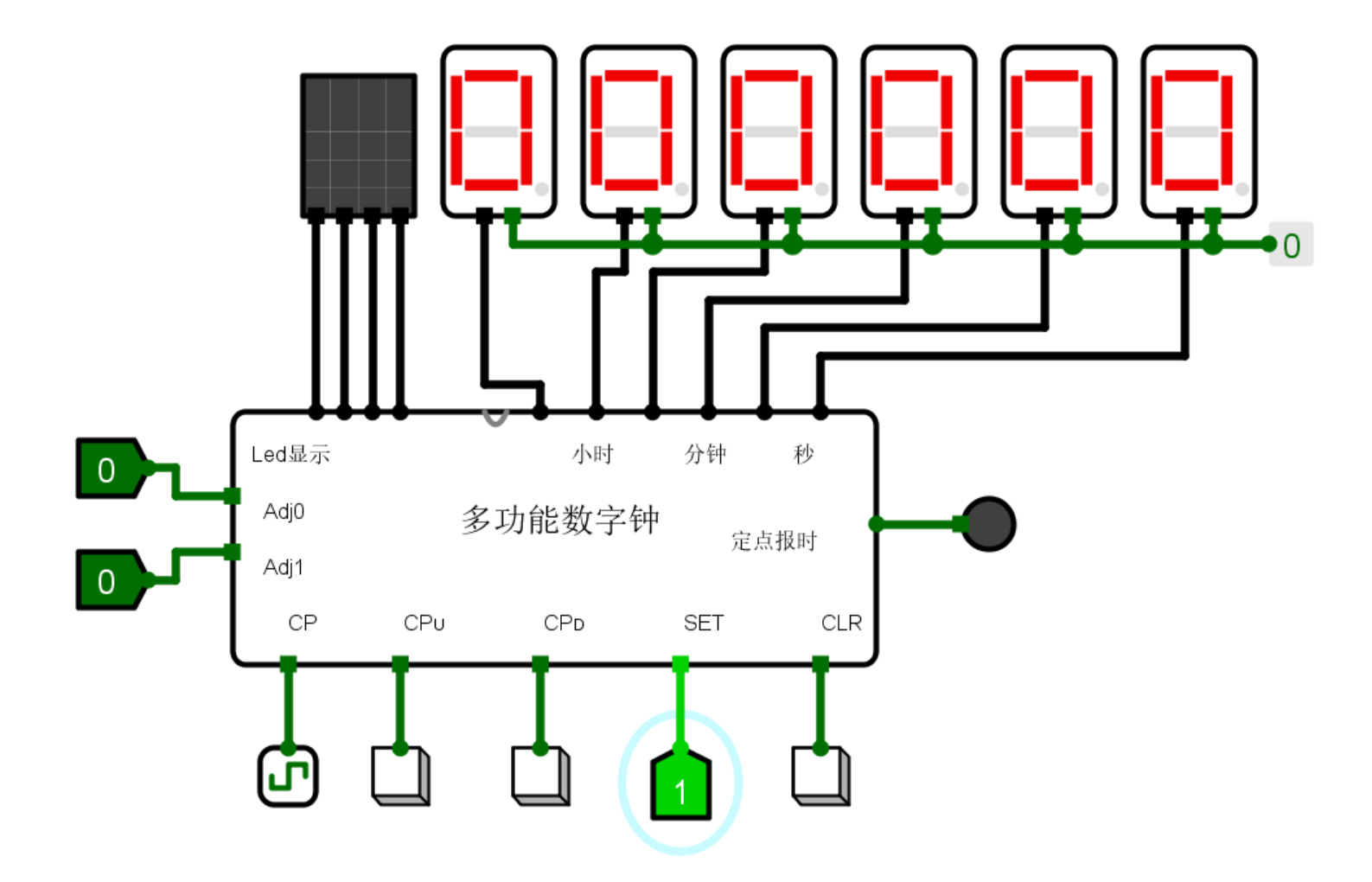


图7-14 多功能数字钟24小时制0时

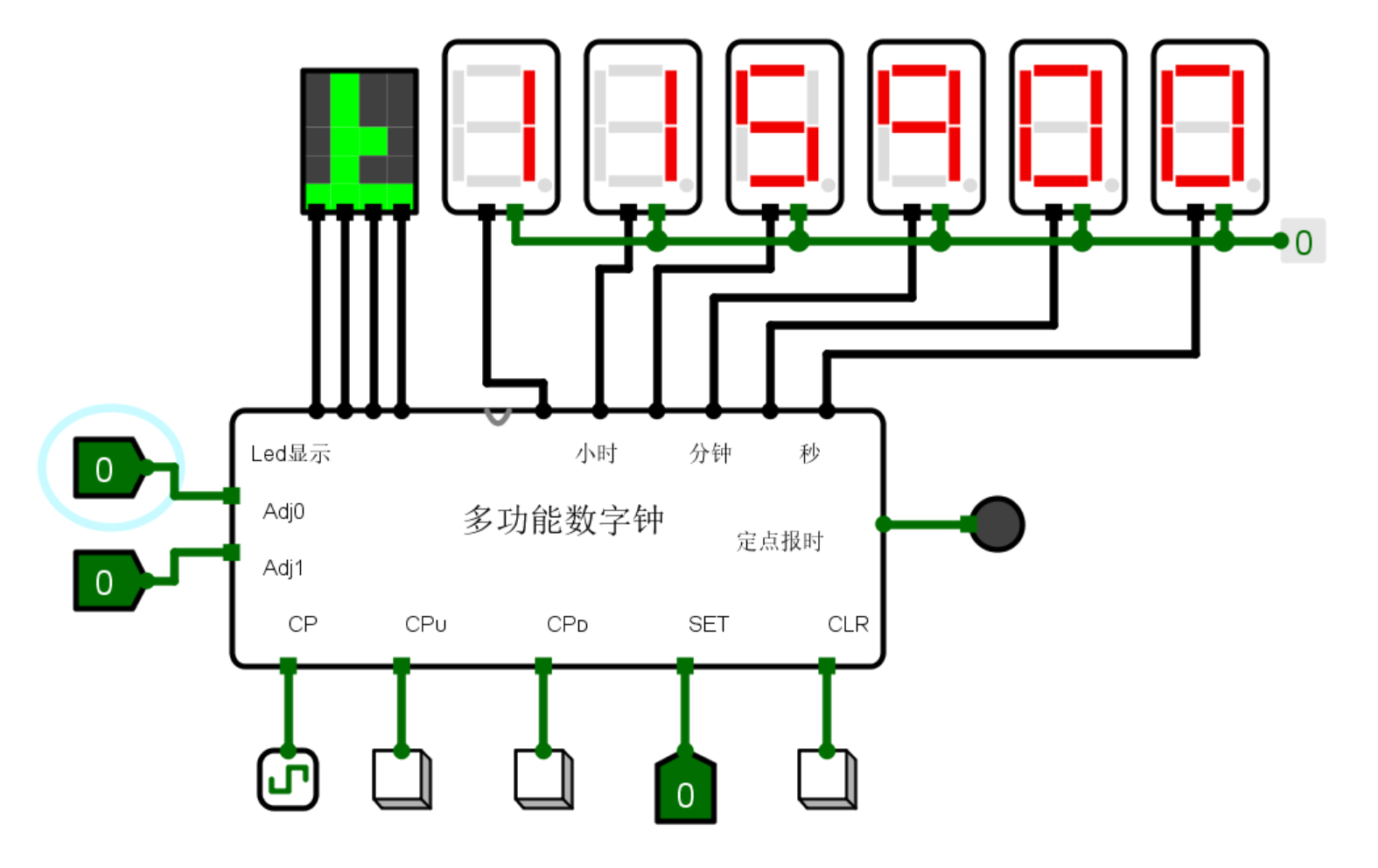


图7-15 多功能数字钟电路测试

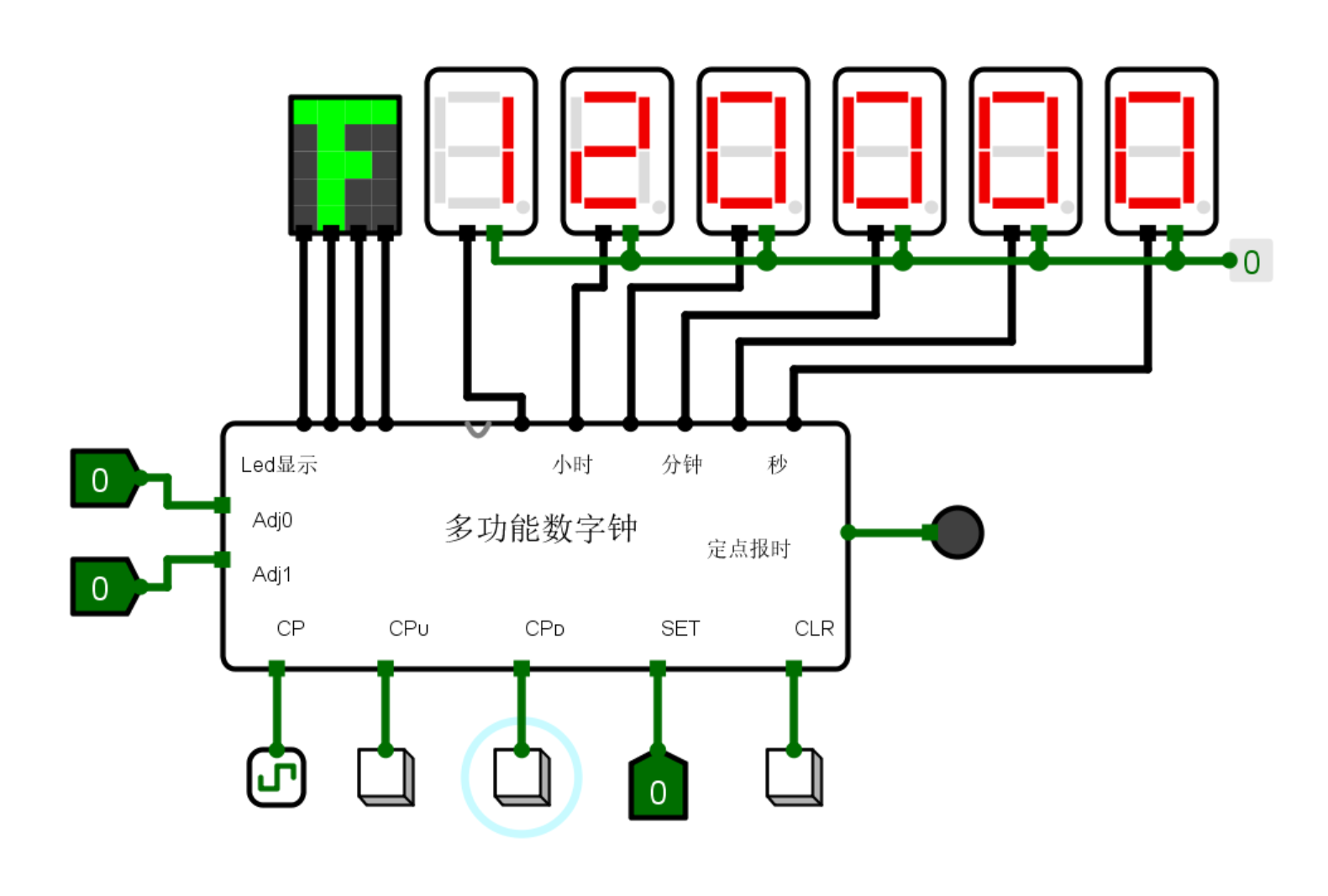


图7-16 多功能数字钟电路测试

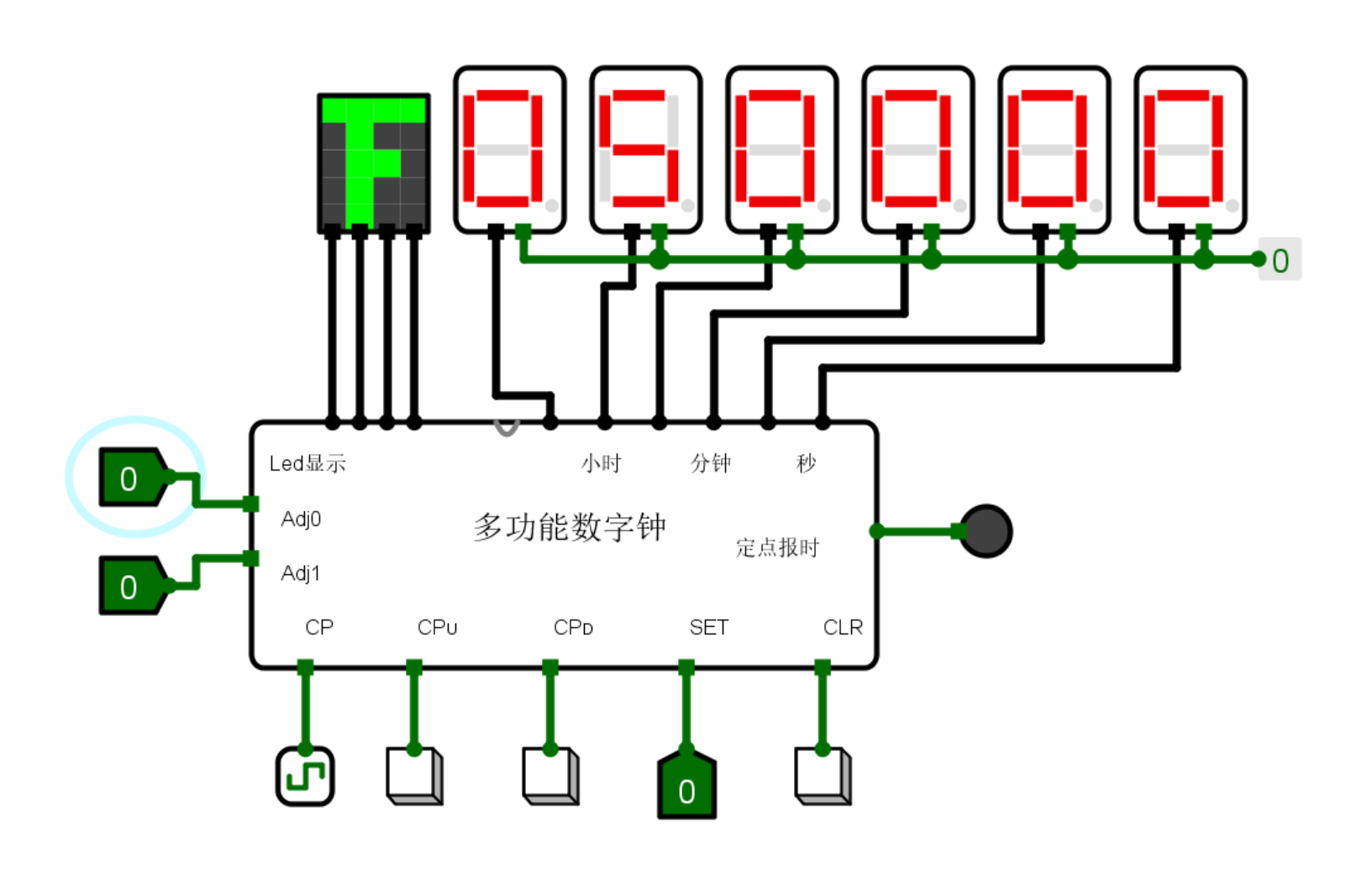


图7-17 多功能数字钟12小时制下午5时

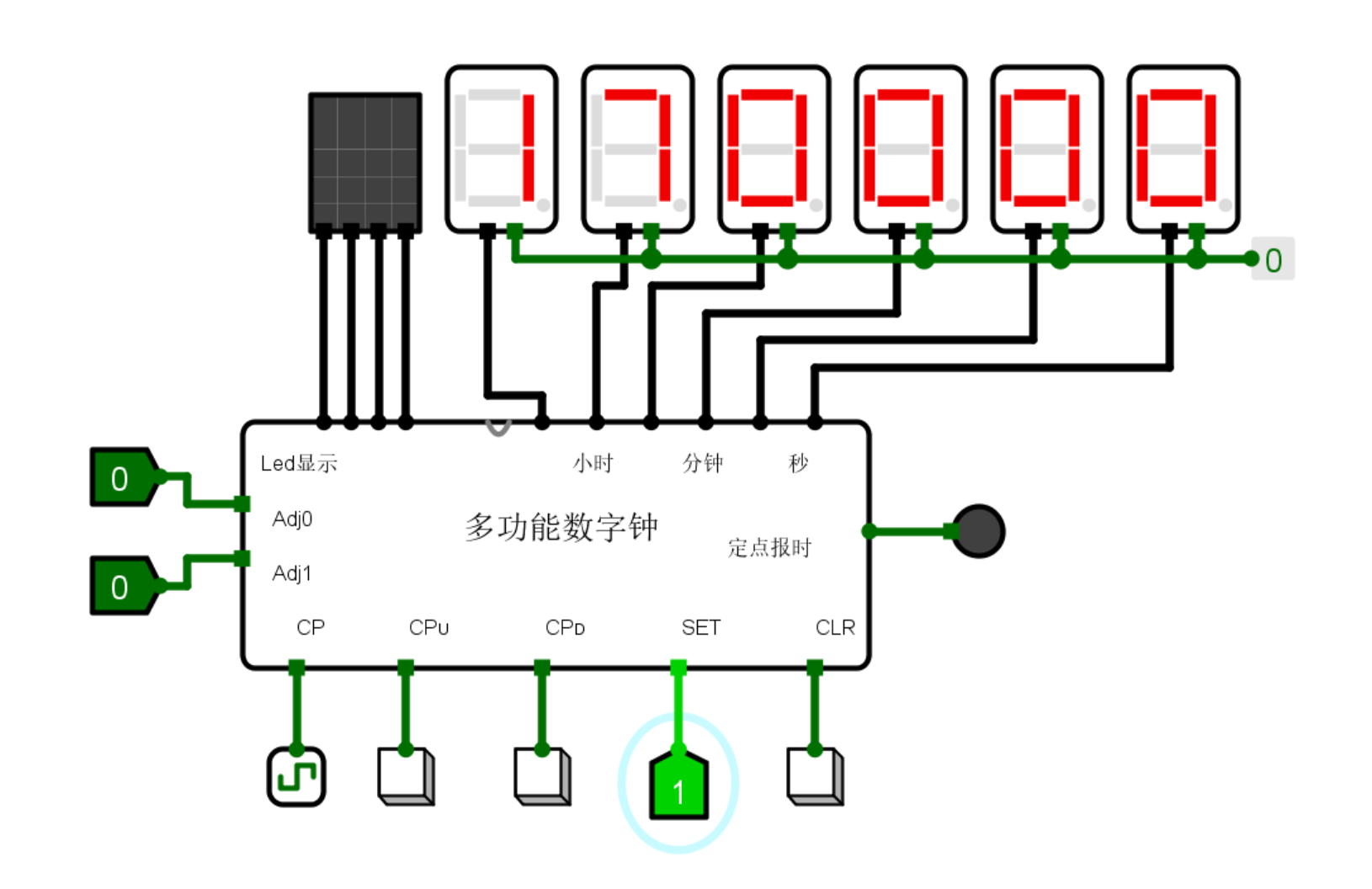


图7-18 多功能数字钟24小时制17时

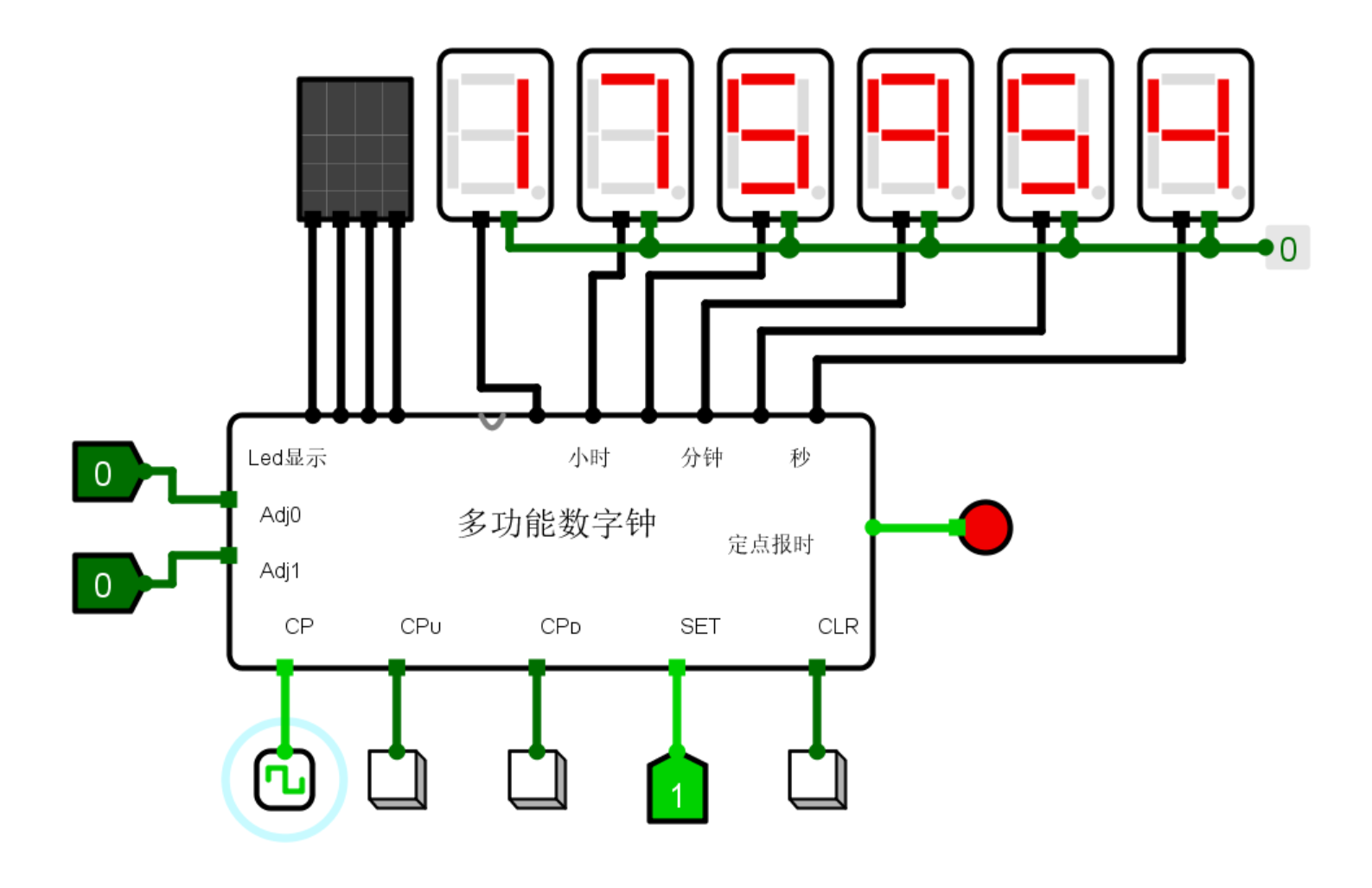


图7-19 多功能数字钟整点报时

**8. 实验后的思考**

（1）实验的难点在哪些方面？

本次实验的难点主要有两个：

一是六十进制计数器的设计、二是多功能数字钟中转换12小时制和24小时制的时候对于时间不变的要求。

（2）如何解决这些难点？

对于这两点我的解决方法分别是：

1. 对于六十进制计数器，将其拆分为一个模六计数器和一个模十计数器，分别计数并满6和满10时发出一个进位信号。在设计的过程中发现了会产生险象与竞争的情况，于是加入了缓冲器等来解决这一问题。

由于会出现整十位数减一的情况，将模六计数器的预置端设置为1001，也即9，在LD输入时将计数器预置为9。

1. 对于多功能数字钟中转换12小时制和24小时制的时候对于时间不变的要求，加入了T触发器进行处理，在对应时刻输入CP信号，从而改变所对应的AM与FM信号。