

个人练习结果解析

考生:zlxwy

总分:100 分

得分:15 分

百分制得分

15分

所得得分换算成百分制得分

答题用时

2'00"

测试成绩答题时长

1 单选题 | 1.5 分 | 简单

FPGAs 和 ASICs 之间的主要区别是（ ）。

- A：可编程
- B：高性能
- C：低成本
- D：速度与可靠性

正确答案: A

你的作答: A

本题得分: 1.5 分

题目解析

暂无解析

2 单选题 | 1.5 分 | 一般

在Verilog中，如何声明一个8位宽的寄存器变量data？（ ）

- A：reg [7:0] data;
- B：reg data[7:0];
- C：wire [7:0] data;
- D：integer [7:0] data;

正确答案: A

你的作答: A

本题得分: 1.5 分

题目解析

暂无解析

3 单选题 | 1.5 分 | 一般

下列哪项不是基本的组合逻辑电路？（ ）。

- A：编码器
- B：译码器
- C：寄存器
- D：多路复用器

正确答案: C

你的作答: C

本题得分: 1.5 分

题目解析

暂无解析

4 单选题 | 1.5 分 | 一般

数字电路中同步信号的主要作用是（ ）。

- A：同步时钟

D：同步信号源

正确答案: A 你的作答: A 本题得分: 1.5 分

[题目解析](#)

暂无解析

5 单选题 | 1.5 分 | 简单

竞赛实训平台上的FPGAs通过何种接口配置外置FLASH存储器，实现程序固化（）。

A：SPI

B：UART

C：I2C

D：8位并口

正确答案: A 你的作答: A 本题得分: 1.5 分

[题目解析](#)

暂无解析

6 单选题 | 1.5 分 | 简单

一个10位二进制数能表示的最大十进制数是（）。

A：255

B：256

C：1023

D：1024

正确答案: C 你的作答: C 本题得分: 1.5 分

[题目解析](#)

暂无解析

7 单选题 | 1.5 分 | 一般

数字信号的特征是（）。

A：连续

B：离散

C：模拟

D：随机

正确答案: B 你的作答: B 本题得分: 1.5 分

[题目解析](#)

暂无解析

8 多选题 | 1.5 分 | 一般

三态门的输出状态包括（）。

A：高电平

B：低电平

C：高阻态

正确答案: A,B,C 你的作答: A,B,C 本题得分: 1.5 分

题目解析

暂无解析

9 多选题 | 1.5 分 | 一般

在Verilog中支持的数据类型有（ ）。

- A : reg
- B : wire
- C : integer
- D : float

正确答案: A,B,C 你的作答: A,B,C 本题得分: 1.5 分

题目解析

暂无解析

10 多选题 | 1.5 分 | 一般

关于wire类型变量说法正确的是（ ）。

- A : wire类型变量只能是单向的
- B : wire类型变量可以是双向的
- C : 可以存储值
- D : 可以被驱动多次

正确答案: B,D 你的作答: B,D 本题得分: 1.5 分

题目解析

暂无解析

11 编程题 | 85 分 | 一般

一、基本要求

- 1、硬件平台：基于FPGA竞赛实训平台，完成本试题程序设计与调试。
- 2、提交要求：基于开发环境完成FPGA的综合和实现，提交最终版本的工程压缩包，文件以模拟考试账号命名，其内应包含竞赛实训平台对应的FPGA配置文件。

1) Intel/Altera竞赛平台提交需要包含“.sof”文件，最终工程文件命名为“准考证号_A”
2) AMD/Xilinx竞赛平台提交需要包含“.bit”文件，最终工程文件命名为“准考证号_X”
须严格按照上述要求提交文件，未按照要求提交将被记为零分。

二、硬件框图

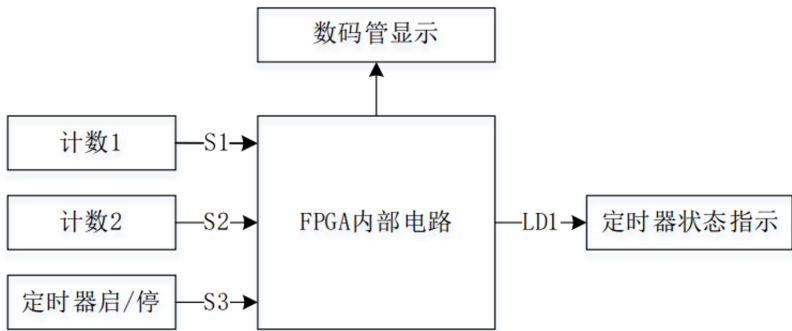


图1 系统硬件框图

三、功能要求

3.1 功能概述

- 1) 基于FPGA实现一个定时、计数器。
- 2) 实现2个独立计数器，互不影响。

6) 试题要求的其它功能。

3.2 显示功能

基于FPGA实现数码管动态扫描模块设计，显示要求如下图所示。

0	4	8	2	5	-	0	7
倒计时		熄灭	计数器 1 数值		间隔	计数器 2 数值	

图2 显示格式

设计要求：

- 1) 显示稳定、清晰，无重影、闪烁、过暗、亮度不均匀等设计缺陷。
- 2) 计数值1、计数值2、倒计时数值固定使用2位数码管显示。

3.3 定时器功能

基于FPGA设计实现一个20S倒计时器定时器，可以通过按键控制定时器启动和暂停，倒计时到0时，自动停止。

3.4 计数器功能

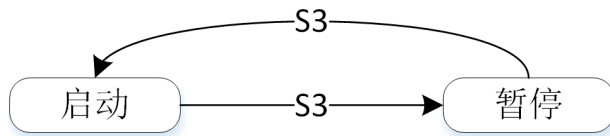
基于FPGA设计实现两个独立的计数器。

在倒计时定时器处于启动状态下，可以通过按键累加计数值，其它状态下计数值不累加。

3.5 按键功能

基于FPGA实现按键驱动模块设计。

- 1) S1按键
按下S1按键，计数器1数值加1。
- 2) S2按键
按下S2按键，计数器2数值加1。
- 4) S3按键
按下S3按键，切换定时器启、停状态。



3.6 LED指示灯功能

通过LD1指示倒计时定时器的三种工作状态。

启动状态：LD1点亮。

暂停状态：LD1闪烁。（亮、灭间隔0.1s）

停止状态：LD1熄灭。

四、复位状态

须严格按照以下要求设计作品的复位状态。

- 1) 计数器1、2默认计数值为0。
- 2) 倒计时定时器处于停止状态，数值为20。

五、资源包获取

FPGA模拟赛数据资源包获取链接：

Xilinx数据资源包获取

链接: <https://pan.baidu.com/s/1nGDDcnLkpvG7d1AV7BXPTw>

提取码: xk9k

Altera数据资源包获取

链接: <https://pan.baidu.com/s/1uUSuQL6B6ldIJfzkSYYbSg>

提取码: a29p

评测状态：评测完成

正确答案： Intel/Altera竞赛平台： [A.zip](#) AMD/Xilinx竞赛平台： [X.zip](#) 本题得分: 0分

题目解析

你的附件

暂无解析



扫一扫,关注四梯公众号

4T评测网

4T网秉承打通教育与人才培育的四个环节

Teaching教学、Training实训、Testing测试、Talent人才的目标，

以科学评测为核心，构建电子信息领域完整的人才培养和就业的生态。

关于我们 | 问题反馈 | 新闻中心

公司地址：北京市丰台区西四环中路1

联系方式: ☎ (+86) 010-88252799

Email: ✉ tech@4t.wiki

京ICP备17055986号-2