

个人练习结果解析

考生:zlxwy

总分:100 分

得分:12 分

百分制得分
所得得分换算成百分制得分

12分

答题用时
测试成绩答题时长

2'00"

1 单选题 | 1.5 分 | 一般

一个 16 进制计数器，至少需要（ ）个触发器。

- A : 1
- B : 2
- C : 3
- D : 4

正确答案: D

你的作答: D

本题得分: 1.5 分

题目解析

暂无解析

2 单选题 | 1.5 分 | 简单

在Verilog中，下列语句中敏感信号是时钟信号的上升沿的语句是（ ）

- A : always@(negedge clk)
- B : always@(posedge clk)
- C : always@(clk)
- D : always@(!clk)

正确答案: B

你的作答: B

本题得分: 1.5 分

题目解析

暂无解析

3 单选题 | 1.5 分 | 一般

下列选项中，能够把串行数据变成并行数据的电路是（ ）。

- A : 3/8 译码器
- B : 移位寄存器
- C : 八进制计数器
- D : 数据锁存器

正确答案: B

你的作答: B

本题得分: 1.5 分

题目解析

3/8 译码器：将3种输入状态翻译成8种输出状态；

数据锁存器：锁存数据。

4 多选题 | 1.5 分 | 一般

引起组合逻辑电路竞争与冒险的原因是（ ）。

- A：干扰信号
- B：电路延时
- C：电源不稳定
- D：逻辑错误

正确答案: A,B,D 你的作答: A,B,C 本题得分: 0 分

题目解析

引起组合逻辑电路竞争与冒险的原因有干扰信号、电路延时、逻辑错误等。

5 多选题 | 1.5 分 | 一般

下列关于组合逻辑电路的说法中正确的是（ ）。

- A：输出仅取决于当前输入
- B：可以实现加法器功能
- C：需要时钟信号
- D：具有记忆功能

正确答案: A,B 你的作答: A,B 本题得分: 1.5 分

题目解析

暂无解析

6 多选题 | 1.5 分 | 一般

使用Verilog进行设计时，逻辑值有（ ）。

- A：0
- B：1
- C：X
- D：Z

正确答案: A,B,C,D 你的作答: A,B,C,D 本题得分: 1.5 分

题目解析

暂无解析

7 多选题 | 1.5 分 | 一般

在Verilog中，下列信号的命名正确的是（ ）。

- A：data_in
- B：1st_signal
- C：module
- D：data_12

题目解析

暂无解析

8 多选题 | 1.5 分 | 一般

下列关于wire类型和reg类型的说法中正确的是（ ）。

- A：wire类型的信号可以作为任何电路的输入
- B：assign块中的信号必须是reg类型
- C：wire用于表示组合逻辑电路的信号，可以作为任何电路的输入。
- D：reg用于声明同步逻辑，wire用于声明异步逻辑。

正确答案: A,C 你的作答: A,C,D 本题得分: 0 分

题目解析

暂无解析

9 多选题 | 1.5 分 | 简单

FPGA的组成单元包括（ ）。

- A：输入/输出单元
- B：可配置逻辑单元
- C：数字时钟管理单元
- D：内嵌的块RAM

正确答案: A,B,C,D 你的作答: A,B,C,D 本题得分: 1.5 分

题目解析

暂无解析

10 多选题 | 1.5 分 | 一般

数字电路中，下列输入信号类型中，异或门的输出为真是（ ）。

- A：A输入信号：1，B输入信号：0
- B：A输入信号：0，B输入信号：1
- C：A输入信号：1，B输入信号：1
- D：A输入信号：0，B输入信号：0

正确答案: A,B 你的作答: A,B 本题得分: 1.5 分

题目解析

暂无解析

11 编程题 | 85 分 | 一般

一、基本要求

- 1、硬件平台：基于FPGA竞赛实训平台，完成本题程序设计与调试。
- 2、提交要求：基于开发环境完成FPGA的综合和实现，提交最终版本的工程压缩包，文件以模拟考试账号命名，其内应包含竞赛实训平台对应的FPGA配置文件。
- 1) Intel/Altera 竞赛平台提交“.sof”文件，最终工程文件命名为“11 位手机号_A”
- 2) AMD/Xilinx 竞赛平台提交“.bit”文件，最终工程文件命名为“11 位手机号_X”

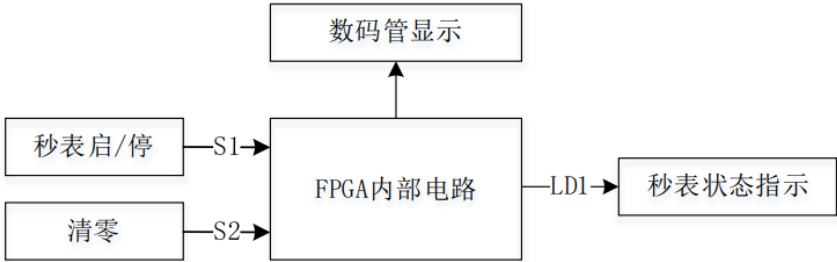


图 1 系统硬件框图

三、功能描述

3.1 功能概述

- 1) 基于 FPGA 实现一个秒表。
- 2) 通过数码管实时显示秒表计时。
- 3) 通过按键实现秒表的启动、停止和清零的控制功能。
- 4) 试题要求的其它功能。

3.2 显示功能

基于 FPGA 实现数码管动态扫描模块设计，显示要求如图2所示。

P	0	2	-	5	5	-	4
标识符	分钟值		间隔符	秒值		间隔符	分秒值

图 2 显示格式

设计要求：

- 1) 显示稳定、清晰，无重影、闪烁、过暗、亮度不均匀等设计缺陷。
- 2) 分钟值、秒值、分秒值均固定使用 2 位数码管显示。

3.3 秒表功能

基于 FPGA 设计实现秒表电路。
在秒表处于启动状态时，秒表电路开始计时。
在秒表处于停止状态时，秒表电路停止计时。
1 秒 = 10 分秒
1 分钟 = 60 秒

3.4 按键功能

基于 FPGA 实现按键驱动模块设计。

- 1) S1 按键
按下 S1 按键，切换秒表的启、停状态。



- 2) S2按键
“启动状态”下，按下 S2 按键，清零秒表的分钟值、秒值和分秒值。否则按键无效。

3.5 记录功能

使用 EEPROM（AT24C02）完成分钟值、秒值和分秒值的记录功能。

注意：

设备重新上电，能够从 E2PROM 相应地址中载入相应数值。
秒表从启动状态切换成停止状态时，或秒表在停止状态下，清零计数值时，才会写入一次。

3.6 LED 指示灯功能

通过 LD1 指示秒表的两种工作状态。
启动状态：LD1 点亮
停止状态：LD1 熄灭

四、复位状态

须严格按照以下要求设计作品的复位状态。
1、秒表的分钟值、秒值和分秒值均为 0。
2、秒表处于停止状态。

五、资源获取

FPGA模拟赛数据资源包获取链接：

Xilinx数据资源包获取
链接: <https://pan.baidu.com/s/1nGDDcnLkpvG7d1AV7BXPTw>
提取码: xk9k
Altera数据资源包获取
链接: <https://pan.baidu.com/s/1uUSuQL6B6ldJfzkSYYbSg>
提取码: a29p

正确答案: 略 本题得分: 0分

题目解析 你的附件

暂无解析



扫一扫,关注四梯公众号

4T评测网

4T网秉承打通教育与人才培育的四个环节
Teaching教学、Training实训、Testing测试、Talent人才的目标,
以科学评测为核心, 构建电子信息领域完整的人才培养和就业的生态。
[关于我们](#) | [问题反馈](#) | [新闻中心](#)

公司地址: 北京市丰台区
联系方式: ☎ (+86)
Email: ✉ tech@4t.
 [京ICP备17055986号](#)