



个人练习结果解析

考生: zlxwy 总分: 100 分 得分: 15 分

百分制得分
所得得分换算成百分制得分

15分

答题用时
测试成绩答题时长

2'00"

1 单选题 | 1.5 分 | 一般

在硬件描述语言中，用于描述组合逻辑的语句是（ ）。

- A：过程块
- B：连续赋值语句
- C：时钟信号
- D：状态机

正确答案: B 你的作答: B 本题得分: 1.5 分

题目解析

在硬件描述语言（如Verilog或VHDL）中，用于描述组合逻辑的语句主要是通过连续赋值语句实现的。

2 单选题 | 1.5 分 | 一般

在Verilog中，用于定义模块的关键字是（ ）。

- A：module
- B：begin
- C：always
- D：assign

正确答案: A 你的作答: A 本题得分: 1.5 分

题目解析

在Verilog中，用于定义模块的关键字是 `module`。一个模块的定义以 `module` 开始，紧接着是模块的名字和端口列表，最后以 `endmodule` 结束

3 单选题 | 1.5 分 | 简单

FPGA的配置数据通常存储在（ ）。

- A：DRAM
- B：SRAM
- C：FLASH
- D：EEPROM

正确答案: B 你的作答: B 本题得分: 1.5 分

题目解析

4 单选题 | 1.5 分 | 简单

在数字系统中，在不修改加法器设计的情况下，允许加法器执行减法操作的编码方式是（ ）。

- A：原码
- B：反码
- C：补码
- D：BCD码

正确答案: C 你的作答: C 本题得分: 1.5 分

题目解析

在数字系统中，允许加法器在不修改设计的情况下执行减法操作的编码方式是**补码**。通过将减数转换为其补码形式，然后与被减数相加，可以在硬件层面仅用加法器完成减法操作。

5 单选题 | 1.5 分 | 一般

设计模值为15的计数器至少需要触发器的级数为（ ）。

- A：3
- B：4
- C：5
- D：6

正确答案: B 你的作答: B 本题得分: 1.5 分

题目解析

$2^3 < 15 < 2^4$ ，至少四位二进制数才能表示15进制，每一个二进制数需要一个触发器组成，故至少需要四个触发器级联。

6 多选题 | 1.5 分 | 一般

在FPGA设计中，需要使用寄存器的情况是（ ）。

- A：存储中间计算结果
- B：实现组合逻辑
- C：实现同步信号的传输
- D：实现状态机的状态存储

正确答案: A,C,D 你的作答: A,C,D 本题得分: 1.5 分

题目解析

在FPGA设计中，寄存器主要用于存储数据、同步信号、状态机实现以及实现时序逻辑。

7 多选题 | 1.5 分 | 一般

在FPGA设计中，能够并行运行的Verilog语句是（ ）。

- A：选择语句
- B：case语句
- C：assign语句
- D：实例化语句

题目解析

在硬件中，`assign` 语句对应的电路是并行工作的，只要输入信号发生变化，输出信号会立即更新。每个实例化的模块在硬件中是独立运行的，因此多个实例化语句是并行执行的。
`if-else` 和 `case` 语句，通常出现在 `always` 块中。（`always`块内部的代码是顺序执行的。）

8 多选题 | 1.5 分 | 一般

在FPGA设计中，下列能够提升速度的方法是（ ）。

- A：资源共享
- B：关键路径优化
- C：流水线设计
- D：逻辑优化

正确答案: B,C 你的作答: B,C 本题得分: 1.5 分

题目解析

暂无解析

9 多选题 | 1.5 分 | 一般

在组合逻辑电路中，以下会出现竞争冒险情况是（ ）。

- A：输入信号之间存在延迟
- B：所有输入信号同时同步变化
- C：输入信号的变化速率不同
- D：输入信号存在干扰信号

正确答案: A,C,D 你的作答: A,C,D 本题得分: 1.5 分

题目解析

暂无解析

10 多选题 | 1.5 分 | 一般

以下哪些是数字电路的特点（ ）

- A：处理二进制逻辑电平
- B：对噪声有较强的抗干扰能力
- C：信号在时间和幅度上都是离散的
- D：常用于音频放大器

正确答案: B,A,C 你的作答: A,B,C 本题得分: 1.5 分

题目解析

暂无解析

11 编程题 | 85 分 | 一般

一、基本要求

- 1、**硬件平台**：基于FPGA竞赛实训平台，完成本试题程序设计与调试。
- 2、**提交要求**：基于开发环境完成FPGA的综合和实现，提交最终版本的工程压缩包，文件以模拟考试账号命名，其内应包含竞赛实训平台对应的FPGA配置文件。

二、硬件框图

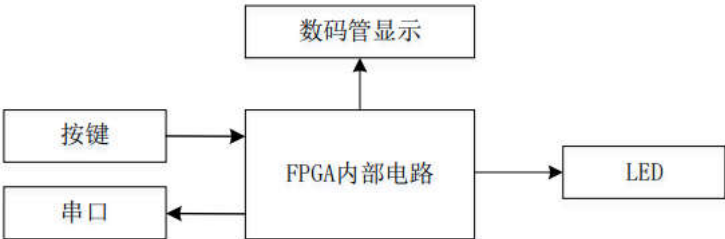


图1 系统硬件框图

三、功能描述

3.1 功能概述

- 1) 基于FPGA实现一个计数器。
- 2) 通过数码管实现计数器数值的显示。
- 3) 通过按键实现计数值的控制功能。
- 4) 试题要求的其它功能。

3.2 显示功能

基于FPGA实现数码管动态扫描模块设计，显示要求如图2所示。

C	8	8	8	8	8	1	4
标识符	熄灭					计数值	

图2 显示格式

设计要求：

- 1) 显示稳定、清晰，无重影、闪烁、过暗、亮度不均匀等设计缺陷。
- 2) 计数值均固定使用 3 位数码管显示，不足 3 位时，高位（左侧）数码管熄灭。

3.3 按键功能

基于 FPGA 实现按键驱动模块设计。

- 1) S1按键
按下S1按键，切换计数器的启、停状态。



- 2) S2按键
“启动状态”下，按下S2按键，计数值加1。否则按键无效。
- 3) S3按键
“停止状态”下，按下S2按键，计数值减1。否则按键无效。
- 4) S4按键
按下S4按键，将当前计数值发送到PC端。

3.4 串口功能

使用竞赛板上的USB转串口功能完成以下要求，串口通信波特率设置为 9600。
按下S4按键，将当前计数值发送到PC端，发送格式如下：
COUNT:10

3.5 LED指示灯功能

通过LD1指示计数器的两种工作状态。
启动状态：LD1点亮
停止状态：LD1熄灭

四、复位状态

- 须严格按照以下要求设计作品的复位状态。
- 1、计数值为0。
 - 2、计数器处于启动状态。

五、资源获取

FPGA模拟赛数据资源包获取链接：
Xilinx数据资源包获取
链接: <https://pan.baidu.com/s/1nGDDcnLkpvG7d1AV7BXPTw>
提取码: xk9k
Altera数据资源包获取
链接: <https://pan.baidu.com/s/1uUSuQL6B6ldJfzkSYYbSg>
提取码: a29p

评测状态：评测完成

正确答案：略 本题得分：0分



扫一扫,关注四梯公众号

4T评测网

4T网秉承打通教育与人才培育的四个环节
Teaching教学、Training实训、Testing测试、Talent人才的目标,
以科学评测为核心, 构建电子信息领域完整的人才培养和就业的生态。
[关于我们](#) | [问题反馈](#) | [新闻中心](#)

公司地址: 北京市丰台区
联系方式:  (+86)
Email:  tech@4t.
 [京ICP备17055986号](#)